2.5GHz 0.25㎛ CMOS Dual-Modulus 프리스케일러 설계

Design of a 2.5GHz 0.25um CMOS Dual-Modulus Prescaler

*오근창, **강기섭, ***박종태, ****유종근
K. C. Oh, K. S. Kang, J. T. Park, C. G. Yu

Abstract - A prescaler is an essential building block for PLL-based frequency synthesizers and must satisfy high-speed and low-power characteristics. The design of D-flip flips used in the prescaler implementation is thus critical. In this paper a 64/65, 128/129 dual-modulus prescaler is designed using a 0.25㎛ CMOS process. In the design a new dynamic D-flip flop is employed, where glitches are minimized using discharge suppression scheme, speed is improved by making balanced propagation delay, and low power consumption is achieved by removing unnecessary discharge. The designed prescaler operates up to 2.5GHz and consumes 3.1mA at 2.5GHz operation.

Key Words : TSPC D-flip flop, Dual-Modulus Prescaler

1. 장 서 론

프리스케일러(prescaler)는 PLL(Phase Locked Loop)방식을 이용한 주파수 합성기의 동작 속도를 결정하는 중요한 회로로써, 휴대용 통신기기에 사용되는 주파수 합성기를 비롯해 PLL을 사용한 비동기 데이터 전송 등의 여러 가지 분야에 널리 사용되고 있다. 합성된 주파수의 위상 잡음을 최소화하기 위해서는 고속에서 동작하는 VCO (Voltage Controlled Oscillator)의 출력 주파수를 바로 분주해야하며, 이를 위해서는 dual-modulus 프리스케일러의 사용이 필수적이다. 프리스케일러는 PLL의 구성 블록 중 VCO와 더불어 가장 고속으로 동작하는 블록으로써, 고속 동작이 필수이며, 고속 동작에 따른 저전력 특성이 요구된다. 따라서 프리스케일러를 구성하는 플립플롭(flip flop) 자체의 설계가 중요하다.[1] 예전에는 고속 특성을 얻기 위해서 GaAs 또는 바이폴라 공정으로 프리스케일러를 구현하였지만, 최근에는 CMOS 공정이 발달함에 따라 CMOS 공정을 사용하여 프리스케일러를 설계하고자 하는 연구가 활발히 진행되고 있다.

고속 동작과 저전력 특성을 만족하기 위한 회로는 동적(dynamic) 또는 클럭 입력이 있는 로직게이트(clocked logic gate) 기술이 이용된다.[2] 여러 가지 형태의 동적 CMOS 회로기술 중에서 TSPC(True Single Phase Clock) 기술을 이용한 D-플립플롭은 한 종류의 클럭만을 사용함으로써 클럭 지연 이외에 어떠한 클럭스큐(clock skew)도 존재하지 않고, 플립플롭 구조도 간단하기 때문에 고속 동작에 적합한 특성을 가진다.[3] 하지만 구조적으로 글리치나 비대칭 전파지연 시간뿐 아니라 클럭경사에 민감하다는 단점을 가지고 있다. 이러한 문제점들은 원하지 않는 시점에서 출력노드의 전하가 순간적으로 방전된다는 것이 근본적인 원인이 된다.[5] 이와 같은 문제점들을 해결하기 위해 몇 개의 트랜지스터를 추가하여, 오동작하는 노드를 안정화시켜 좀 더 고속, 저전력 특성을 만족하도록 하는 D-플립플롭에 대한 연구가 진행되어 왔다.[4-9] 그 중 본 연구진이 제안한 TSPC D-플립플롭은 기존구조의 단점을 보완하여 고속동작과 저전력소모를 갖는 구조로써 프리스케일러의 안정적인 동작을 보장할 수 있다.

본 논문에서는 TSPC D-플립플롭을 이용하여 64/65 또는 128/129의 dula-modulus 프리스케일러를 0.25㎛ CMOS 공정으로 설계하였다. 설계된 프리스케일러는 최대 2.5GHz까지 동작이 가능하며, 2.5GHz에서 약 3.1mA의 전류를 소모한다.

2. 장 Dual-Modulus 프리스케일러 설계

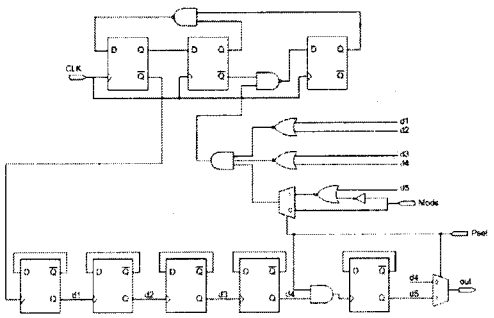

그림 1. 프리스케일러 구성도

본 논문에서 설계한 64/65, 128/129 dual-modulus 프리스

저자 소개
* 오근창 : 仁川大學 電子工學科 碩士課程
** 강기섭 : 仁川大學 電子工學科 碩士課程
*** 박종태 : 仁川大學 電子工學科 正敎授 · 工博
**** 유종근 : 仁川大學 電子工學科 正敎授 · 工博
본 연구는 정보통신부 출연금 등으로 수행한 정보통신연구개발사업의 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.

케일러를 (그림 1)에 나타내었다. 프리스케일러는 크게 두 개의 블록으로 이루어져 있는데, 고속 동작이 요하는 'divide-by-4/5' 동기식 분주기와, 비동기식 'divide-by-16' 또는 'divide-by-32' 분주기로 구성되어 있다. 고속 동작의 동기식 4/5 분주기는 VCO의 출력 주파수가 클럭신호로 입력되어 동작하는 3개의 TSPC D-플립플롭과 P 또는 P+1 분주를 만들어내기 위한 inverter, nand gate로 이루어졌으며, 저속 동작의 비동기식 분주기는 단순한 ripple 분주기와 같은 구조로 되어 있다. 또한 동기식, 비동기식 분주기외에 프리스케일러의 분주비를 결정짓는 추가적인 로직블록이 존재한다

	Mode = 0	Mode = 1
Psel = 0	/ 64	/ 65
Psel = 1	/ 128	/ 129

표 1. Mode, Psel 신호에 따른 분주비 변화

(표 1)은 'Psel'신호와 'Mode'신호에 의해 가변하는 분주비를 나타내었다. 'P'값에 따라 분주비가 64또는 128로 결정되며, 'Mode'신호에 의해 'P'또는 'P+1'로 분주된다.

VCO로부터 발생된 신호가 4/5 분주 동기식 카운터에 인가되면 클럭에 대한 4/5분주 신호가 출력되고, 이 일차적으로 분주된 신호를 비동기식 분주기가 입력으로 받아 'Psel'신호에 따라 16 혹은 32로 다시 분주하는 동작을 한다. 즉, 프리스케일러는 주 클럭 신호를 64/65 또는 128/129 로 분주하며 최종 출력으로 내보내는 것이다. 따라서 VCO로부터 발생된 고주파의 출력신호를 입력으로 받아 분주해야하는 4/5분주 동기식 카운터의 최대 동작 주파수가 프리스케일러의 최대 동작 주파수를 결정하게 된다.

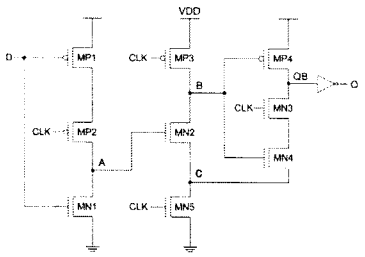

그림 2. TSPC D-플립플롭

(그림 2)는 기존 D-플립플롭의 단점을 개선하여 본 연구진이 제안한 TSPC D-플립플롭을 나타낸다.[9] 제안된 플립플롭은 방전억제방식(discharge suppression scheme)을 사용하여 내부노드의 불필요한 방전을 억제함으로써 글리치를 개선하고, 프리차지구간에서 내부노드의 불필요한 충·방전을 방지함으로써 전력소모를 최소화하였다. 또한 대칭적 전파지연시간을 갖도록 하여 좀 더 고속 저전력 동작에 적합한 성능을 보인다.

3. 장 칩 제작 및 측정 결과

(그림 3)은 본 논문에서 0.25㎛ CMOS 공정으로 설계한 프리스케일러의 레이아웃 전체 도면을 나타내며, (그림 4)는 프리스케일러 블록만을 나타낸 도면이다. 칩 제작 후 온 웨이퍼 측정을 위해 입력 신호 패드는 GSG(G=Ground, S=Signal) 형태로 60㎛의 피치(pitch)를 갖게 레이아웃 하였다. 이는 측정시 60㎛의 피치를 갖는 RF 프로브를 사용하기 위함이다. 또한 인덕터와 캐패시터를 이용하여 2.5GHz 대역의 협대역 임피던스 매칭을 수행하였다. 전원 및 'Mode' 신호와 'Psel' 신호는 본딩(bonding)하여 외부에서 직접 인가하였으며, 저주파인 출력 또한 그와 같은 방법으로 측정하였다. 레이아웃 된 프리스케일러의 사이즈는 78㎛×55㎛ 이다.

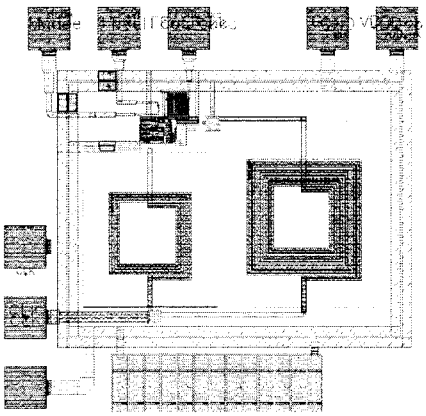

그림 3. 전체 레이아웃 도면

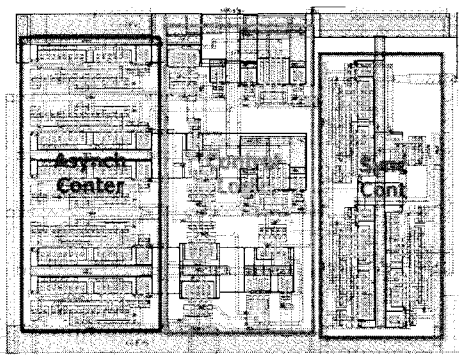

그림 4. 프리스케일러 레이아웃 도면

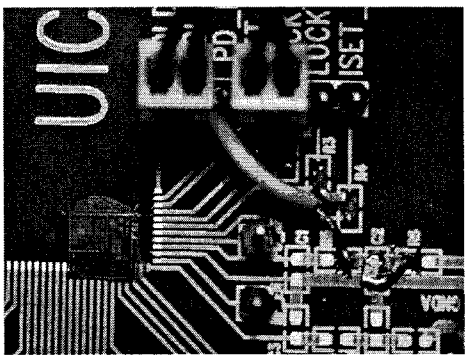

그림 5. 테스트 보드

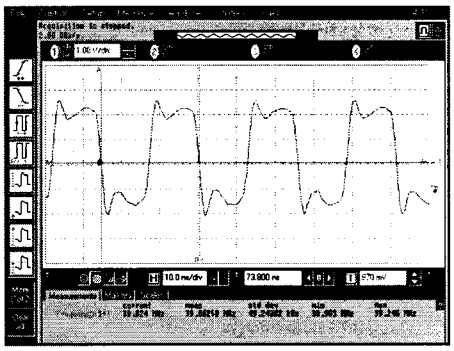

그림 6. 64분주 출력신호 (@2.5GHz)

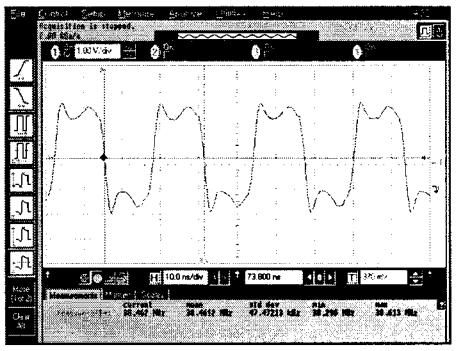

그림 7. 65분주 출력신호 (@2.5GHz)

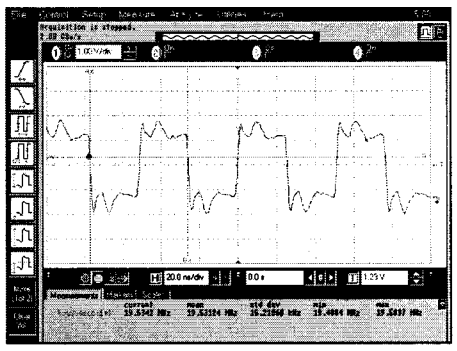

그림 8. 128분주 출력신호 (@2.5GHz)

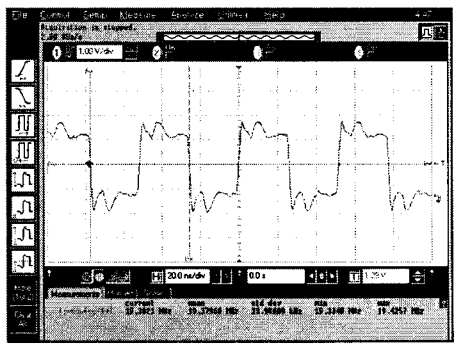

그림 9. 129분주 출력신호 (@2.5GHz)

(그림 6-9)는 전원전압 2.5V에서 2.5GHz의 입력신호를 인가하여 각각 64분주(39.06MHz), 65분주(38.46MHz), 128분주(19.53MHz), 129분주(19.38MHz)를 측정한 결과이다. 측정을 고려하여 사용한 큰 출력버퍼로 인해 출력파형이 천이시점에서 전압이 튀는 현상이 일어나지만 정상적으로 분주됨을 확인 할 수 있다. 성능검증 결과 설계된 프리스케일러는 최대 2.5GHz까지 동작이 가능하며, 이때의 전류소모는 3.1mA로써 높은 동작 주파수임에도 적은 전류소모를 갖는다.

4. 장 결 론

본 논문에서는 dual-modulus 64/65, 128/129 분주 프리스케일러를 0.25㎛ CMOS 공정을 이용하여 설계하였다. 프리스케일러의 주 블록인 D-플립플롭은 고속동작과 저전력 소모를 만족해야하므로 이에 적합한 TSPC D-플립플롭을 사용하여 동작의 안정성을 보장하도록 하였다.

설계된 프리스케일러를 칩 제작 후 검증한 결과 최대 2.5GHz까지 동작이 가능함을 확인하였으며, 전류소모는 3.1mA로써 저전력 특성을 갖는다. 본 논문에서 설계된 프리스케일러는 높은 주파수에서 동작이 가능하기 때문에 다양한 응용분야에 사용될 수 있다.

참 고 문 헌

[1] 이순섭, 최광석, 김수원, "무선 통신용 dual-modulus prescaler 위상고정루프(PLL)의 간단한 분주구조", 대한전자공학회 99 추계종합학술대회논문집 pp.271-274

[2] R.J Baker, H.W Li, D.E Boyce, CMOS Circuit Design, Layout, and Simulation, IEEE PRESS, 1998, ch. 14

[3] J. Yuan and C. Svensson, "High-speed CMOS circuit technique", IEEE J. Solid-State circuits, vol. 24, no. 1, pp. 62-70, Feb. 1989.

[4] R. Rogenmoser, Q. Huang, F. Piaza, "1.57GHz asynchronous and 1.4GHz dual-modulus 1.2㎛ CMOS prescalers," in Proc. IEEE 1994 CICC, San Diego, CA, pp. 387-390, May 1994.

[5] Q. Huang, R. Rogenmoser, "Speed optimization of edge-triggered CMOS circuits for GHz single-phase clocks", IEEE J. Solid-State Circuit, Vol.31, pp.456-465, Mar. 1996.

[6] C-Y. Yang, G-K. Dehng, J-M. Hsu, S-I. Liu, "New dynamic flip-flops for high-speed dual-modulus prescaler", IEEE J. Solid-State Circuit, Vol.33, pp.1568-1571, Oct. 1998.

[7] M-S. Song, J-H. Hur, S-W. Kim, " 안정적인 고속동작을 위한 다이내믹 D Flip-Flop", 대한전자공학회논문지 SD편, pp.1055-1061, 2002.12.

[8] C-L. Hsu, W-H. Lu, "Glitch-free single phase D-FFs for Dual-Modulus prescaler", in Proc. IEEE 2003 ASIC, Vol.2, pp.711-714, Oct.2003.

[9] K-C. Oh, K-S. Kang, C-K. Yu, "저전력 TSPC D-F/F을 이용한 프리스케일러 설계," IT-SoC 2005 Conference, 정보통신부, Vol.2, pp.192-196, Nov.2005