

# 다채널 단일톤 신호의 위상검출을 위한 Hybrid SoC 구현

## An implementation of the hybrid SoC for multi-channel single tone phase detection

이완규, 김병일, 장태규  
 중앙대학교 전자전기공학부

Wan-Gyu Lee, Byoung-Il Kim, Tae-Gyu Chang

**Abstract** - This paper presents a hybrid SoC design for phase detection of single tone signal. The designed hybrid SoC is composed of three functional blocks, i.e., an analog to digital converter module, a phase detection module and a controller module. A design of the controller module is based on a 16-bit RISC architecture. An I/O interface and an LCD control interface for transmission and display of phase measurement values are included in the design of the controller module. A design of the phase detector is based on a recursive sliding-DFT. The recursive architecture effectively reduces the gate numbers required in the implementation of the module. The ADC module includes a single-bit second-order sigma-delta modulator and a digital decimation filter. The decimation filter is designed to give 98dB of SNR for the ADC. The effective resolution of the ADC is enhanced to 98dB of SNR by the incorporation of a pre FIR filter, a 2-stage cascaded integrator-comb(CIC) filter and a 30-tap FIR filter in the decimation. The hybrid SoC is verified in FPGA and implemented in 0.35 CMOS Technology.

**Key Words** : DSP, phase detection, DFT, SoC, A/D Converter

### 1. 장. 서론

다채널 신호의 위상, 진압, 주파수 측정 등과 같은 막대한 양의 정보를 처리하기 위해서 소프트웨어 기반의 시스템 구현시 Processing speed, 정밀도, acquisition time, 설계 비용 등의 많은 제약조건을 유발한다. 이러한 단점을 보완하기 위해서 전용 하드웨어 설계가 필수적이라 할수 있다. 효과적인 시스템 구현을 위하여 데이터 처리를 프로세서와 전용 하드웨어에 적절히 분배하는 DSP 시스템 최적 설계기법이 요구된다.

본 논문에서는 프로세서 제어모듈, 위상측정 모듈 및 A/D 변환모듈까지 하나의 칩에 집적하는 hybrid SoC 설계 기법을 제시하였다. 프로세서 모듈은 16-bit RISC 기반으로 설계하였다. 또한 2채널 입력 신호의 실시간 계측이 가능하도록 하기 위해서 Sliding-DFT 기반의 위상 측정 모듈을 설계 하였으며, 이의 오차 특성을 분석하였다. Sigma-delta 기반 A/D 변환모듈을 내장하여 별도의 A/D 변환칩이 필요없는 위상 측정 SoC를 구현하였다. CMOS 0.35 $\mu$ m 공정으로 설계하였다.

### 2. 장. 다채널 위상측정을 위한 SoC 구조

본 논문에서 제시한 다채널 계측을 위한 SoC 구조는 기존의 FPGA나 ASIC과 같은 전용 하드웨어와는 달리 신호처리

과정에서 더 큰 유연성을 가질 수 있도록 설계하였다. 제시한 다채널 계측 SoC 구조는 그림 1에서 보인 바와 같이 컨트롤러, 채널별 계측 모듈로 구성되어 있으며 계측 모듈에는 A/D 변환 모듈이 포함된다. 컨트롤러는 계측 모듈과 시스템 버스로 연결되어 계측 모듈의 연산 결과로 얻어진 데이터를 전달 받을 수 있을 뿐만 아니라, 필요한 상황에 따라서 연산 주기나 수치정밀도와 같은 각 계측 모듈별 연산 정밀도를 결정하기 위한 파라미터 정보를 계측 모듈에 설정할 수 있다.

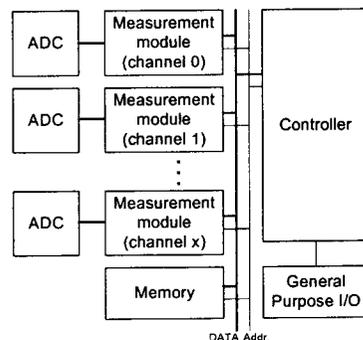


그림 1. 본 논문에서 제시한 다채널 계측 SoC 구조

본 논문에서는 이와 같은 다채널 계측 SoC 구조를 바탕으로 2채널의 단일톤 입력에 대해 위상 검출이 가능한 hybrid SoC를 설계하였다. 설계한 SoC의 프로세서 모듈은 16-bit RISC 기반으로 설계하여 18개의 명령어를 수행할 수 있도록

저자 소개

- \* 이완규 : 中央大學 電子電氣工學部 碩士課程
- \*\* 김병일 : 中央大學 電子電氣工學部 博士課程
- \*\* 장태규 : 中央大學 電子電氣工學部 教授 · 工博

설계하였다. 위상 측정모듈에서 생성된 페이지 정보는 Memory Mapped I/O 인터페이스를 통해 프로세서에 저장할 수 있다. 저장된 데이터는 범용 I/O 인터페이스를 통해 외부 시스템이나 디스플레이장치로 전송이 가능하다.

### 2.1 절. 16bit RISC 컨트롤러

설계한 컨트롤러는 16-bit 명령어 구조를 갖는다. 컨트롤러의 명령어 구조는 표 1과 같다. 컨트롤러의 설계 복잡도를 최소화하기 위하여 간단한 명령어를 제공한다. 하지만 상용 임베디드 프로세서에서 지원하고있는 대부분의 명령어 구현이 가능하다.

Branch 명령어를 실행할 경우 데이터 헤저드를 발생하지 않게 하기 위하여 pipeline stall을 위한 Control 신호를 추가로 생성하였다.

표 1. 본 논문에서 설계한 컨트롤러의 명령어 구조

분류	Instruction	
ALU	MOV, ADD, SUB, AND	
	OR, CMP, MSR, MRS	
SHIFT	LSL	Logical Shift Left
	LSR	Logical Shift Right
	ASR	Arithmetic Shift Right
	ROR	Shift Rotate Right
BRANCH	EQ	Equal
	NE	Not Equal
	AL	All
LOAD	LOAD	
STORE	STORE	
MULTIPLY	MUL	

### 2.2 절. A/D Converter

본 논문에서는 sigma-delta 기반 A/D 변환기를 위상측정 모듈 설계에 포함하였다. 본 논문에서는 16-bit 정밀도를 얻기 위해 2차의 noise shaping loop filter 및 256 decimation filter로 A/D 변환기를 설계하였다. 설계한 2차 loop filter는 switched capacitor integrator로 구현하여 256의 oversampling rate에서 98dB의 resolution을 갖는다.

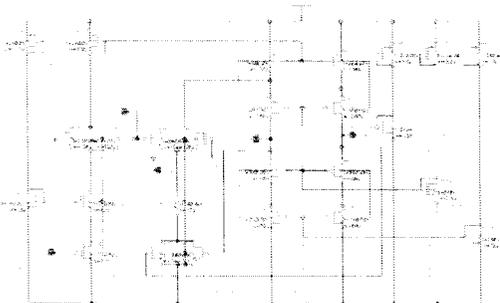


그림 4. 본 논문에서 설계한 folded cascode OP-Amp의 schematic diagram

loop filter는 2개의 full differential OP-amp, comparator, latch 및 1-bit DAC로 구성되어 있으며, OP-amp는 충분한 gain과 출력폭을 가질 수 있도록 그림 4에 보인바와 같이 folded-cascode 방식으로 설계하여 약 1250의 gain을 얻을 수 있었다. 설계한 OP-Amp의 동작 특성은 표 2에 요약하였다.

표 2. 설계한 OP-Amp의 동작특성

Design parameters	value
gain	1250
input swing	2.8Vpp
output swing	2.8Vpp
common mode input voltage	1.05V
common mode output voltage	1.05V
input impedance	1.0x10 <sup>20</sup> Ω
output impedance	273kΩ

### 2.2.1 절. Decimation Filter

A/D 변환부의 Decimation Filter는 그림 3과 같은 구조로 설계하였다. 설계 복잡도를 줄이기 위하여 곱셈기를 사용하지 않고 Decimation을 수행할 수 있는 CIC(Cascaded Integrator Comb) Filter를 사용하였다. 설계한 Sigma-Delta Modulator의 신호 왜곡을 보상하기 위하여 Pre-FIR Filter를 추가해주었다. 또한 In-band내의 신호 감쇄를 보상하기 위하여 30차 FIR Filter를 사용하였다.

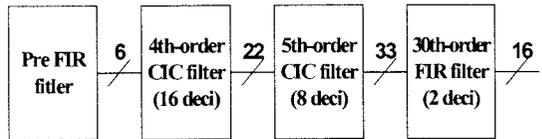


그림 3. Multi-Stage CIC(Cascaded Integrator Comb) Filter

### 3. 장. 단일톤 위상측정 모듈의 구현

통신호의 위상계측을 위해 제안된 다양한 기법들 중에 DFT에 의한 기법은 연산 정밀도 측면에서 우수하다[1-3]. DFT bin 주파수가 단일톤 입력 주파수와 일치되어 DFT가 수행되었을 때 얻어지는 페이지는 DFT 윈도우의 시작점의 입력 신호의 위상정보를 포함한다. 매 입력 샘플별로 위상정보를 얻기 위해서는 DFT 윈도우를 한 샘플씩 이동하면서 연산을 수행하여야 하는데, 이때 재귀형 구현을 통해 연산 모듈의 구현 복잡도를 줄일 수 있다. 특히 보다 향상된 처리 속도나 구현 간소화가 매우 중대한 설계 요소인 임베디드 시스템 응용에서는 재귀형 구현이 더욱 요구된다. 매 연산마다 한샘플씩 DFT 윈도우를 이동하면서 중첩된 연산을 수행하는 sliding DFT는 다음 식 (1)과 같이 단순한 재귀형 구조로 줄일 수 있다.

$$X(n) = x(n-1) + W_N^{n(k-1)}[x(n) - x(n-N)]$$

where,  $X(n) = X_1(n) \cdot W_N^n$  (1)

설계한 재귀형 sliding DFT 기반 위상 계측 연산장치의 구조는 다음 그림 4와 같다.

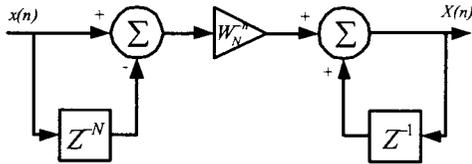


그림 4. 본 연구에서 설계한 재귀형 sliding DFT 기반 위상계측 장치.

두 채널 구현에서는 곱셈 연산장치의 시분할 공유를 통해서 구현 집적도를 더욱 높일 수 있다. 위상측정 모듈은 32-point 재귀형 sliding DFT 기반으로 구현하였으며, 32개의 twiddle factor는 16-bit으로 설계하였다. 곱셈기는 실수부와 허수부로 나누어 설계하였다.

#### 4. 장. 실험 및 결과

설계한 sliding-DFT에 기반한 위상 측정 모듈 및 sigma-delta modulator의 동작을 시뮬레이션을 통해 수행하였다. 위상 측정 모듈의 실험에서 입력 샘플링 주파수는 60Hz의 입력 신호를 대상으로 32배 빠른 1.92kHz로 설정하고, 32-point의 재귀형 sliding-DFT를 수행하였다. twiddle factor는 16-bit으로 근사하였으며 최종 연산 결과는 실수 및 허수의 복소 패이저 값으로 산출되었다. 63Hz 단일톤 신호를 입력으로 하였을 때의 패이저 출력 결과를 그림 5에 보였다. 입력 신호가 갖는 양의 주파수 변이로 인해 패이저는 시계 방향으로 회전하고, 위상은 점차 감소하는 것으로 확인된다. 이는 위상 측정이 정확하게 수행되고 있음을 확인한다. 2차 sigma-delta modulator는 HSPICE 실험을 통해 설계 변수들을 만족시키도록 하였다. 실험 결과는 그림 6와 같이 정상 동작하는 것을 확인하였다.

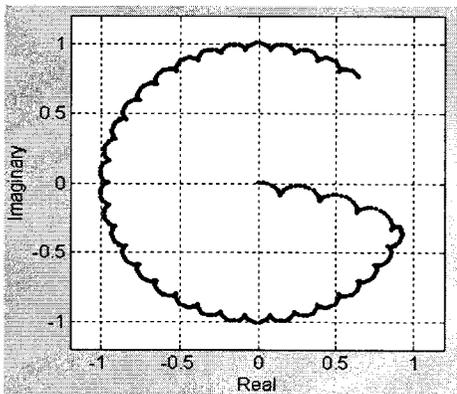


그림 5. 본 논문에서 구현한 재귀형 sliding-DFT 연산 결과의 예 (입력 63 : Hz)

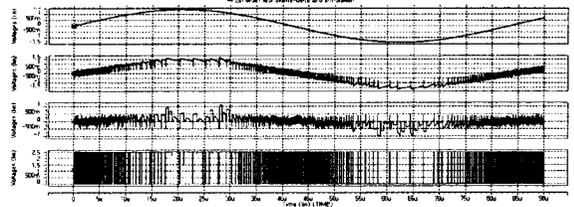


그림 6. 본 연구에서 설계한 sigma-delta modulator의 동작시험의 예 (입력 : 60Hz)

#### 5. 장. 결론

본 논문에서는 신호처리과정에서 더 큰 유연성을 가질 수 있도록 하는 다채널 계측 SoC 설계 구조를 제시하고, 이를 바탕으로 단일톤 신호의 위상 검출을 위한 hybrid SoC를 설계하였다. 설계한 SoC는 16-bit RISC 기반의 컨트롤러, sliding DFT 기반의 위상측정 모듈, 그리고 sigma-delta 기반 A/D 변환기를 포함한다. 디지털 모듈들은 VHDL로 기술되어 FPGA에서 구현 검증은 수행하였으며, 아날로그 모듈은 HSPICE로 동작을 검증하였다. 설계한 hybrid SoC는 CMOS 0.35 $\mu$ m 공정으로 제작되었다.

#### 참 고 문 헌

- [1] B.P. McGrath, D.G. Holmes, J.J.H. Galloway, "Power Converter Line Synchronization Using a Discrete Fourier Transform (DFT) Based on a Variable Sample Rate," IEEE Trans. Power Electronics, Vol. 20, pp. 877-884, July 2005.
- [2] Jae-Hwa Kim, and Tae-Gye Chang, "Analytic derivation of finite wordlength effect of the twiddle factors in recursive implementation of the sliding-DFT," IEEE Trans. Signal Processing, Vol. 48, pp.1485-1488, May 2000.
- [3] Jun-Zhe Yang, Chih-Wen Liu, "A precise calculation of power system frequency and phasor," IEEE Trans. Power Delivery, Vol. 15, pp. 494-499, April 2000.
- [4] R. Stewart, E. Pfann, "Oversampling and sigma-delta strategies for data conversion," Electronics & Comm. Engineering Journal, Vol.10, Issue 1, pp.37-47 Feb. 1998.
- [5] Y. Geerts, M.Steyaert, W. Sansen, "A high-performance multibit  $\Sigma\Delta$  CMOS ADC," IEEE Journal of Solid-State Circuits, Vol. 35, Issue 12, pp. 1829-1840 Dec. 2000.
- [6] P.M.Aziz, H.V. Sorensen, J. vn der Spiegel, "An overview of sigma-delta converters" IEEE Signal Processing Magazine, Vol.13, Issue 1, pp. 61-84, Jan. 1996.