

FPGA를 이용하여 다양한 클럭 데이터 전송

(The Transmission of Random Clock Data using FPGA)

김윤권*, 신형승**, 정세명***

(Yun-Kwon Kim, Hyun-Sung Shin, Je-Myung Jeong)

Abstract - We made the logic that can transmit the service data and clock of interest by using the optical signal and demodulate the original signal at the receiving end. Because We can interface the all communications equipment to which We intended to send the signal, We can modulate the clock and clocked data using optical signal and then transmit the original optical signal to the receiving end, finally, arbitrarily control the traffic between ports

Key Words : optical signal, demodulate, transmit, arbitrarily

1. 서론

무선통신과 유선통신이 정보를 교환할 수 있는 매체라면 현재 무선통신은 주파수의 자원량이 한정되고 정보교환시 데이터 손실이 많은 관계로 더 많은 정보량과 데이터손실을 줄일 수 있는 광통신이 앞으로 더욱 더 많이 쓰일 것이라 기대된다. 그러나 현재 광모듈의 개발에 비해서 광네트워크의 발전이 여러 가지 이유로 해서 미약하기 그지 없다. 물론 그 중에서 광케이블의 연결이 동축케이블이나 구리케이블 보다 접합하기가 어렵고 불편한 것도 있지만, 광통신을 하기 위해서 쓰이는 전송장비가 아주 고가이고 보내고자 하는 정보 서비스를 광으로 전송하는 마땅한 장비가 없는 이유도 광통신 네트워크의 발전이 제대로 진행되지 못하는 이유 중에 하나이다. 이에 본 논문에서는 현재 실생활과는 멀리 떨어져 있는 광네트워크를 우리 생활에서 직접적으로 사용할 수 있도록 유연하고 저렴한 장비를 구현하고 또한 고속의 데이터 전송에도 쓰일 수 있게 하여 전화국에서 백본망 이하 소용량 장비까지 모든 데이터 전송 기능을 할 수 있도록 하였다.

2. 관련 연구

2.1 SONET/SDH

고속 디지털 통신을 위한 광전송 방식의 국제 표준. 미국의 벨코어가 개발하고 미국표준협회(ANSI)가 표준화한 고속 광전송 방식의 표준 규격인 동기식 광통신(SONET) 지자 소개

을 바탕으로, 전기 통신 국제 표준화 기관인 ITU T(구 CCITT)가 작성하여 1988년 권고 G.707, G.708, G.709로 공표한 국제 표준이다. 동기 디지털 계층(SDH)은 광섬유의 고속 디지털 전송 능력을 활용하기 위한 디지털 신호의 동기 다중화 계층과 속도 체계 및 인터페이스를 정의한다. SONET와 호환성이 있는 표준이라는 의미에서 SONET/SDH라고도 부른다. SDH의 기본이 되는 다중화 단위는 동기 전송 모듈(STM)이며 최저 다중화 단계인 STM-1의 전송 속도는 155.520Mbps이다. STM-1을 STM-3, STM-4 등으로 단계적으로 일정한 정수 배로 다중화하는데 다중화 단계와 전송 속도는 표와 같다. SDH는 다양한 전송 기기를 상호 접속하기 위한 광신호와 인터페이스 표준을 제공하고, 고도의 망 운용·관리·보수(OAM) 기능을 제공하며 광대역 종합 정보 통신망(B-ISDN)에서의 응용을 위한 유연한 구조를 규정하고 있다. SDH가 탄생하기 전까지는 북미, 유럽, 일본 등 지역별로 3종류의 다중화 계층과 속도 체계가 존재하고 있었으나, SDH의 등장으로 각기 다른 속도의 고속 전송을 유연하게 다중화할 수 있고 통일적인 망 운용·관리·보수를 실현할 수 있게 되었다. 각국의 전기 통신 사업자가 기간 전송망에 SDH를 채용하는 방향으로 나가고 있다. B-ISDN의 핵심이 되는 비동기 전송방식 ATM 다중 데이터는 SDH에 따른 전송 회선상에서 전송될 예정이다.

2.2 HDLC

HDLC는 데이터 통신의 OSI 7계층모델의 제2 계층인 데이터 링크 계층에서 사용되는 전송 프로토콜로서, X.25 패킷 스위칭 네트워크 내에서 사용된다. HDLC에서 데이터는 프레임이라고 불리는 단위로 이루어지며, 프레임은 네트워크를 통해 송신되고, 도착지에서는 성공적으로 도착하였는지를 검증한다. HDLC 프로토콜은 데이터 프레임 내에 데이터 흐름을 제어하고 에러를 보정할 수 있도록 하기 위한 정보를 끼워 넣는다. HDLC는 OSI라고 불리는 산업계의 통신참조모델 제2 계층 내의 프로토콜 중에서 가장 일반적으로 사용되는 프로토콜 중 하나이다 (제1 계층은 실제적으로 전자신호를 발생시키고 수신하는 등의 작업들이 관련된 상

* 김윤권 : 한양大學 전자통신컴퓨터學科 碩士課程
** 신형승 : 한양大學 전자통신컴퓨터學科 博士課程
*** 정세명 : 한양大學 전자통신컴퓨터學科 正教授·工博

세한 물리 계층이며, 제3 계층은 네트워크에 관한 지식을 가지는데, 이는 데이터를 어디로 전달하고 또 보내야하는지를 나타내는 라우팅 테이블에 대한 접근을 포함한다. 전송할 때, 제3 계층 내의 프로그램은 보통 발신지와 수신지의 네트워크 주소를 포함하고 있는 하나의 프레임 생성한다). HDLC (제2 계층)는 하나의 새롭고 커다란 프레임에 데이터 링크 제어정보를 추가함으로써, 제3 계층 프레임을 캡슐화한다. HDLC는 1970년대에 메인프레임 컴퓨터 환경의 IBM 대형고객사이트에 의해 광범위하게 사용된 SDLC 프로토콜로부터 발전한 ISO 표준이다. HDLC내에 있는 본질적인 SDLC의 프로토콜은 NRM(Normal Response Mode) 이라고 알려지고 있다. NRM에서, 보통 메인프레임 컴퓨터가 주 스테이션이되어, 같은 지역내이거나 또는 원거리지역에 있어 전용회선으로 연결되어 있는 보조 스테이션에 데이터를 보낸다. HDLC의 변종들 역시 X.25 통신 프로토콜을 사용하는 공중네트워크이나, 근거리통신망이나 광역통신망 두 가지 모두에 사용되는 프로토콜인 프레임 릴레이를 위해 사용된다. HDLC의 X.25 버전에서는 데이터 프레임이 하나의 패킷을 포함한다 (X.25 네트워크는 데이터 패킷이라 우터에 의해 감지되는 네트워크 상황에 의해 결정된 경로를 따라 자신들의 목적지로 이동한 후, 최종목적지에서 원래의 순서대로 재조립된다). HDLC의 X.25 버전은 양단에서 모두 듀플렉스 링크를 통해 통신을 개시할 수 있는 peer-to-peer 통신을 사용한다. HDLC의 이러한 모드를 LAPB라고도 한다.

2.3 PCM

PCM은 아날로그 데이터 전송을 위한 디지털 설계이다. PCM 내의 신호들은 바이너리, 즉 논리 1(높음)과 논리 0(낮음)으로 표현되는 오직 두 가지 상태만이 가능하다. 아무리 복잡한 아날로그 파형이 있다해도 이것은 변하지 않는다. PCM을 사용하여 동영상 비디오, 음성, 음악, 원격측정, 그리고 가상 현실 등을 포함한 모든 형태의 아날로그 데이터를 디지털화하는 것이 가능하다. 통신 회로의 아날로그 파형으로부터 PCM을 취득하기 위해, 아날로그 신호의 진폭이 정기적으로 표본 추출된다. 표본 추출 비율 또는 초당 표본의 개수는 아날로그 파형의 최대 주파수의 수 배에 이른다. 각 추출 건본에서 아날로그 신호의 순간 진폭은 미리 결정된 등급, 즉 몇 개의 특유한 값과 가장 가깝도록 사사오입된다. 이 과정을 양자화라고 부른다. 등급의 숫자는 항상 2의 배수가 되는데, 예를 들어, 8, 16, 32, 또는 64 등이다. 이러한 숫자들은 3, 4, 5, 또는 6 개의 비트에 의해 각각 표현될 수 있다. 그래서, PCM의 출력은 일련의 2진수이며, 각각은 2 비트의 먹으로 표현된다. 통신회로의 수신 측에서, PCM은 2진수를 다시 같은 양의 등급을 가지는 펄스로 변환한다. 이러한 펄스들은 원래의 아날로그 파형을 복원하기 위해 한층 더 처리된다.

3. 시스템 개발 환경

3.1 FPGA

FPGA는 프로그램이 가능한 로직 칩의 한 형태이다. FPGA는 PLD와 비슷하지만, PLD가 일반적으로 수백 개의 게이트에 제한되는데 반해, FPGA는 수천 개의 게이트를 지원한다. 둘 모두 집적회로 설계의 프로토타입 제작용으로

인기가 높다. FPGA는 일단 설계가 확정되면, 성능을 더 높이기 위해 영구 전자회로를 가진 칩들로 생산된다.

3.2 VHDL

VHDL은 부품이나 보드 및 시스템 차원에서 전자시스템을 설계하는데 사용되는 HDL이다. VHDL은 매우 고차원적인 추상적 개념에서 모델을 개발할 수 있도록 해준다. 초기에는 단순히 문서화에 사용되는 언어로 인식되었으나, 최근에는 이 언어의 대부분이 모의시험이나 논리합성 등에 사용된다. VHDL은 IEEE 표준이지만, 처음에는 미군의 VHSIC 프로그램을 위해 개발되었다.

3.3 칩 널 수정

SoC는 한 개의 칩 상에 완전한 구동 가능한 제품, 즉 시스템이 들어있는 것을 말한다. 컴퓨터가 명령어를 처리하기 위해 필요한 모든 하드웨어 컴포넌트를 하나의 칩 상에 포함하고 있는 데 비해, SoC는 그 컴퓨터와 필요한 모든 필수적인 전자 부품들을 포함한다. 예를 들면, 통신에 사용되는 SoC에는 마이크로프로세서, DSP, 램과 롬 등이 함께 포함될 수 있다. SoC를 이용하면 일반적으로 시스템의 크기가 작아지며, 조립 과정도 단순해진다.

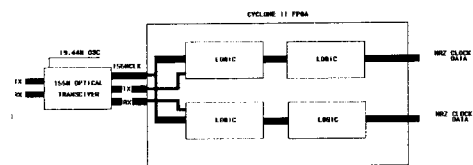
3.4 Optical Transceiver

트랜시버는 전송기(transmitter)와 수신기(receiver)를 하나의 패키지에 합한 것이다. 이 용어는 휴대폰이나 무선전화기, 휴대용 무선기 등과 같은 무선 전송장치들에 적용되며, 아날로그나 디지털 신호를 송신하고 수신할 수 있다. 그러나 이 용어가 이따금 케이블이나 광케이블 시스템의 송수신기와 관련하여 사용될 때도 있다. 무선기 트랜시버에서, 송신 중에는 수신기가 동작하지 않는다. 전자 스위치를 사용하면 송신기와 수신기가 같은 안테나에 접속될 수 있고, 송신기의 출력이 수신기에 피해주는 것을 예방할 수 있다. 이런 종류의 트랜시버를 이용하면, 송신 중 신호를 수신하는 것이 불가능하다. 이러한 것을 반이중 방식이라고 하며, 송신과 수신은 항상은 아니지만 같은 주파수로 이루어지는 경우가 많다. 어떤 종류의 트랜시버는 송신 중에 신호를 수신할 수 있도록 설계된다. 이러한 것을 전이중 방식이라고 하며, 송신기와 수신기는 충분히 다른 주파수를 사용함으로써 송신 신호가 수신을 방해하지 않도록 한다. 셀룰러 폰이나 무선전화기 등이 이러한 방식을 사용한다.

4. 구현

전체 블록 다이어그램

그림(1)



크게 기능별, 모듈별로 나눌 수 있다. 여기서 핵심적인 기능은 그림(1)과 같이 고속의 광신호를 NRZ형태의 여러개의 신호로 멀티플렉싱, 디멀티플렉싱하는 것이 핵심적인 기능

이다. 지금까지 존재한 장비와 다른 것은 기존에는 각각의 PORT들이 광전송 규격 예를 들어 PDH경우에 E1, DS2, DS3등 정해진 클럭에 맞추어야 광으로 전송이 가능하다. 이번에 우리가 연구 개발한 장비는 임의의 모든 클럭 소스에서 나오는 데이터를 바로 광으로 전송할 수 있는 기능을 제공한다. 또한, 각각의 데이터가 전체 프레임에서 차지하는 대역폭도 자동적으로 로직에서 프레임으로 할당하기 때문에 사용자는 별도의 세팅이나 컨트롤없이 사용할 수 있다. PORT의 개수에 상관없이, 그리고 클럭의 주파수에 상관없이 자동적으로 장비에서 계산하여 프레임을 구성하므로 사용자는 편하고 쉽게 사용할 수 있다.

4.1 광모듈 부분

광신호는 일반 구리선이나 동축케이블처럼 클럭을 따로 전송하지 않습니다. 광신호의 On/Off를 전송하여 수신단에서 데이터를 수신하여 클럭을 복원하는 CDR를 실행한다. 따라서, 전송시 연속적인 '0'의 값이 같 경우 수신측에서 클럭을 PLL하여 복원할 수 없으므로 스크램블 특수화된 ENCODING을 사용하여 연속적으로 0의 신호가 전송되지 않도록 설계를 해야 한다.

4.2 이더넷의 동기식 장비와 인터페이스

이더넷은 비동기식 패킷단위의 통신이고 10M/100M MII 인터페이스로 동작하기 때문에 동기식 장비인 광통신 장비에 직접 인터페이스를 할 수 없다 따라서 별도의 인터페이스를 만들어서 통신을 해야 한다.

4.3 VOICE CODEC INTERFACE 부분

음성신호는 64Kbps의 디지털 테이폭을 필요로 한다. 현재 구현은 TP3057의 코덱칩을 사용하여 지금 실제 현장에서 가장 많이 쓰고 있는 PCM방식으로 사용하였으며, 전화기와 똑같은 품질을 보장할 수 있는 인터페이스를 만들었다.

4.4 E1 FRAMER 부분

64Kbps의 음성 신호를 바로 광으로 전송할 수 없으므로 ITU-T 규격의 E1 프레임머를 직접 설계하여 제작하였다. E1 프레임머는 CAS인 경우 31개의 음성채널을 할당할 수 있는 ITU-T규격의 하나로써 트렁크 정보를 보내는데 현재 가장 많이 사용되고 있는 규격이다.

4.5 FPGA CORE FRAMER 부분

FPGA 전체 로직은 그림(2)와 같다.

① FRAMER부분

FRAMER의 역할은 외부에서 들어오는 LOCAL PORT의 클럭과 MASTER PORT의 클럭을 비교하여 거기에 맞는 FRAMER를 자동적으로 생성하고 데이터를 FRAMER에 실는 역할을 한다. 여기서 결과적으로 나오는 FRAMER값은 실제 광신호로 보내는 FRAMER가 아니라 LOCAL PORT 하나당 생성되는 FRAMER이다.

② G_FRAMER

G_FRAMER는 FRAMER에서 나온 각각의 포트에 대한 프레임을 통합하여 하나의 실제 FRAMER로 만드는 것으로 PORT마다 나온 FRAMER에서의 PAYLOAD의 수와 실제 PAYLOAD를 받아서 FRAMER화 시켜주는 기능을 한다.

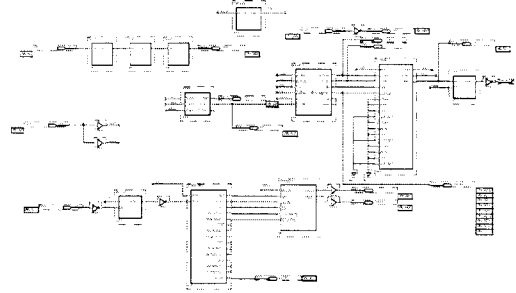
③ G_REFRAMER

G_REFRAMER는 광으로 수신된 데이터에서 FRAMER를 검출하여 데이터를 복원시키는 기능을 하는 것으로 OUTPUT으로 각각의 PORT마다의 REFRAMER로 데이터를 전송하는 기

능을 한다.

④ REFRAMER

REFRAMER는 G_REFRAMER에서 받은 값을 각각의 포트에서 클럭과 데이터를 복원시킬 수 있는 기능을 담당한다. G_REFRAMER에서 이미 클럭의 속도와 STUFFING CONTROL 정보를 수신하였으므로 이 정보를 각각의 PORT마다의 REFRAMER로 전달한다. REFRAMER는 이 정보를 가지고 클럭과 데이터를 처음 보낸 것과 일치하게 보낼 수 있도록 하는 기능을 담당한다.



그림(2)

V. 결론

현재 소용량으로 OC1급(51.84M)과 STM-1급(155.52M) 광모듈의 가격이 현격하게 떨어지고 나머지 부품 역시 FPGA로 SOC로 설계했기 때문에 전체적으로 가격이 일반 광장비와 비교되지 않을 정도로 저렴하다. 일반적으로 광통신 장비는 전화국에만 있는 고가의 중장비이지만 이 제품은 그런 고정개념을 깨고 하나의 새로운 가전제품이 될 것이다. DVD-PLAYER, COMPUTER, IID-TV, 전화기 등 각 가정에서 현재 쓰이고 있는 여러 가지 멀티미디어 장비들과 앞으로 가정에 들어올 새로운 제품들을 사용자가 임의로 원하는 대로 배치할 수 있도록 해 줌으로써 지금까지와는 전혀 다른 개념의 네트워크가 형성될 것이다. 또한 물리적으로는 STM-1급의 SONET/SDH와 같으므로 OXC같은 교환장비와 연동할 수 있으며 전화국에서도 쉽게 네트워크 구성이 가능하다.

참고문헌

- [1] Forouzan, DataCommunication and Networking.
- [2] Stallings, Data & Computer Communications
- [3] 윤종호, 최신 이더넷
- [4] www.ieee.com
- [5] www.ethereal.com