

PDP 테스트-베드 모듈 구현을 위한 HDL 소프트웨어 구조

(HDL software architecture implementation for PDP test-bed module)

양 성 규, 권 오 규, 이 동 호

(Sung gyu Yang, Oh kyu Kwon, Dong ho Lee)

요 약

PDP는 벽걸이형 대형 평판 디스플레이로서 최근 시각적 극대화에 도움이 되는 대형화의 가능성과 자연스러운 색감 표현력 등의 장점 때문에 주목받고 있다. 하지만 저계조 표현, 의사 윤곽 문제등의 화질 저하 문제로 우위에 있지 못하고 다른 디스플레이 장치들과 치열한 경쟁을 하고 있어 더욱 많은 화질 연구가 필요하다. 본 논문은 42" PDP의 화질 개선 연구를 위한 Verilog HDL을 이용한 소프트 웨어 테스트-베드 구현과 FPGA를 이용한 자체 제작 보드에서 대해 설명한다.

Abstract

PDP is watched as a wall-mounted flat displayer for merits, such as ability to visual maximize and natural color reproduction. But it is more necessary to research video quality why PDP is competing with another displayer. This paper is explained HDL software architecture implementation for PDP test-bed module and producing board using FPGA to research 42" PDP video quality.

Keywords : PDP, test-bed module, HDL architecture

I. 서 론

PDP의 구동과형은 기본적으로 어드레스(address) 방 전 이전에 동일한 조건으로 만들어 주기 위한 'Reset' 구간, 선택된 스캔라인(Scan line)에 영상 데이터를 어드레싱(addressing) 하기 위한 'Scan' 구간, 영상 데이터에 따라 어드레스(address) 방전을 겪은 셀(On cell)과 겪지 않은 셀(Off cell)을 구분하여 방전을 일으키는 'Sustain' 구간, Sustain 구간 동안 On cell의 진극에 축적된 벽전하를 소거하기 위한 'Erase' 구간으로 구성되어 있다.

'Reset' 구간은 PDP의 모든 셀들을 초기화 시키는 구간이다. 초기화를 시킨다는 의미는 On cell이나 Off cell들에 대해서 이전 방전에서 발생된 모든 벽전하를 이후 방전이

정상적으로 진행될 수 있도록 동일한 조건으로 만들어 주는 것이다.

'Scan' 구간은 선택된 스캔라인(Scan line)에 영상 데이터를 어드레싱(addressing)하기 위한 구간이다. 구동방식에 따라 셀을 Off 상태로 'Reset' 구간에서 만들어 준 후 선택적으로 On 시키는 'Selective write(SW) method' 와 모든 cell을 On 상태로 'Reset' 구간에서 만들어 준 후 선택적으로 Off 시키는 'Selective erase (SE) method'로 구분되며, 일반적으로 요구되는 스캔펄스(scan pulse)의 폭은 SW가 SE방식보다 넓고, 진압도 SW가 SE보다 높다. SE는 고속 구동에 보다 적합하나 스캔시 erase discharge를 이용하기 때문에 문제가 있다.

'Sustain' 구간은 영상 데이터에 따라 어드레스 방전을 겪

은 On cell과 격지 않은 Off cell을 구분하여 On cell에서만 서스테인 펄스가 인가될 때 마다 방전을 일으키는 구간이다.

'Erase' 구간은 서스테인 방전에 의해 On cell의 전극에 형성되어 있는 벽 전하를 약한 방전을 발생시켜 소거 시키는 구간이다. 이를 위해 +극성의 erase pulse는 sustain pulse에 인가되지 않은 전극에 인가 시켜주어야 한다.

본 논문은 이러한 PDP구동 방식을 기본으로 42" PDP의 화질 개선 연구를 위한 Verilog HDL을 이용한 소프트웨어 테스트-베드 구현과 ALTERA FPGA(APEX 20K600E)를 이용한 자체 제작 보드에서 대해 설명한다.

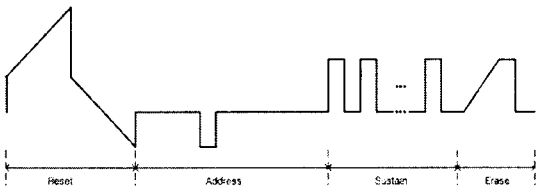


그림 1. PDP 구동 파형

II. HDL 소프트웨어 구조

두개의 FPGA 각각을 front 모듈, back 모듈로 명명하여 사용하였으며 모듈들의 구동에는 외부 장치와의 연결을 위해 multi clock을 사용 하였다.

Front 모듈은 더블 버퍼링을 하기 위한 두개의 외부 메모리(SDRAM)와 영상 데이터를 외부 신호 발생기로부터 받을 수 있는 LVDS 회로가 FPGA에 연결되어 있다. Back 모듈도 더블 버퍼링을 하기 위해 두개의 외부 메모리(SDRAM)가 연결되어 있으며, PDP 구동을 위한 서스테인 회로, 어드레스 회로들과도 연결되어 있다. 그리고 front 모듈과 back 모듈은 데이터 버스로 서로 연결되어 있다.

그림. 2는 데이터의 흐름에 따른 HDL 소프트웨어의 구조 블록도이다.

1. Front module

Front 모듈(ft)은 외부로부터 영상 데이터를 받아들여 영상 처리를 한다. 영상 데이터가 front 모듈로 입력되면 그림.3의 모듈구조 중 lvds_data_arrange(lda)에서 감마 보정을 하게 되고 FPGA 내부 메모리(ram 1024X32)에 저장된

다. Ram 1024X32에 저장된 데이터를 읽어 ram 1024X29를 사용한 pipe lining 방법으로 소수점 처리하고 오차 확산을 적용하여 외부 메모리에 저장한다.

그림.3의 모듈구조 중 gcc_data_arrange(gda)에서 외부 메모리에 저장된 데이터를 내부 메모리 (ram 1024X39)로 읽어 gcc처리하고 오차 확산을 적용한 후 서로 연결된 데이터 버스를 통하여 back 모듈로 데이터를 보낸다.

외부 메모리의 제어는 front_memory_top(fmt)가 한다.

가. 역감마 보정(Inverse Gamma Collection)

PDP의 경우 입력 계조 값에 대해 표시되는 휘도는 동작 범위 내에서 거의 선형적인 특성을 나타낸다. PDP에서 표시되는 영상의 휘도 특성을 CRT의 그것과 일치시키기 위해서는 입력 디지털 계조에 대한 변환이 필요하며 이를 역감마 보정이라 한다.

역감마 보정 과정에서는 먼저 목표로 하는 감마 값을 결정하게 된다. 다음에는 주어진 계조를 그것에 대한 목표 휘도와 가장 가까운 휘도를 새로운 계조 값으로 변환하여 표시하게 된다.

나. 오차 확산(Error Diffusion)

역감마 보정 과정을 적용하면 어두운 영역에 대해 PDP에서 표시 가능한 계조수가 감소하게 되어 목표 휘도와 보정 후의 휘도간에 오차가 발생하게 된다. 이와 같은 현상으로 인해 어두운 영역에서 계조 값이 뭉쳐 보이는 의사 윤곽이 나타나게 된다. 역감마 보정 시에 발생하는 어두운 영역에서의 계조 표현 문제를 제거하기 위한 방법중 하나로 오차 확산 방법을 사용한다.

목표 휘도를 표시할 floating point 형태의 계조와 실제 표시 가능한 계조 값 간의 차이를 오차로 정의하여 주위 화소들에 확산하게 된다. 오차확산 방법을 적용 할 경우 어두운 영역에서의 계조가 충실하게 재현된다.

다. APC(Average Power Control)

PDP는 전력 소모가 큰 장치인데 이러한 전력 소모를 줄이기 위하여 On cell의 수에 따라 서스테인 펄스의 수를 조절한다.

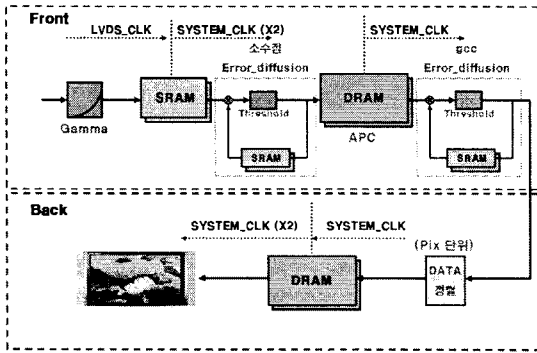


그림 2. Block diagram

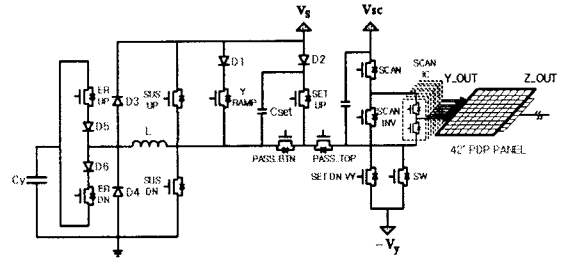


그림 4. 42" PDP 서스테인 회로

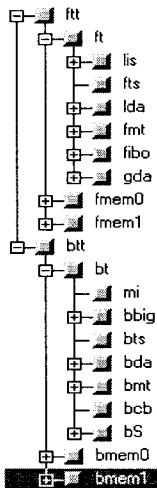


그림 3. Software hierarchy

2. Back module

Front 모듈(ft)로부터 back 모듈(bt)로 전달된 데이터는 그림.3의 모듈구조 중 back_data_arrange(bda)에서 내부 메모리(ram 96X32)를 이용하여 어드레싱에 적당한 픽셀 단위로 다시 정렬된 후 외부 메모리에 저장된다.

외부 메모리에 저장된 데이터는 back_control_b(bcb)에서 읽어 PDP구동 구간 중 어드레스 구간에서 패널에 어드레싱된다. Back_sustain(bS)에서 그림 4.의 서스테인 회로 스위치 들을 제어하여 서스테인 구간에서 패널에 불을 켜게 된다.

외부 메모리의 제어는 back_memory_top(bmt)가 한다.

3. Double buffering기법을 이용한 DRAM사용

메모리는 외부로부터 영상 데이터를 읽어 들여야 하고, 동시에 모듈로 영상 데이터를 보내 주어야 하는데 이를 구현하기 위해 double buffering 기법을 이용하여 메모리를 사용하였다.

Double buffering 기법을 이용한 메모리의 사용은 두 개의 메모리 사용하며 먼저 하나의 메모리는 데이터 쓰기 동작을 하고, 1 프레임 만큼의 데이터를 쓰고 나면 읽기 동작으로 바뀌게 된다. 이때 다른 하나의 메모리는 1 프레임 만큼의 데이터를 쓰는 동작을 시작하게 되고 이러한 동작을 두개의 메모리가 서로 바뀌어가며 반복한다.

III. 하드웨어 구현

FPGA는 Altera사의 60만 게이트 20K600E 칩 두개를 사용하고, 메모리는 64Mbyte(2MX32)의 삼성 SDRAM을 FPGA에 각각 두 개씩 사용한다. 그리고 LVDS는 THC63LVDF84B 칩을 두개 사용한다.

FPGA의 외부 클럭은 66Mhz를 사용하고 외부로부터 5V, 3.3V, 1.8V의 전압을 공급하여 보드를 동작 하였다.

시뮬레이션 툴로 Modelsim 6.0을 사용하며 소프트웨어 합성 툴로 Quartus 5.0을 사용한다. 합성 결과는 표 1.과 같다.

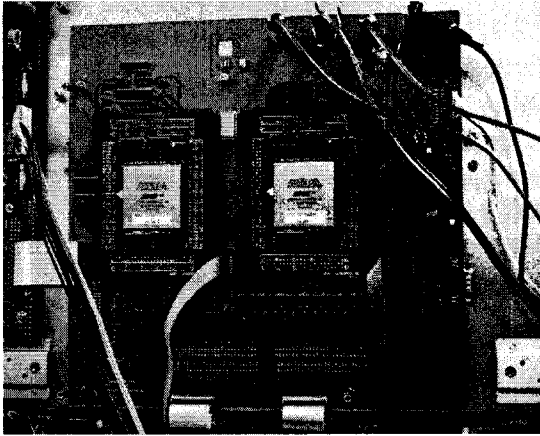


그림 5. 42" PDP 구동 보드

표 1. 소프트웨어 합성 결과

| | Front | Back |
|-------------------|--------------------------|-------------------------|
| Device | EP20K600EBC652 -1x | EP20K600EBC652 -1x |
| Logic element | 9,420/24,320(39%) | 16,635/24,320(69%) |
| Total pins | 198/488(41%) | 305/488(63%) |
| Total memory bits | 265,984/311,296 (85%) | 98,048/311,296 (31%) |
| Max clock | 24.73 Mhz | 51.35 Mhz |

IV. 결론

Verilog HDL 구조를 기반으로 한 PDP 테스트-베드 모듈을 구축함으로써 화질 개선을 위한 여러 영상 알고리즘들을 HDL로 구현하여 모듈에 바로 적용 할 수 있어 PDP의 화질 연구에 도움을 줄 수 있게 되었다. 그리고 외부 테스트 신호 발생기와의 연결이나 USB 통신을 통한 PC와의 연결과 같은 외부 장치와의 연결을 위한 인터페이스가 갖추어 지게 되어 다양한 영상 패턴 따른 PDP 화질 개선 연구에도 도움을 줄 수 있게 되었다.

참고 문헌

[1] Weber & Wood, "Power efficient sustain drivers and address drives for plasma panel", U.S. Patent Number 5,081,400, Jan. 14, 1992.

[2] Jae Young Cho, Choo-Woo Kim, "Error Diffusion Techniques for Reproduction of Smooth Gray Level In Dark Areas on PDP" IDW '03, pp. 925-928, 2003.

[3] S, -J, Kang. H, -S, Do, J, -H Shin, S, -I, Chien. and H, -S Tae. "Reduction of low gray-level contours using error diffusion based on emission characteristics of PDP." IEEE Trans. Consumer, Electron, Vol. 50, no. 2, pp. 401-406, May 2004.

[4] PDP 단기 교육 과정, 디스플레이 기술 교육 센터, 2004