

Average 출력회로를 이용한 아날로그 병렬처리 기반 비터비 디코더

Analog Parallel Processing-based Viterbi Decoder using Average circuit

김현정, 김인철, 김형석
(Hyunjung Kim, In-Cheol Kim, Hyongsuk Kin)

Abstract - A Analog parallel processing-based Viterbi decoder which decodes PRML signal of DVD has been designed by CMOS circuit. The analog parallel processing-based Viterbi decoder implements the functions of the conventional digital Viterbi decoder utilizing the analog parallel processing circuit technology. The Analog parallel processing-based Viterbi decoding technology is applied for the PR(1,2,2,1) signal decoding of DVD. The benefits are low power consumption and less silicon consumption. In this paper, the comparison of the Analog parallel processing-based Viterbi Decoder which has a function of the error correction between Max operation and Average operation is discussed.

Key Words : Viterbi decoder, 병렬처리 회로

1. 서론

최근 멀티미디어에 대한 고화질, 고배속에 대한 사람들의 욕구가 증가되고 있으며, DVD등 대용량 저장 매체의 수요도 폭발적으로 증가 시키고 있다. 이에, 데이터 저장 매체의 고밀도화와 데이터의 reading 속도의 고속화가 필수적인 요소가 되었다. 고 밀도의 마그네틱 기록매체나 광디스크 드라이브에서는 인접 신호들의 저장 위치가 매우 가깝기 때문에 상호 영향을 많이 주고받게 된다. 따라서 저장 신호의 급격한 변화를 피하고 멀티 레벨화 함으로 신호의 간섭을 줄이기 위하여 PR (Partial Response) 기술이 이용된다. PR기술은 인접 심볼에 의한 간섭을 고려하여 코딩 시 상호간섭 파형 모델로 코딩하여 채널에 인가하는 방법이다. 이렇게 하면 여러 개의 인접 비트가 조합되어 출력이 만들어지게 되는 특성이 있으므로, Partial Response라 명명하여 주로 자기 디스크에 응용하였다^[1].

한편, PR신호 생성(코딩) 시 에러 검출이 용이하게 규칙을 구성하면, 비터비 디코더처럼 최적화 방법^[2]을 사용하여 에러를 정정할 수 있다. 이를 PRML(Partial Response Maximum Likelihood)기술이라 명명하고 자기디스크 드라이브에 사용되는 중요 기술이 되었다.

이러한 PRML 기술은 그동안 주로 디지털 기술에 의해 구현되어 사용하였으나, 저장 매체의 고속화에 따른 전력 소비의 증가로 한계점에 도달하였기 때문에 이 분야 연구자들은 아날로그 방식의 PRML 연구에 관심을 갖고 연구하고 있다

^[3]. 아날로그 방식은 A/D 변환기가 불필요하고, 등화기, Timing회로 등에 아날로그 회로를 이용하므로 소비 전력이 적고, 소형이라는 장점이 있다. 이러한 아날로그 비터비를 구성하기 위하여, 본 논문에서 constraint 길이만큼의 트렐리스 다이어그램을 구현하고 이를 순환적으로 연결하여, 무한대로 확장하는 트렐리스 다이어그램을 구현할 수 있는 방법을 제안한 바 있다^[4]. 제안한 구조에서는 기존의 비터비 디코더와는 달리 별도의 경로 저장 메모리가 필요치 않으며, A/D 변환이 없으므로 소비 전력이 적다는 장점이 있다. 제안한 아날로그 병렬처리 기반 비터비 디코더의 연산 방식에 따른 성능 평가에 대하여 기술 하였다.

2. PR(1,2,2,1) 및 동적계획법을 이용한 병렬처리 셀

PRML 방식의 Read Channel은 그림 1과 같이 Preamp, AGC 및 LPF등 기초 구성 소자 외에도 클럭 재생을 위한 PLL 및 데이터 모형의 복원을 위한 equalizer가 있으며, 최적화 원리에 의한 에러 정정을 위해서 Viterbi decoder회로가 필수적으로 사용된다. 본 연구는 read channel을 아날로그 회로에 의해 구현하는데 기술적으로 가장 어려운 마지막 단의 비터비 디코더에 관한 것이다.

PRML기술은 자기디스크에 많이 사용했으나, 최근에는 CD나 DVD등 광디스크에 맞는 PRML 코딩 방법이 연구되고 있다. 이 중, 특히 DVD에 적합한 신호로 개발된 코딩 방법이 PR(1,2,2,1)이다. PR(1,2,2,1)에 의한 심볼은 그림 2와 같은 구조에 의해 결정되게 하는데, 이를 위한 전달함수 $f(k)$ 는

$$f(k) = 1 \cdot a_k + 2 \cdot a_{k-1} + 2 \cdot a_{k-2} + 1 \cdot a_{k-3} \quad (1)$$

로 표현된다. 그림에서 $s(k)$ 는 입력 RLL(2,10) code bit 열이고, $f(k)$ 는 multi-level의 출력신호이다. 입력 신호 열이 binary polar 신호 (+1,-1)이라고 할 때, 식 (1)이나 그림 2를

지자 소개

- * 김현정 : 全北大學 電子情報工學部 博士課程
- * 김인철 : 全北大學 電子情報工學部 碩士課程
- * 김형석 : 全北大學 電子情報工學部 教授 · 工博

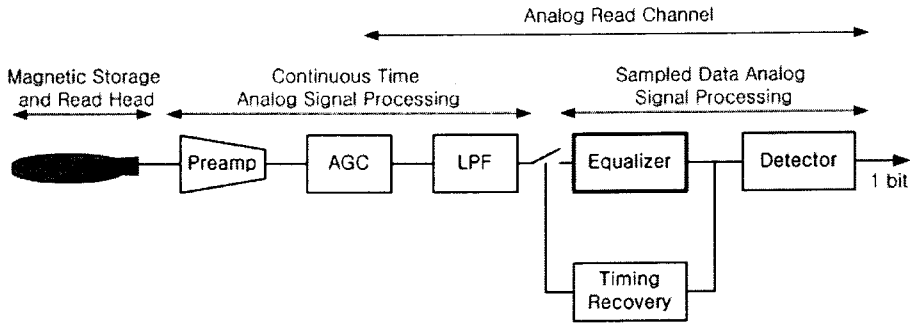


그림 1. DVD Read Channel의 Block Diagram
Fig. 1. Block diagram of the DVD read channel

통하여 기록 매체에 기록되는 출력 신호 $f(k)$ 는 (-6, -4, 0, +4, +6) 등 5 단계의 신호가 된다.

그림 2와 같은 코너는 비터비 디코더처럼 최적화 방법을 이용하여 에러 정정을 할 수 있는데, 코딩 규칙을 도식화 하면, 그림 3 같은 비터비 디코더의 trellis diagram으로 표현할 수 있다. 이때, 3비트로 표현되는 8개의 상태 중에서 '+1-1+1'과 '-1+1-1'의 2개 state는 RLL(2,10) Code의 특성상 발생할 수 없기 때문에 이를 제외한 6개의 state를 사용한다. 또한 DVD read channel의 신호 특성상 한 클럭이나 두 클럭의 간격을 갖는 신호는 발생할 수 없기 때문에 6개 state 간의 branch의 구성에서도 한 클럭이나 두 클럭의 간격을 가진 신호를 유발하는 branch는 삭제되었다.

그림 3의 트렐리스 다이어그램에서 각 branch에 표시된 a/b 값 중 b는 그림 2에서의 코너 입력 값이고, a는 multi-level 심볼인 코너의 출력 값이다. 각 branch의 연결은 코너에서의 입력 신호에 따른 상태의 변화를 표현하였다.

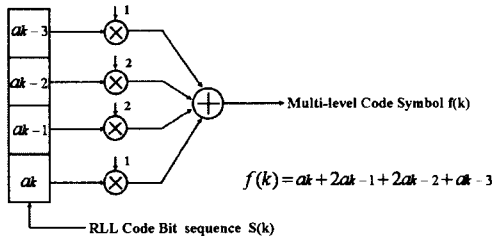


그림 2. PR(1,2,2,1) 코드 심볼 생성기
Fig. 2. PR(1,2,2,1) code symbol generator

디지털 비터비 디코더에서는 트렐리스 다이어그램의 기준 심볼과 수신 심볼간의 오차 값을 계산하고 여러 stage가 경과하는 동안 누적된 에러 값 중 최소값을 계산하여 마지막 stage의 상태 중 최소의 누적 에러 값을 갖는 상태를 찾는다. 디코딩은 마지막 stage의 최소에러 상태에서부터 시작 stage까지 역 추적하여 시작stage에서 거치게 되는 경로에 따라 해당 b 값에 의해 디코딩하는 원리이다.

아날로그 병렬처리 기반 비터비 디코더의 기본연산은 단순화된 동적계획법을 이용하여 각 노드에서는 입력된 정보들 중의 최소값 계산을 하고, 목표점까지의 최소 오차 값을 계산한다. 즉, 노드 (k,l)로부터 목표 위치점에 이르는 최소 오차 값을 $D_{k,l}$ 라고 하고, 노드 (i,j)와 (k,l) 사이의 오차 값을 $d_{i,j}$

라고 할때, 목적 위치점에서 노드 (i,j)에 이르는 최소 오차 값 $D_{i,j}$ 는 인접한 노드 (k,l)에 이르는 데 소요 되는 오차 $d_{i,j,k,l}$ 과 그 위치로부터 목표 위치점에 이르는 최소 오차 $D_{k,l}$ 을 합한 값 중 최소값을 취하는 식 (2)과 같이 계산한다.

$$D_{i,j} = \min \{ D_{k,l} + d_{i,j,k,l}, (k,l) \in S \} \quad (2)$$

여기서, S는 노드 (i,j)의 인접한 노드들의 집합을 의미하며, min은 괄호안의 값들 중 최소값을 출력하는 함수를 나타낸다. 식 (2)을 비터비 디코더에 적용하기 위해서 $d_{i,j,k,l}$ 에 트렐리스 다이어그램상의 기준 부호어와 수신된 심볼과의 차이 값을 인가하고, 각 노드에 (2)식을 수행할 수 있는 연산셀을 배치하게 되면, stage가 진행함에 따라 각 노드에는 오차 값이 누적된다.

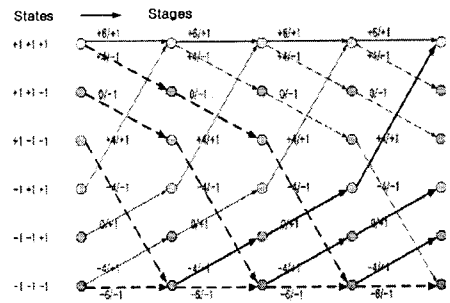


그림 3. PR(1,2,2,1)의 트렐리스 다이어그램
Fig. 3. Trellis diagram of the PR(1,2,2,1)

3. 병렬처리 셀을 이용한 비터비 디코더

그림 4는 아날로그 병렬처리 기반 비터비 디코더의 전개도이다. 현재의 디코딩 stage를 지시하는 stage indicator, 코딩 상태를 표시하는 state indicator, 아날로그 신호의 출력 회로 및 입력 capacitor로 구성되어있다. 아날로그 병렬처리 기반 비터비 디코더의 디코딩은 기준 입력 I_{ref} 가 한 스테이지에 인가되고, 각각의 stage에 연결된 capacitor에 심볼이 저장되면 시작한다. 디코딩이 시작할 I_{ref} 의 초기 위치는 임의로 지정되지만, stage indicator의 순서에 의하여 다음 I_{ref} 가 인가될 위치가 정해진다. 인가된 I_{ref} 는 각 stage의 모든 셀에 전파되어 마지막 stage에서의 값의 변화 정도에 따라 디코딩 하는 원리이다. 즉, 첫 번째 stage의 '0'의 경로를 절단한 후 임의의 기준전류 I_{ref} 를 공급하였을 때, 마지막 단의 출력값들의

최대값 및 평균값 연산의 변화 여부 정도에 따라 '0' 또는 '1'으로 결정한다.

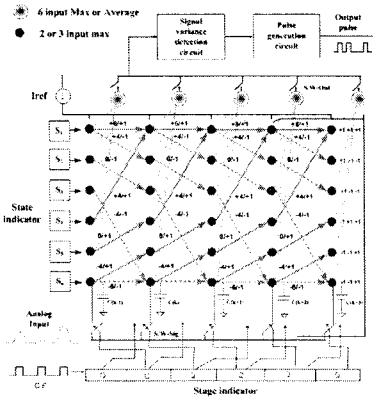


그림 4. 아날로그 병렬처리 기반 비터비 디코더의 전개도
Fig. 4. Developed diagram of the Analog parallel process based Viterbi Decoder

4. 시뮬레이션 결과

아날로그 병렬처리 기반 비터비 디코더는 AD 변환기를 필요치 않으므로 고속 및 저전력 구현이 가능하다는 장점이 있다. 아날로그 병렬처리 기반 비터비 디코더를 PR(1,2,2,1) 시스템에 대하여 적용하였으며, 기존의 최대값 연산과 평균값 연산 방식의 성능을 비교하기 위하여, AWGN 채널 노이즈를 가정한 입력 신호에 대하여 HSPICE 시뮬레이션을 수행하였다.

그림 5는 330Mbps의 입력 속도에 대하여 최대값 연산과 평균값 연산 방식의 시뮬레이션 결과이다. BER 10^{-4} 의 에러 정정률을 기준으로 하였을 경우, 평균값 연산 방식의 비터비 디코더가 최대값 연산 방식의 비터비 디코더 보다 에러 정정 능력이 약 0.5dB 우수함을 확인 할 수 있었다. 또한 같은 방식으로, 400Mbps의 입력 속도에 대하여 평균값 연산 방식의 비터비 디코더가 약 0.4dB 우수함을 확인 할 수 있었다.

5. 결론

아날로그 신호처리 셀을 이용하여 데이터 통신이나 마그네틱 디스크 리더의 에러 정정에 적용할 수 있는 순환형 구조의 비터비 디코더를 제안하였다. 아날로그 병렬처리 기반 비터비 디코더는 기존의 방식과는 달리 아날로그 신호처리 셀의 2차원 배열을 이용한 아날로그 병렬처리 방식으로, 에러 정정 능력이 기존의 비터비 디코더들에 비해 우수할 뿐만 아니라, 칩 제작 시 전력 소모도 적다는 특징이 있다.

본 논문에서는 아날로그 병렬처리 기반의 비터비 디코더에 대하여 최대값 연산 방식과 평균값 연산방식의 시뮬레이션 결과를 비교하였다. 각각의 연산 방식은 아날로그 병렬처리 기반 비터비 디코더의 마지막 스테이지에서 출력 값들의 연산 방식을 의미한다. AWGN 채널 노이즈를 인가하였고, HSPICE 시뮬레이션 결과 330Mbps, 400Mbps의 입력 속도에 대하여 평균값 연산 방식이 최대값 연산 방식의 비터비 디코더보다 BER 10^{-4} 을 기준으로 하였을 경우, 에러 정정 능력이 각각 0.5dB, 0.4dB 우수하였다.

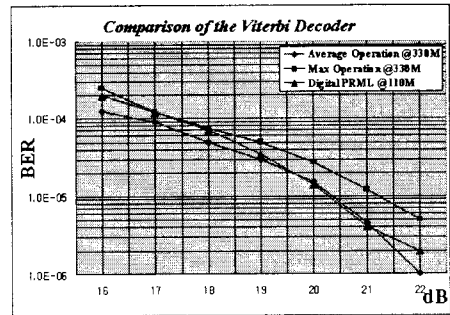


그림 5. 최대값 방식 및 평균값 방식의 성능 비교 (330Mbps)

Fig. 5. Comparison of the Analog parallel based Viterbi Decoder with Max Operation and Average Operations(330Mbps)

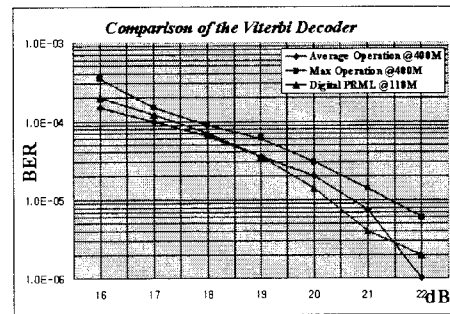


그림 6. 최대값 방식 및 평균값 방식의 성능 비교(400Mbps)
Fig. 6. Comparison of the Analog parallel based Viterbi Decoder with Max Operation and Average Operations(400Mbps)

감사의 글

“이 연구에 참여한 연구자는 2단계 BK21사업의 지원비를 받았음”

참고 문헌

- [1] H. Kobayashi and D. T. Tang, "Application of partial response channel coding to magnetic recording system," IBM Journal of Research and Development, pp. 368-375, 1970.
- [2] A. J. Viterbi, "Error bounds for convolutional codes and an asymptotically optimum decoding algorithm," IEEE Tr. on Information Theory, vol.13, pp.260-269, 1967.
- [3] S. Mital and Y. Ouchi, "A 150Mb/s PRML chip for magnetic disk drive," IEEE International Solid-State Circuits Conference, San Francisco, CA, FEB, pp 62-63, 1996.
- [4] Hyongsuk Kim, Hongrak Son, Tamas Roska, and Leon O. Chua, "High-Performance Viterbi Decoder With Circularly Connected 2-D CNN Unilateral Cell Array," IEEE Transactions on Circuits and Systems I, Vol.52, pp. 2208- 2218, Oct. 2005