

13.56MHz RFID Tag용 아날로그 회로 설계

Design of Analog Circuits for 13.56MHz RFID Tags

*김경환, *한상수, *은성훈, **박지만, ***유종근

Kyung-Hwan Kim, Sang-Soo Han, Sung-Hoon On, Ji-Man Park, Chong-Gun Yu

Abstract - An analog front-end circuit for 13.56MHz ISO/IEC14443 type B compatible RFID tags was designed. The designed circuit includes a rectifier and regulator to generate a stable DC voltage from the RF signal, an over-voltage limiter to protect the circuit from high voltages, an ASK demodulator to extract the data transferred from reader to tag, and a load modulator to transfer data from tag to reader. The functionality of the designed circuit has been verified through simulations using 0.25um CMOS process parameters.

Key Words : 13.56MHz, RFID, tag, CMOS, ASK

1. 장 서 론

RFID(Raido Frequency Identification) 시스템은 리더(Reader)의 요구에 의해 태그(tag) 칩에 내장된 데이터를 읽거나 쓸 수 있는 시스템으로서, 태그에 배터리를 사용하는 능동형과 배터리를 사용하지 않는 수동형으로 분류된다. 또한 사용하는 주파수 밴드에 따라 125kHz[1], 13.56MHz, UHF(860-960MHz) 등으로 분류될 수 있다. 그중에서 가장 많이 사용되고 있는 것은 현재 교통카드, 전자화폐 등에 응용되는 13.56MHz이다.

본 논문에서는 부반송파가 847.5kHz이고 통신거리가 약 10cm, 그리고 데이터 전송속도가 106kbps이며 반이중 블록 전송 프로토콜을 사용하는 13.56MHz ISO/IEC14443 type B 규격에 맞는 태그용 아날로그 회로를 설계하였으며, 0.25um CMOS 공정 변수를 이용한 모의실험을 통해 설계된 회로의 동작을 검증하였다.

2. 장 태그회로 구성

그림 1에 태그 칩의 블록다이아그램을 보였다. 본 논문에서는 아날로그 front-end 블록인 RFA를 설계 및 검증하였다.

리더로부터 방사되어 안테나를 통해서 들어온 전파는 NMOS 브릿지 정류기를 거쳐 DC 전압으로 변화되어 칩 내부의 동작전원을 생성한다. 리더와 태그 사이의 거리가 가까울 때에는 태그 안테나에 유기되는 전압이 매우 커져서 태그 칩 회로를 파괴할 수 있으므로 이를 방지하기 위한 리더와 안정된 전압을 얻기 위한 전압 레귤레이터가 필요하다

저자 소개

* 김경환, 한상수, 은성훈 : 仁川大學 電子工學科 學士課程

** 박지만 : 韓國電子通信硏究員 先任硏究員

*** 유종근 : 仁川大學 電子工學科 正教授 · 工博

본 연구는 정보통신연구진흥원의 NEXT 사업 지원과 IDEC 지원에 의해서도 일부 수행되었음

[2]. 또한 10% ASK 변조된 RF신호를 복조하는 ASK 복조 회로와 태그에서 리더로의 데이터 전송을 위한 부하변조 회로가 필요하며, 디지털 블록에 리셋 신호를 발생하는 파워-온 리셋 회로 그리고 13.56MHz와 같은 비교적 저주파를 이용하는 수동형 태그는 RF신호로부터 직접 클럭을 얻는 클럭 recovery 회로가 필요하다.

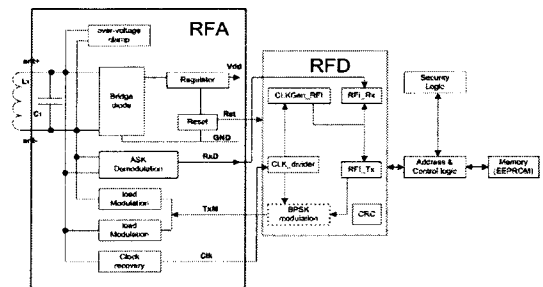


그림1 태그 블록 다이어그램

3. 장 회로설계

3.1 질 LC tuned 회로

그림 2는 리더와 태그사이의 유도 결합 방식[3]을 설명하는 것으로 inductive coupling에 의해 일정량의 전압이 태그 안테나 코일에 발생한다. 즉 거리에 따라 자기장에 의한 상호 인덕턴스 값이 변하게 된다. 따라서 트랜스폰더 안테나 코일에 유기되는 전압 V_T 의 크기는 결합계수 k 에 의해 가장 큰 영향을 받는다. 관련된 식은 다음과 같이 표현된다.

$$V_T = kQ_T \sqrt{\frac{L_T}{L_R}} V_R \quad Q_T = f_o / f_B$$

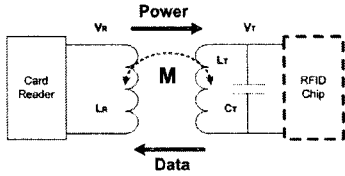


그림 2 LC tuned 회로

3.2 절 리미터

리더와 태그 사이의 거리가 가까운 경우 태그에 유도되는 전압의 크기가 상당히 커져서 태그의 내부회로를 파괴할 수 있다. 따라서 이를 방지하기 위해 본 논문에서는 V_T 의 break 전압 및 안테나에 걸리는 전압을 고려하여 그림 3과 같은 리미터 회로를 설계하였다. 태그 안테나에 인가되는 전압이 커지게 되면 PMOS 다이오드가 ON이 되어 저항에 전류가 흐르기 시작한다. 이때 흐르는 전류에 의해 저항에 걸리는 전압이 MO2의 문턱전압보다 크게 되면 NMOS로 구성된 전류 path가 형성되어 태그 안테나에 유도되는 전압의 크기를 제한하게 된다.

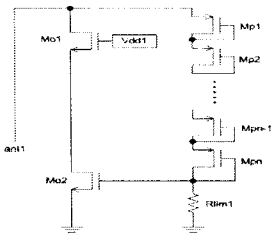


그림 3 리미터 회로

3.3 절 정류회로와 레귤레이터

리더에서 유기된 코일전압 V_T 를 사용하여 태그 내부회로에 전원전압 V_{DD1} 를 공급하기 위해서는 그림 4와 같이 다이오드 역할을 하는 4개의 NMOS 트랜지스터로 구성된 전파 정류기와 전원 캐패시터 C_p 가 필요하다. 정류된 전원전압은 다음 식으로 표현된다.

$$V_{DD1} \approx (V_i - 2V_{TH}) \left(1 - \frac{1}{4fR_L C_p} \right)$$

여기서 V_{TH} 는 NMOS 트랜지스터 문턱전압이고, V_i 와 f 는 각각 V_T 의 진폭과 주파수이다.

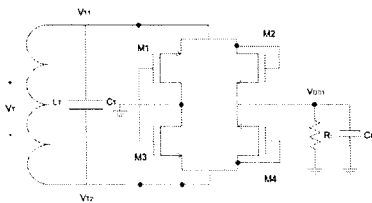


그림 4 정류회로

그림 5는 레귤레이터로써 기준전압회로와 비교기로 구성

된다. 기준 전압 회로는 자체의 전력소모가 적어야 하며 공급전압원이나 온도의 영향을 받지 말아야 한다. 본 논문에서는 M5~M10의 트랜지스터와 저항 R1으로 구성되는 문턱전압 기준 CMOS self-bias 회로를 사용 하였다. 그리고 바이어스점이 원하지 않는 곳에서 동작하는 것을 막기 위해 start-up 회로를 첨가하였다. 이 때 기준전압의 식은 다음과 같다.

$$V_{ref} = IR_1 + V_{GS9}$$

레귤레이터의 동작은 입력전압이 기준전압보다 크면 M18를 off 시키고 입력전압이 기준전압보다 작으면 M18를 on 시키는 switching 레귤레이터로써 동작을 하도록 설계하였다.

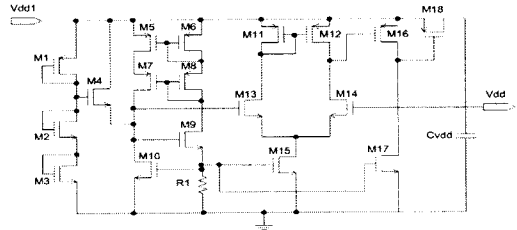


그림 5 레귤레이터 회로

3.4 절 파워 온 리셋

태그가 리더로부터 전원을 공급 받아서 동작 할 때, 디지털 블록에 리셋 신호를 발생하는 파워 온 리셋 회로가 필요한데, 이러한 파워 온 리셋회로는 간단히 RC와 히스테리시스 특성을 갖는 슈미트트리거를 사용 하여 그림 6과 같이 설계하였다.

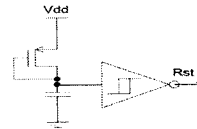


그림 6 파워 온 리셋

3.5 절 복조기

리더에서 태그로 들어온 10% ASK 변조된 RF신호를 복조하기 위해서 그림 7과 같은 복조회로를 설계하였다. 태그 안테나로부터 들어온 입력 신호에서 캐리어 주파수 성분은 peak detector와 low pass 필터에 의해 제거된다. 이 데이터 신호는 미분기를 거쳐 sharp triangle 파형으로 변환된 후, 히스테리시스 특성을 갖는 슈미트 트리거 회로에서 디지털 데이터로 변환된다.

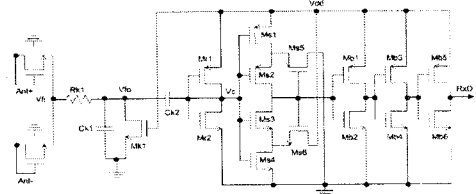


그림 7 ASK 복조회로

3.6 절 클락 recovery 회로

13.56MHz ISO/IEC14443 type B 태그에서는 별도의 클락 생성기를 사용하지 않고 리더의 캐리어신호로부터 클락을 얻는다. 그림 8과 같은 SR NAND 래치를 설계하여 클락 Recovery를 설계하였다. 생성된 클락은 divider에 의해 필요한 주파수로 변환된다.

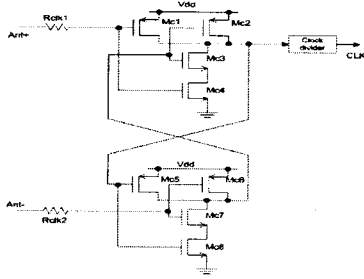


그림 8 클락 Recovery 회로

3.7 절 부하 변조기

태그에서 리더로의 데이터 전송은 부반송파(847.5kHz)를 갖는 부하변조를 이용한다. 태그 인덕터에 병렬로 연결된 NMOS 스위치를 ON/Off시킴으로써 리더에서 바라본 태그의 부하가 변하도록 한다. 부반송파 변조는 NRZ 코딩된 데이터 스트림을 사용하여 부반송파를 180° BPSK 변조함으로써 구현된다. 이때의 데이터 전송률은 106kbps이다.

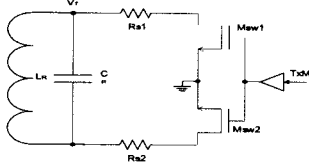


그림 9 부하 변조회로

4. 장 시뮬레이션 결과

설계된 회로를 0.25um CMOS 공정변수를 사용하여 spectre로 모의실험 하였다. 그림 10은 태그에서의 데이터 복조에 대한 시뮬레이션 결과를 나타내었다. 위에서부터 Ant+에 입력된 신호, peak detector와 low pass필터를 통과한 신호, 미분기를 통과한 신호, 마지막으로 슈미트트리거에 의한 복조된 파형이다.

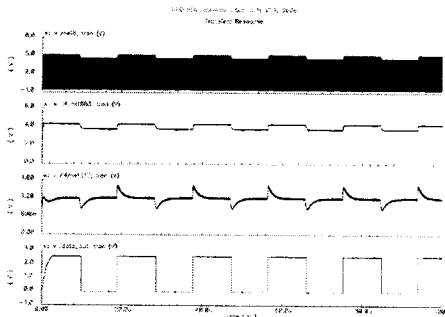


그림 10 복조회로 모의실험 결과

그림 11은 위에서부터 정류기와 레귤레이터를 거쳐 발생된 약 2.5V의 Vdd 파형, 파워 온 리셋 회로에서 발생된 리셋신호, 클락 recovery 회로에서 발생된 부반송파($f_c/16$) 파형을 나타낸다.

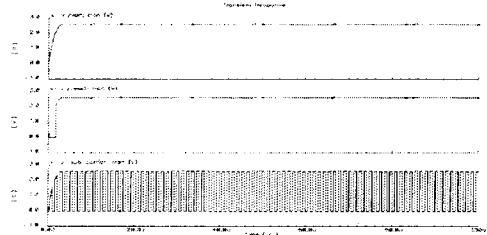
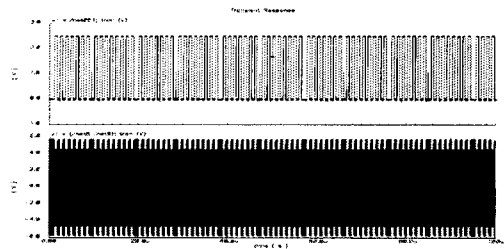


그림 11 정류기/레귤레이터, 파워 온 리셋, 클락 recovery 회로 모의실험 결과

그림 12는 부하변조 테스트를 위한 BPSK 변조된 테스트 입력파형(윗 파형)과, 입력파형에 따른 NMOS 스위치의 on/off에 의해 태그 안테나에 나타나는 부하변조 신호(아래 파형)를 나타낸다.



5. 장 결론

본 논문에서는 13.56MHz의 주파수를 사용하는 비접촉식 IC 카드 표준인 ISO/IEC14443 type B 규격에 맞는 RFID 태그(tag)용 아날로그 회로를 설계하였다. 설계된 회로는 리더에서 발생하는 13.56MHz의 반송파로부터 안정적인 전원 전압을 생성하기 위한 rectifier와 regulator, 리더와 카드가 너무 가까울 시에 발생할 수 있는 큰 전압으로부터 태그를 보호하기 위한 over-voltage limiter, 리더에서 전송되어 오는 데이터를 복조하기 위한 ASK demodulator, 847.5KHz의 부반송파를 사용하여 태그에서 리더로 데이터를 전송하기 위한 load modulator 등을 포함한다. 0.25um CMOS 공정 변수를 이용한 모의실험을 통해 설계된 회로의 동작을 검증하였다. 리더와 태그 사이의 데이터 전송률은 106Kbps이다.

참 고 문 헌

- [1] 오원석, 이상훈, 이강명, 박종태, 유종근, "새로운 감속회로를 사용한 CMOS RFID 트랜스폰더 IC 설계," 전자공학회 논문지 제 38권 SD편 제 3호, pp.57-65, 2001.
- [2] U. Kaiser and W. Steinhagen, "A Low-Power Transponder IC for High-Performance Identification Systems," IEEE J. of Solid-State Circuits, Vol. 30 No.3, pp. 306-310, March 1995.
- [3] K. Finkenzeller, RFID Handbook, Wiley, 2003.