

Quantum-dot Cellular Automata 회로로부터 디지털 논리 추출

Digital Logic Extraction from Quantum-dot Cellular Automata Designs

오연보*, 이은철**, 김교선***

(Younbo Oh, Eunchoul Lee, and Kyosun Kim)

Abstract - Quantum-dot Cellular Automata (QCA) is one of the most promising next generation nano-electronic devices which will inherit the throne of CMOS which is the domineering implementation technology of large scale low power digital systems. In late 1990s, the basic operations of the QCA cell were already demonstrated on a hardware implementation. Also, design tools and simulators were developed. Nevertheless, its design technology is not quite ready for ultra large scale designs. This paper proposes a new approach which enables the QCA designs to inherit the verification methodologies and tools of CMOS designs, as well. First, a set of disciplinary rules strictly restrict the cell arrangement not to deviate from the predefined structures but to guarantee the deterministic digital behaviors. After the gate and interconnect structures of the QCA design are identified, the signal integrity requirements including the input path balancing of majority gates, and the prevention of the noise amplification are checked. And then the digital logic is extracted and stored in the OpenAccess common engineering database which provides a connection to a large pool of CMOS design verification tools. Towards validating the proposed approach, we designed a 2-bit QCA adder. The digital logic is extracted, translated into the Verilog net list, and then simulated using a commercial software.

Key Words : Quantum-dot Cellular Automata, Digital Logic Extraction, Nano-Electronics

1. 개요

QCA로 디지털 시스템을 설계할 때는 원하는 게이트 형성 및 이들의 상호 연결을 셀의 배열로써 구현한다[1,2]. QCA 기본 구조는 매우 단순하고 QCA 설계는 비슷한 단순 패턴의 반복으로 가득 차 있으며 특이한 구조는 거의 필요로 하지 않는다. 그럼에도 불구하고 QCA 설계를 해석하고 검증할 때 복잡하고 계산량이 많은 셀 간 반응 모델[4]에 의존하고 있는데 이것은 현재 설계의 규범화가 이루어 지지 않아 임의로 변형된 기본 구조가 사용될 수 있기 때문에 설계가 확정된 디지털 동작을 하는지 검증해 보아야 하기 때문이다. 디지털 시뮬레이션 모델은 큰 규모의 QCA 회로를 다룰 수 있으며 검증을 가속화할 수 있다. 디지털 시뮬레이션은 시뮬레이션 속도와 처리 용량에서 셀 간의 반응 모델에 비해 적어도 수 백 또는 수천 배 우월하다. 그러나 불확정한 동작 및 취약한 신호 전파 특성[5,6]을 가지는 기능 구조는 정확하게 해당 디지털 회로 소자 및 특성으로 변환될 수 없어 이로 인해 발생하는 오동작을 확인할 수 없기 때문에 디지털 시뮬레이션을 하려면 이와 같은 임의의 변경된 구조의 사용을 허용해서는 안 된다. 따라서 잡음 증폭을 억제하고 논리 게이트 입력 경로의 균형을 유지하는 규범적 지침들을 제정하여 QCA 설계의

강건성[5,6]을 대폭 향상시켜야 한다. 결국 디지털 시뮬레이션을 위해서는 두 단계의 준비가 필요하다. 먼저 QCA 구조의 논리 및 연결 구조를 추출하여 디지털 회로로 변환하여야 하며 정의되지 않은 셀 구조 패턴을 검출하고 제거해야 한다.

2. QCA 셀 패턴

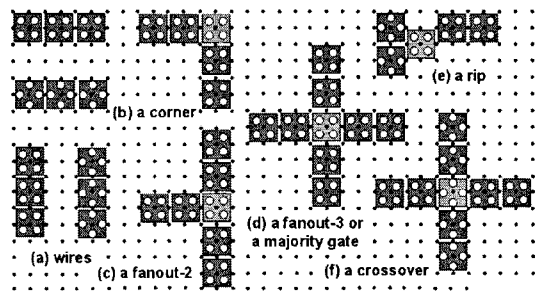


그림 1. 격자점 상에 셀이 배치된 전형적인 게이트 구조 및 연결 구조

만약 셀들 배치 위치를 동일한 간격의 격자점 상으로 엄격히 제한하면 유한개의 셀 배치 패턴 정의가 가능하게 되어 디지털 로직 분석을 통한 빠른 검증이 가능하게 된다. 그림 1은 셀 피치의 반을 간격으로 한 격자점 상에 셀이 배치된 전형적인 게이트 구조 및 연결 구조를 보이고 있다. 셀 피치는 셀 폭과 셀 간 간격의 합으로 결정된다. 대부분 각 셀들은

저자 소개

* 오연보 : 仁川大學 電子工學科 學士課程

** 이은철: 仁川大學 電子工學科 碩士課程

*** 김교선: 仁川大學 電子工學科 助教授 · 工博

† 본 연구는 산업자원부 한국산업기술평가원 지정 인천대학교 멀티미디어 연구센터의 지원에 의한 것임.

중심점 간 간격을 기준으로 x 및 y 방향으로 두 격자만큼 떨어져 있다는 것에 주목해야한다. 예외적으로 그림 1(e)에 나타난 분기 (rip) 셀은 이웃 셀과 y 방향으로 한 격자 간격만큼 떨어져 있다. 하나의 셀 주위로 16개의 격자점 상에 셀이 이웃할 수 있지만 셀들은 겹칠 수 없기 때문에 동시에 이웃할 수 있는 셀은 최대 8개이다. 이러한 이웃 셀들은 그림 2에서와 같이 중심 셀과의 상대 위치에 따라 직각, 경사, 대각 이웃 (R-, S-, D-neighbors)의 세 가지 형태로 분류된다.

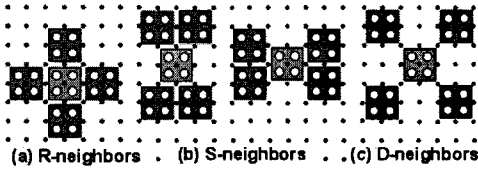


그림 2. 이웃 셀 형태

기본적인 구조 각각은 위의 세 가지 이웃 형태의 관점에서 정의할 수 있다. 그림 1에 나타난 여섯 가지 기본 연결 구조 (배선, 코너, 2-산개 (fanout-2), 3-산개 (fanout-3), 분기, 배선교차부)와 한 가지 논리 게이트 (다수결 게이트) 구조, 그리고 세 가지의 인버터 구조 (포크 (fork) 인버터, 분기 인버터, 시프트 (shift) 인버터)가 있다.

3. 알고리즘

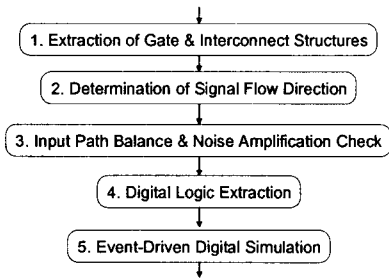


그림 3 디지털 논리 시뮬레이션 절차

그림 3은 가능한 빠르고 정확하게 기능을 검증하는 디지털 시뮬레이션을 가능하게 하는 해석 절차를 나타내고 있다. 첫 단계는 모든 셀들이 격자점 상에 위치하도록 하고 두 격자 간격 내의 모든 이웃 셀들 검색하여 각 셀의 종류를 분류한 후 위에서 기술한 구조들을 추출한다. 이때 규범에 따라 미리 정의 되지 않은 회로 패턴들은 규칙 위반으로 보고된다. 두 번째 단계는 이렇게 추출된 구조를 연결한 후 신호의 전파 방향을 결정하기 위해 모든 신호 경로들이 탐색된다. 세 번째 단계에서 배선교차부와 다수결 게이트들에 대해 잡음 증폭 조건 검사 (잡음이 신호보다 먼저 도착하는가와 잡음이 인가된 배선의 길이가 이를 증폭할 수 있도록 충분인가)를 진행한다. 마지막으로 서로 연결되지 않는 구조들 간 간격을 검사하게 된다. 추출된 회로는 논리 시뮬레이션을 위해 HDL 네트리스트로 변환된다. 다수결 게이트, 인버터, 래치 등 기본 소자 세 가지의 동작 모델만 있으면 시뮬레이션이 가능하다. 입력 파형에는 검치치 않는 4상 클럭을 포함시켜야 한다.

3.1 이웃 탐색을 통한 셀 분류 및 신호 흐름 방향 결정

규범적 지침은 셀들의 배열이 미리 정의한 구조를 벗어나지 않도록 엄격히 제한한다. 따라서 어떤 QCA 회로가 이 지침을 준수한다면 회로 내의 모든 셀은 기본적인 기능적 구조와 연결 구조 중 하나로 분류될 수 있다. 이웃 셀들의 배열에 따라 각 셀의 기능이 결정되며 이웃 셀들이 나타낼 수 있는 패턴의 수는 유한하기 때문에 각 셀 종류별로 완벽한 정규 패턴의 집합을 정의할 수 있다. 한 셀 주위에는 그림 4(a)와 같이 이웃 셀들이 위치할 수 있는 16개의 격자점들이 존재한다. 16개의 각 격자점에는 90도 및 45도 셀들이 존재하거나 빈 공간으로 남을 수 있다. 이러한 점유 상태는 그림 4(b)와 같이 이웃 상태 표시 단어으로써 정리가 가능하다.

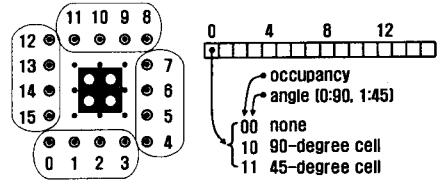


그림 4 이웃 상태 표시 단어 구성 규칙

이웃 상태 표시 단어는 각각 2 비트로 나타낸 16 자리의 수로 구성되는데 각 자리 수는 이웃 셀이 위치할 수 있는 16 격자점의 상태를 표시하며 90도 혹은 45도 셀이 점유되었는지 혹은 비어있는지 나타낸다. 각 자리 수는 해당 이웃 셀의 위치에 셀이 존재하는지 간단히 검사하여 다른 자리 수 값에 관계없이 독립적으로 결정된다. 고속 이웃 탐색을 위하여 bin 또는 quad-tree와 같은 기하 탐색구조를 응용할 수 있다. 만약 정규 패턴의 이웃 상태 표시 단어와 그에 대응하는 셀 종류들을 사전에 저장한다면 셀 분류는 간단히 사전에서 해당 단어를 찾지만 하면 완수할 수 있다. 만약 사전에서 해당 패턴을 찾아내지 못한다면 이 패턴을 가지는 QCA 회로는 규범을 따르지 않았다는 것을 의미한다. 효율적인 사전 탐색을 위해서 사전에 저장된 모든 상태 표시 단어들은 크기 순서로 정렬되어 있고 이진 탐색 알고리즘에 의해 검색된다.

신호들은 입력 셀로부터 다양한 소자와 연결 구조들을 거쳐 출력 셀까지 흘러간다. 다수결 게이트 셀은 서로 다른 세 개의 이웃 셀들로부터 세 개의 입력을 받아 나머지 이웃 셀로 출력신호가 전파되는 반면 배선교차부 셀은 두 개의 입력 (하나는 90도 셀에서 다른 하나는 45도 셀에서)을 받아 같은 각의 반대편 이웃 셀들에게 신호를 전파시킨다. 이러한 다중 입력 셀들 이외의 구조들은 하나의 이웃 셀로부터 하나의 입력을 받아 나머지 이웃 셀들에게 전파시킨다. 각 셀의 신호 흐름 방향은 미리 찾기 알고리즘을 사용하여 결정할 수 있는데 입력 셀에 신호가 인가되면 그 이웃 셀에 전파시키고, 그리고 다시 그 이웃 셀의 이웃 셀에 계속 전파시켜 나가면서 결정하게 된다. 하지만 다중 입력 셀은 들어와야 할 신호가 원하는 수만큼 모두 도착한 후에야 이웃 셀들과의 신호 방향을 결정할 수 있다. 즉 신호가 들어오지 않는 셀들로 신호가 나가는 것으로 결정하기 때문에 모든 들어오는 신호들이 그 셀에 도착하기 전에는 전파되지 않는다.

3.2 디지털 논리 추출

일단 신호 흐름이 결정되면 이제 다수결 게이트는 3-산계 구조와 구분된다. 또한, Φ_{i-1} -to- Φ_i 클록 인터페이스에서 래치도 생성시킬 수 있다. 그러나 다수결 게이트와는 달리 인버터들은 분류된 셀 종류에 의해 생성할 수 있는 것이 아니라 각 셀과 그 셀의 대각 또는 경사 이웃 셀과의 관계에 의해 생성된다. 사실 이런 각의 이웃 셀은 신호가 전파될 때 편극을 반전시키기 때문이다. 미로 찾기 알고리즘이 수행되는 동안 입력 신호와 그것의 편극도 같이 전파시킨다면 서로 편극이 다르면서 이웃하고 있는 셀 들 사이의 경계를 인버터가 생성되는 위치로 결정할 수 있다. 입력 신호의 편극은 처음에 0으로 초기화하고 전파될 때 신호를 반전시키는 경계를 지날 때마다 1과 0 사이를 교대로 반복하도록 한다. 그러나 이와 같은 직관적 인버터 발생 방법은 필요 이상으로 인버터들이 생성되며 직렬 축약 및 병렬 합병으로 제거하는 후처리가 필요하다. 대안으로서는 신호가 다수결 게이트나 래치를 만날 때까지 인버터 생성을 연기하는 방법이 있다. 다수결 게이트 및 래치에 도착하는 신호가 1의 편극을 가질 때만 인버터를 생성하도록 하면 그 수를 최소화할 수 있다. 편극이 다수결 게이트나 래치를 지나 계속 전파될 때는 반드시 0으로 다시 초기화해야 한다. 생성된 래치 상의 신호 동기를 위한 4상 클록을 인가할 수 있도록 마지막으로 입력 터미널 네 개를 추가하면 디지털 논리 추출을 완료할 수 있다.

4. 실험 결과

제안된 알고리즘들은 QCA 디지털 논리 추출기로서 구현되었다. QCA 설계와 전통적인 CMOS 설계 간의 설계 방법론 및 툴 관점에서 상호운용성을 충분히 제공하기 위해 추출기는 CMOS 설계 용 표준 엔지니어링 데이터베이스인 OpenAccess 상에 구현하였다. 또한, QCADesigner 2.0.3[3]을 사용하여 그림 5와 같은 2-비트 QCA 가산기를 설계하였다. 입력 A[1:0], B[1:0], CI가 가산기에 인가되어 출력 S[1:0] 및 CO가 산출된다. 추출기에서는 먼저 QCA 설계의 게이트 및 연결 구조가 인식되고 디지털 논리가 추출된 후 풍부한 설계 검증 툴과 쉽게 연결될 수 있는 OpenAccess 데이터베이스에 저장되었다. OpenAccess 상에서 자체 개발된 스키매틱 생성기를 사용하면 그림 6과 같이 논리 다이어그램을 확인할 수도 있다. 이 그림에서 2-비트 리플-캐리 가산을 위한 10단 파이프라인 구조를 확인할 수 있다.

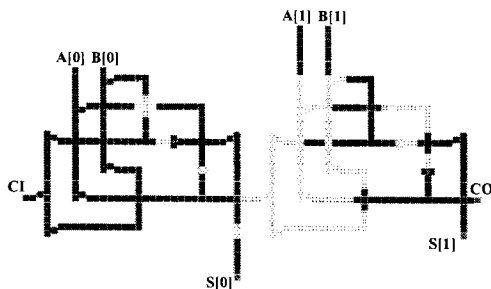


그림 5 2-비트 QCA 가산기

OpenAccess의 oa2verilog를 이용하여 Verilog 네트리스트를 발생시킨 후 상용 HDL 시뮬레이터인 ModelSim을 사용하

여 시뮬레이션은 실시할 수 있다. 그림 7은 두 가산, $11_2 + 01_2 + 1 = 101_2$ 및 $00_2 + 11_2 + 0 = 011_2$ 의 시뮬레이션 결과를 보이고 있다. 캐리 출력이 합 출력보다 1 클록 사이클 (4 클록 위상)만큼 먼저 나오고 있는데 이는 비트 수를 확장할 경우 이 캐리가 상위 비트 슬라이스에 더 빨리 전달되어 계산을 일찍 시작할 수 있도록 하기 위함이다.

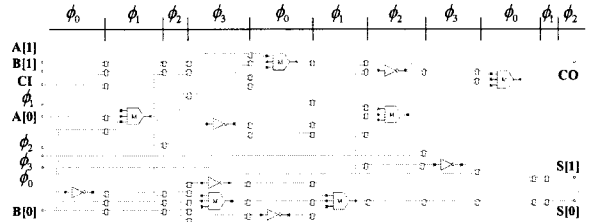


그림 6 2-비트 QCA 가산기의 논리 다이어그램

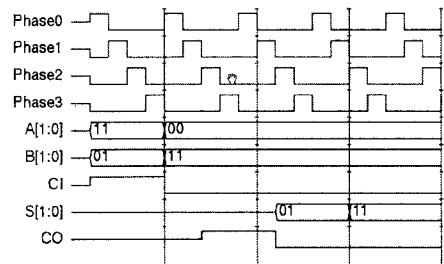


그림 7 두 덧셈의 시뮬레이션 결과

5. 결론

본 논문은 QCA 레이아웃 회로로부터 디지털 논리 회로를 추출하여 CMOS 기술에서 사용되어 왔던 검증 기법을 그대로 차세대 QCA 나노 기술에도 적용할 수 있도록 하는 새로운 접근 방법을 제시함으로써 이 격차를 획기적으로 해소하였다.

참고 문헌

- [1] C. S. Lent, P. D. Tougaw, W. Porod, and G. H. Bernstein, "Quantum cellular automata," Nanotechnology, vol. 4, pp. 49-57, 1993.
- [2] M. T. Niemier, M. J. Kontz, P. M. Kogge, "A Design of and Design Tools for a Novel Quantum Dot Based Microprocessor," Proc. of the 27th Design Automation Conference, p. 227-232, June 2000.
- [3] QCA Designer, <http://www.qcadesigner.ca>
- [4] P. D. Tougaw and C. S. Lent, "Dynamic Behavior of Quantum Cellular Automata," Journal of Applied Physics, vol. 80, no. 8, pp. 4722-4736, October 15, 1996.
- [5] Kyosun Kim, Kaijie Wu, Ramesh Karri, "Towards Designing Robust QCA Architectures in the Presence of Sneak Noise Paths", Design Automation & Test in Europe, pp.1214-1219, March 7-11, 2005.
- [6] Kyosun-Kim, Kaijie Wu, and Ramesh Karri, "Quantum-dot Cellular Automata Design Guideline", IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E89-A, No.6 June, 2006.