

비정질 실리콘 증착에 의한 실리콘 웨이퍼 패시베이션

김상균¹⁾²⁾, 이정철¹⁾, Viresh Dutta¹⁾, 박성주²⁾, 윤경훈^{1)*}

Si wafer passivation with amorphous Si:H evaluated by QSSPC method

Sang-Kyun Kim¹⁾²⁾, Jeong Chul Lee¹⁾, Viresh Dutta, S.J. Park²⁾ and Kyung Hoon Yoon^{1)*}

Key words : Solar cell(태양전지), Heterojunction(이종접합), QSSPC

Abstract : p-type 비정질 실리콘 에미터와 n-type 실리콘 기판의 계면에 intrinsic 비정질 실리콘을 증착함으로써 계면의 재결합을 억제하여 20%가 넘는 효율을 보이는 이종접합 태양전지가 Sanyo에 의해 처음 제시된 후 intrinsic layer에 대한 연구가 많이 진행되어 왔다. 하지만 p-type wafer의 경우는 n-type에 비해 intrinsic buffer의 효과가 미미하거나 오히려 특성을 저하시킨다는 보고가 있으며 그 이유로는 minority carrier에 대한 barrier가 상대적으로 낮다는 것과 partial epitaxy가 발생하기 때문으로 알려져 있다.

본 연구에서는 partial epitaxy를 억제하기 위한 방법으로 증착 온도를 낮추고 QSSPC를 사용하여 minority carrier lifetime을 측정함으로써 각 온도에 따른 passivation 특성을 평가하였다. 또한 SiH4에 H2를 섞어서 증착하였을 경우 각 dilution ratio(H2 flow/SiH4 flow)에서의 passivation 특성 또한 평가하였다.

기판 온도 100 'C에서 증착된 샘플의 lifetime이 가장 길었으며 그 이하와 이상에서는 lifetime이 감소하는 경향을 보였다. 낮은 온도에서는 박막 자체의 결함이 증가하였기 때문이며 높은 온도에서는 partial epitaxy의 영향으로 추정된다. H2 dilution을 하여 증착한 샘플의 경우 SiH4만 가지고 증착한 샘플보다 훨씬 높은 lifetime을 가졌다. 이 또한 박막 FT-IR 결과로부터 H2 dilution을 한 경우 compact한 박막이 형성되는 것을 확인할 수 있었는데 radical mobility 증가에 의한 박막 특성 향상이 원인으로 생각된다.

subscript

PECVD : Plasma-enhanced chemical vapor deposition

QSSPC : quasi static photoconductance

Dilution Ratio(R) : H2 flow / SiH4 flow

1. 서론

최근 대체에너지에 대한 관심이 높아지고 있는 상황에 태양전지는 미래의 에너지원으로 각광받고 있다. 여러 형태의 태양전지 중 실리콘을 이용한 태양전지는 실리콘 재료가 풍부하다는 점과 현재의 반도체 산업 장비를 이용하여 쉽게 생산할 수 있다는 점에서 실현 가능성이 가장 높다고 할 수 있다. 그러나 태양전지가 상업적으로 성공하기 위해서 화석연료 기반의 에너지 형태에 비해 약 10배 비싸다는 점이 걸림돌이며 비용 절감이 필수적인 요소이다. 이를 위해 wafer 비용 및 공정 cost 감소를 통하여 단가를 낮추려는 연구가 활발하다.

실리콘 이종접합 태양전지는 실리콘 웨이퍼에

비정질 에미터를 PECVD 등의 저온 장비를 사용하여 증착하여 p/n 결합을 구성하는 형태이다. 모든 공정이 저온(<250 'C)에서 이뤄지므로 사용할 수 있는 wafer의 범위가 넓고 100 μm 이하의 얇은 웨이퍼도 사용할 수 있으며 공정 비용이 줄어든다는 장점이 있다. 효율 또한 Sanyo[1]에서 n-type wafer를 사용하여 20%가 넘는 효율을 달성하였고 p-type[2] 또한 17%가 넘는 등 기존의 도핑 방식의 태양전지와 유사한 효율을 보이고 있다.

한편 p/n 계면에는 많은 결함이 있고 이로 인한 재결합을 억제하기 위하여 intrinsic buffer가 필요함을 주장한 바가 있다[1]. 그러나 p-type wafer의 경우에는 intrinsic buffer의 역

1) 한국에너지기술연구원(KIER) 태양광발전사업단

E-mail : y-hh@kier.re.kr
Tel : (042)860-3410 Fax : (042)860-3739

2) 광주과학기술원(GIST) 신소재공학과
E-mail : sjpark@gist.ac.kr
Tel : (062)970-2309 Fax : (062)970-2304

할이 뚜렷하지 않으며 오히려 특성을 저하시킨다는 보고가 있다[3]. 그 원인으로는 p-type wafer의 경우 n-type에 비하여 계면에 형성되는 minority carrier에 대한 barrier가 낮다는 것과 [4] 비정질 조건으로 증착할 경우 partial epitaxy가 발생하기 때문으로 알려져 있다.

특히 기판온도가 높을 경우 partial epitaxy가 증가하는 것으로 알려져 있어 NREL에서는 기판 온도를 100 °C까지 낮추어 증착하고 있다[5]. 하지만 partial epitaxy를 피할 수 없으므로 microcrystalline 조성으로 증착하기 위하여 많은 H2 dilution을 하는 경우도 있다[6].

본 연구에서는 intrinsic buffer의 특성을 평가하기 위하여 실리콘 웨이퍼를 비정질 실리콘으로 passivation하고 QSSPC로 lifetime을 측정하였다. 기판 온도와 수소 dilution에 따른 passivation 특성 변화를 평가하고 여러 조건을 사용하여 만들어진 태양전지를 비교하였다.

2. 실험

Si wafer는 단면 polishing된 FZ wafer(p-type, 10 Ωcm 675 μm)를 사용하였으며 4cm x 4cm로 dicing한 후 아세톤-메탄올-DI water rinsing-N2 drying 후 1% HF에 30초 dipping하여 native oxide를 제거하였다. Intrinsic layer는 60MHz vhf-PECVD를 사용하여 증착하였으며 n-type 비정질 실리콘은 13.56MHz PECVD를 사용하였다. Lifetime 측정을 위해 웨이퍼 양쪽에 증착을 하여 n/i/FZ/i/n의 대칭적인 구조가 되도록 하였다.

Intrinsic 비정질 실리콘은 기판 온도 50~150°C, R=0~6, 증착시간 30초~2분30초(두께 10~50nm), RF power 70mW/cm2 조건에서 증착하였으며 working pressure는 R=0인 경우는 50mT, R=2, 4는 100mT, R=6은 150mT로 SiH4 partial pressure를 비슷하게 하였다. n-type 비정질 실리콘은 기판온도 160°C, PH3/SiH4=1%, R=1.5, 300mT, RF power 60mW/cm2 조건으로 13nm 증착하였다. 일부 샘플에 대해서는 Forming gas annealing을 400°C, 40분 처리되었다.

몇 가지 intrinsic buffer 조건에 대해 태양전지를 제조하였다. FZ 10Ωcm wafer(4cm x 4cm)에 intrinsic buffer와 n type 비정질 에미터를 증착하였다. Anti-reflection layer 및 전극으로써 ZnO:Al을 sputter로 약 80nm 증착한 후에 metal grid를 이용하여 front metal(Al/Ag)을 증착하였다. p type 비정질 실리콘(~35nm)이 back surface field로서 증착되었으며 Al이 back metal로 증착되었다. Cell size는 1cm2이며 4x4 wafer 위의 9개의 cell을 측정하여 평균을 구하였다.

3. 결과 및 토론

3.1 Lifetime measurement

3.1.1 기판 온도의 영향

기판 온도의 영향을 알기 위해 50°C~150°C 사이에서 FZ wafer 양쪽에 비정질 실리콘을 증착한 후 QSSPC로 lifetime을 측정하였다. H2 dilution 유무에 관계없이 100°C에서 증착한 경우에 가장 높은 lifetime 값을 보였다.

실리콘 웨이퍼에 220nm 정도의 박막을 증착한 후 FT-IR을 측정한 결과 기판 온도가 증가함에 따라 2100cm-1에서의 흡수도가 약간 감소하는 경향을 보였으며 이는 좀 더 compact한 박막이 증착되었음을 의미한다. 하지만 그 차이는 크지 않으므로 기판 온도에 따라 lifetime이 크게 변하는 것은 높은 온도에서는 partial epitaxy가 발생하는 것으로 추정되며 낮은 온도에서는 박막 자체의 결합이 증가하기 때문으로 생각된다.

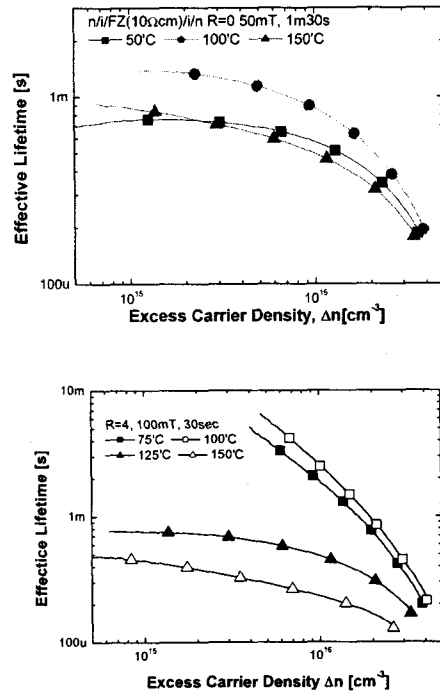
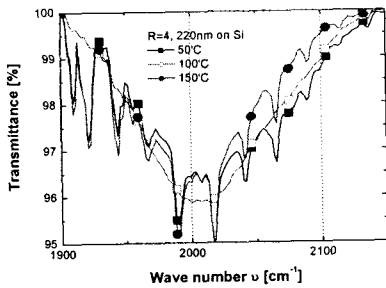


Fig. 1 기판 온도에 따른 특성 변화

- (1) Intrinsic buffer : R=0 1분30초 50mT
- (2) Intrinsic buffer : R=4 30초 100mT
- (3) FT-IR (R=4, 두께 약 220nm)

3.1.2 수소 dilution의 영향

그림 2는 증착온도와 시간을 100°C, 30초로 고정된 후 H2/SiH4 비율을 0~6까지 변화하면서 n/i/FZ/i/n 구조의 샘플을 제조한 후 lifetime을 측정



하였을 때 결과이다. R=0인 경우는 intrinsic buffer가 없는 경우보다 lifetime이 줄어들었으나 수소를 섞은 경우에는 크게 증가하는 것이 관찰되었다. 특히 R=4인 경우 recombination velocity parameter S가 10cm/s 근처의 좋은 passivation 특성을 나타냈다. 제조된 샘플을 forming gas annealing한 후 다시 측정하였을 때 intrinsic buffer가 없는 경우는 lifetime이 감소하였으나 buffer가 있는 경우는 증가하며 3.5 ms 가까운 값으로 수렴하는 것이 관찰되었다. 이는 수소 원자에 의한 Si dangling bond passivation이 증가하였기 때문으로 예상되는데 forming gas annealing 후에 오히려 박막 내의 수소가 감소하는 것을 보면 열처리 과정 중에 들어온 수소보다는 내부의 수소가 확산하여 주변의 dangling bond를 passivation한 것으로 생각된다.

수소를 첨가하였을 경우 박막 특성이 좋아지는 것이 lifetime 향상의 원인으로 생각된다. 일반적으로 비정질 실리콘 태양전지에서는 박막 특성 향상을 위하여 수소를 dilution하는 것이 박막 특성을 좋게 하는 것으로 알려져 있다[7]. 이에 따라 수소를 섞을 때의 영향을 알기 위해 FT-IR를 측정 한 결과 수소가 없을 경우 2100 cm⁻¹의 signal이 증가하는 것으로부터 수소 첨가가 박막 내의 defect를 줄여서 lifetime을 향상시키는 것으로 예상된다.

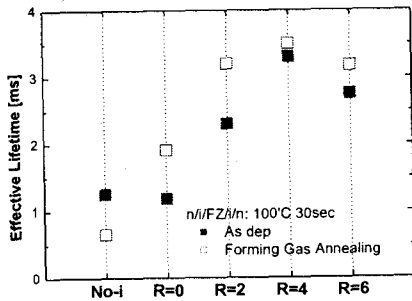
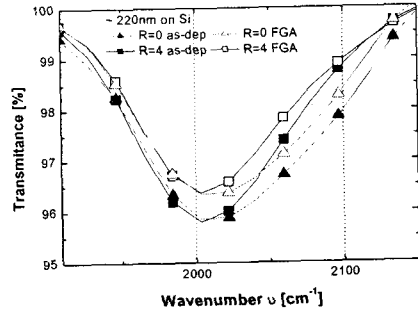


Fig. 2 수소 dilution에 따른 변화
(1) Dilution ratio에 따른 lifetime
(2) FT-IR (before & after forming gas annealing)



3.1.3 두께 영향

Buffer를 10nm 정도 증착하였을 때 최고의 lifetime을 얻을 수 있었다. 그 이하에서는 박막 두께의 불균일성으로 인한 결함으로 보이며 10 nm 이상에서는 n-type 에미터의 field가 감소함에 의한 영향으로 보인다.

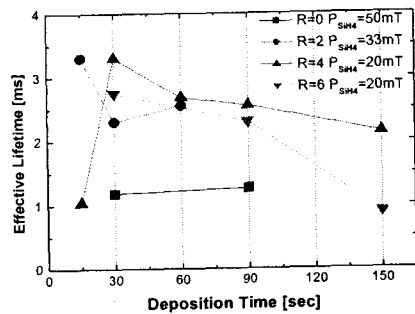
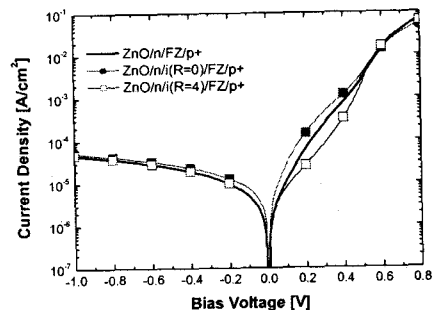


Fig. 3 Buffer 두께에 따른 lifetime

3.2 태양 전지 특성

lifetime에서 얻은 결과를 태양전지에 적용하였다. Buffer가 없는 조건과 R=0, R=4 인 buffer를 삽입한 조건 등 세 가지 조건의 태양전지를 제조하고 특성을 평가하였다.



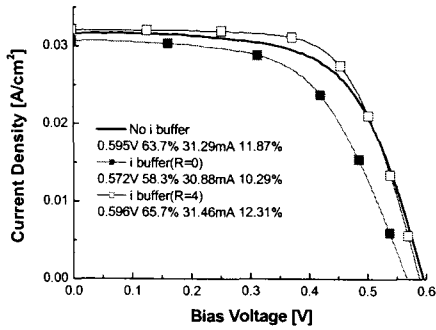


Fig. 4 Solar cell 특성
 (1) Dark I-V (with and w/o intrinsic buffer)
 (2) Photo I-V (Cell Area 1cm²)

Intrinsic buffer 삽입(R=4)을 통하여 shunt 저항이 개선되는 것을 확인하였다. 이는 intrinsic buffer 가 defect passivation 효과를 높여줬다는 것을 의미한다. 한편 reverse current는 거의 차이가 없었는데 wafer 저항이 높은 점 또는 BSF layer 가 최적화 되어 있지 않은 이유로 front 쪽의 passivation 특성 향상 효과가 뚜렷하게 나타나 지 않았다고 생각된다.

4. 결론

비정질 실리콘 증착을 통한 실리콘 웨이퍼 passivation 특성에 기판 온도와 수소 dilution이 미치는 영향을 QSSPC를 이용하여 평가하였다. 기판 온도 100도에서 최적의 특성을 보였으며 그보다 낮은 경우와 높은 온도에서는 passivation 특성이 저하되었다. 낮은 경우는 박막 특성의 저하가 예상되며 100도보다 높은 경우에는 partial epitaxy에 의한 특성 저하로 예상된다. 한편 수소를 dilution 한 경우 dilution하지 않은 경우에 비해 박막 특성이 향상되는 것을 FT-IR로 확인할 수 있었으며 이것이 passivation 특성을 좋게 한 이유라 생각된다. 이러한 intrinsic buffer 최적화를 통하여 12.3% 효율을 가지는 태양전지를 제조할 수 있었다.

References

[1] M.Taguchi, H.Sakata, Y.Yoshimini, E.Maruyama, A.Terakawa, M.Tanaka Proceedings of the 31th IEEE PVSEC, Lake Buena Vista 2005, 2005, 866
 [2] K.v.Maydell, E.Conrad, M.Schmidt Efficient Silicon Heterojunction solar cells on n-type and p-type substrate processed at low temperature PVSEC-15 Shanghai 2005, 881

[3] K.v.Maydell, H.Windgassen, W.A.Nositschka, U.Rau, P.J.Rostan, J.Henze, J.Schmidt, M.Scherff, W.Fahrner, D.Borchert, S.Tardon, R.Bruggemann, H.Stiebig, M.Schmidt Basic electronic properties and technology of TCO/a-Si:H(n)/c-Si(p) heterostructure solar cells : A German Network Project, 20th European PVSEC Barcelona, 2005 822
 [4] M.Vukadinovic, G.Cernivee, G. Agostinelli, H.D.Golbach, R.E.I.Schropp, F.Smole, M.Topic Numerical Modelling and Optimisation of n-i-p-i-p⁺ HIT solar cells based on mc-Si, a-Si and μ c-Si, 19th European PVSEC Paris, 2004, 773
 [5] T.H.Wang, E.Iwaniczko, M.R.Page, D.H.Levi, Y.Yan, H.M.Branz, Q.Wang Effect of emitter deposition temperature on surface passivation in hot-wire chemical vapor deposited silicon heterojunction solar cells Thin solid Films vol 501 2006, 284
 [6] E.Centurioni, D.Iencinella, R.Rizzoli, F. Zignani, Silicon heterojunction solar cell: a new buffer Layer concept with low-temperature epitaxial silicon, IEEE trans Elec. Devices 51 2004 1818
 [7] Akihisa Matsuda, Madoka Takai, Tomonori Nishimoto, Michio Kondo Control of plasma chemistry for preparing highly stabilized amorphous silicon at high growth rate Solar Energy Materials & Solar cells 78 (2003) 3