

## Organic Non-Volatile Memory Fabricated with Al/Alq<sub>3</sub>/Al Nano-crystals Surrounded by Amorphous Al<sub>2</sub>O<sub>3</sub>/Alq<sub>3</sub>/Al using O<sub>2</sub> Plasma Oxidation

Se-Yun Lim, Sung-Ho Seo, Jea-Gun Park<sup>†</sup>

Nano SOI Process Laboratory, Hanyang University

(parkjg1@hanyang.ac.kr<sup>†</sup>)

Organic bistable devices (OBD) are a promising non-volatile memory with the integration density of Tera-bits. We developed novel organic non-volatile memory fabricated with the device structure of Al/Alq<sub>3</sub>/Al nano-crystals surrounded by amorphous Al<sub>2</sub>O<sub>3</sub>/Alq<sub>3</sub>/Al using O<sub>2</sub> plasma oxidation. Its electrical bistability is a phenomenon by which a device exhibits two different conduction states such as low and high resistance at the same applied voltage. In the structure of OBD, the middle layer thickness, Al nano-crystals surrounded by amorphous Al<sub>2</sub>O<sub>3</sub>, is an important parameter determining electrical bistability. We investigated the effect of middle Al thickness on non-volatile organic bistable memory. Our experimental results show optimal middle layer thickness was 20~30nm, resulting in uniform distribution of Al nano-crystals. I-V characteristics of bistable switching device were obtained by sweeping the voltage from 0 to 10V. The results demonstrated the threshold (V<sub>th</sub>), program (V<sub>p</sub>), and erase (V<sub>e</sub>) voltage were about 3, 5, and 7.1V. The most suitable device fabrication method is investigated through the analysis of I-V characteristic, AFM, XPS, Auger and FIB/TEM.

\*This research was supported by Korea ministry of commerce, industry and energy for the 0.1 Terabit Non-volatile Memory Development.

**Keywords:** Organic bistable devices, Alq<sub>3</sub>, amorphous Al<sub>2</sub>O<sub>3</sub>

## ALD 로 성장시킨 Ta<sub>2</sub>O<sub>5</sub> 박막의 열처리에 따른 특성변화 (Effect of post-annealing on properties of Ta<sub>2</sub>O<sub>5</sub> films grown by ALD)

이재웅, 함문호, 김형준\*, 명재민<sup>†</sup>

연세대학교 금속공학과, \*포항공과대학 신소재공학과

(jimmyoung@yonsei.ac.kr<sup>†</sup>)

반도체 소자의 고집적화가 진행됨에 따라 게이트 길이 0.1 $\mu$ m 이하의 소자 구현을 위해서는 MOS 구조에서 게이트 20Å 이하의 유전막 두께가 요구되고 있다. 하지만 현재 사용되고 있는 SiO<sub>2</sub>의 경우, 두께 감소로 인한 게이트 공핍효과 및 터널링에 의한 누설전류 증가 등의 문제점이 있어 이를 극복하기 위해서는 새로운 고유전 물질의 개발이 필요하다. 지금까지 많은 고유전 물질들이 연구되어 왔는데 이러한 고유전 물질은 높은 유전상수 외에도, DRAM 등의 메모리 소자에 사용되기 위해서 낮은 누설전류가 우선적으로 요구되어지고 있다. 이러한 배경에서 20~25의 비교적 높은 유전상수를 가지며, 더불어 낮은 누설전류를 갖는 Tantalum 산화막이 대체 물질중의 하나로서 관심을 모으고 있다.

본 연구에서는 Petakis(dimethylamino) Tantalum (PDMAT) 을 이용한 ALD(Atomic Layer Deposition) 방법을 사용하여 (100)방향 p-type Si 기판 위에 10nm Ta<sub>2</sub>O<sub>5</sub> 박막을 성장시키고 그 특성을 관찰하였다. 산화제로서 산소 플라즈마를, 캐리어 가스 및 퍼징 가스로는 Ar 을 사용하였으며 250℃의 기판온도에서 Ta<sub>2</sub>O<sub>5</sub> 박막을 성장하였다. 박막 성장 후 샘플을 600℃, 700℃, 800℃에서 열처리하였고, 그 후 각 샘플에 대해 HRTEM(high-resolution transmission electron microscopy), XPS(X-ray photoelectron spectroscopy), C-V, I-V 측정을 하였다.

HRTEM 측정을 통해서 700℃ 이하의 온도에서 열처리했을 때는 Ta<sub>2</sub>O<sub>5</sub> 박막이 비정질 상태로 유지되며, 그 이상의 온도에서 열처리 했을 때는 Ta<sub>2</sub>O<sub>5</sub> 박막이 결정화됨을 관찰하였고, 계면층의 두께 역시 열처리 온도에 따라 달라짐을 관찰하였다. XPS 측정을 통해 계면층의 조성이 달라지고 이에 따라 전기적 특성이 변함을 분석하였다. 전기적 특성은 Al 전극을 thermal evaporation 방법으로 증착하여 MOS 구조를 만든 후 측정하였다.

**Keywords:** Tantalum oxide, atomic layer deposition, high-resolution transmission electron microscopy, X-ray photoelectron spectroscopy