

계층제어구조에서 결합된 서브시스템의 비교분석

(Comparison Analysis of Subsystem composited in Hierarchical Control Structure)

유정봉

(Jeong-Bong You, Division of Electrical & Electronics eng. Kongju University)

Abstract

In industrial control system used by Programmable Logic Controller(PLC), Ladder Diagram(LD) is the most widely utilized and plays an important role in industrial control system. But recently, the study about Sequential Function Chart(SFC) is performed actively. When we program by SFC, generally, we design one routine from start to end. This method is difficult to design, and we often make mistakes. In this paper, we propose the method that we compose each sub-system after we design each sub-system, and we analysis the difference of the method used this paper from conventional method.

1. 서론

산업 공정 제어를 구성할 때 분산제어구조와 계층 제어구조의 형태로 구성하게 된다. 분산제어구조는 각 서브시스템을 별도의 제어기로 구성하고, 이들 서브시스템 상호간 동기를 위한 공통시퀀스를 두게 된다. 그리고 각 서브시스템들은 독립성을 유지하면서 서브시스템 간에 동기를 이루게 된다. 이와 같은 구조는 공정시스템의 동작면에서 제약이 따르게 되어 응답시간 또는 유지보수가 용이해야 되는 경우에 적합하다.[1-2]

계층제어구조는 각 서브시스템을 별도의 제어기로 구성하지만, 서브시스템간에 직접적인 정보교환은 없고, 서브시스템간 동기를 위한 제 3의 동기시퀀스를 구성하여 각 서브시스템의 어느 한 스텝으로 제 3의 동기시퀀스를 통해서만 정보를 교환하게 된다. 이와 같은 구조는 시스템 확장이 용이한 곳에서 많이 사용하게 된다. 이러한 계층제어구조를 구성하기 위해서는 각 서브시스템을 개별 설계하고 서브시스템을 결합시켜야 한다.[3-5]

본 논문에서는 개별 서브시스템을 설계한 후 각 서브시스템을 계층제어 구조로 결합하여 하나의 시스템을 설계하고, In-Line Spin Coater에 적용하여 그의 타당성과 메모리의 효율을 비교 확인하여 SFC의 우수성을 확인한다.

2. 제어기 설계 방법

계층제어구조 제어를 설계할 때는 병렬시퀀스에 의

해 서브시스템의 독립성을 보장하고, 1레벨의 서브시스템들이 각각 2레벨에 동기를 실현함으로써 서브시스템들이 통합된 하나의 제어 구조를 갖도록 해야 한다. 따라서 계층제어구조의 필요조건으로 다음 2가지를 만족해야 한다.

- (1) 각 유닛은 독립성을 유지해야 한다.
- (2) 각 유닛은 동기화가 가능해야 한다.

계층제어구조에서 동기화의 개념은 그림 1과 같다.

계층제어구조에서 각 서브시스템의 결합을 위해서는 다음의 과정을 거치게 된다.

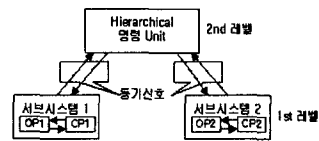
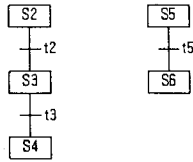


그림 1. 계층제어구조에서의 동기
Fig. 1. Synchronization in Hierarchical Control Structure.

- (1) 개별 서브시스템을 설계한다(1레벨).
- (2) 각 서브시스템의 동기화를 위한 명령 유닛을 공통으로 설정한다.
- (3) 명령 유닛에서 각 서브시스템으로 분산되는 트랜지션의 동기를 설정한다.
- (4) 각 서브시스템이 합쳐지는 재동기 트랜지션의 동기를 설정한다.
- (5) 각 서브시스템을 결합한다.

한 예로 전체 시스템이 두 공정이 있을 때의 예를 들어 순서대로 설명한다.

(1) 각 공정의 1 레벨의 서브시스템을 구성 한다.



(a)서브시스템 1 (b)서브시스템2

그림 2. 서브시스템

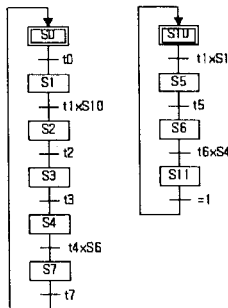
Fig. 2. Subsystem

(2) 각 서브시스템의 동기화를 위해 그림 3과 같이 공통 명령 유니트를 설정한다.

(3) 명령 유니트에서 각 서브시스템으로 분산되는 트랜지션의 동기를 설정한다.

(4) 각 서브시스템이 합쳐지는 재동기 트랜지션의 동기를 설정한다.

(5) 각 서브시스템을 결합하여 하나의 완성된 시스템을 구성한다.



(a)서브시스템 1 (b)서브시스템2

그림 3. 서브시스템의 동기화

Fig. 3. Synchronization of Subsystem

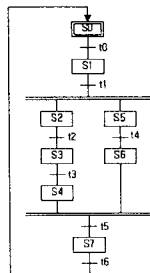


그림 4. 결합된 시스템

Fig. 4. Composed System

3. 적용 예

3.1 시스템 개요

최근 초고속 정보화의 시대에 발맞추어 디스플레이 산업은 급속한 성장을 보이고 있고, 이러한 추세는 앞으로 상당기간 지속될 것으로 예측된다. 이중 PDP 및 LCD의 기술은 세계의 선두를 유지하고 있다. 그러나 디스플레이에 대한 장치산업은 30%의 국산화에 머무르고 있는 실정이다. 본 연구에 사용된 시스템은 TFT-LCD 생산공정중 일부 장비로써 그림 3과 같이 구성되고 있다.

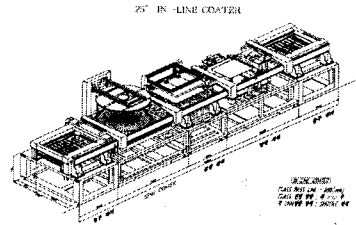


그림 5. In-Line Spin Coater 구성도

Fig. 5. Configuration of In-Line Spin Coater

그림 3의 In-Line Spin Coater는 입구대기부, 스펀코터부, 감압건조부, 단면세정부, 출구대기부 그리고 셔틀부의 6개 유닛으로 구성된다. [6]

3.2 SFC를 이용한 설계

전체 시스템을 설계하기 위하여 그림 5의 In-Line Spin Coater에서 6개 서브시스템으로 구성하고, 기능 및 구조의 특성상 서브시스템 기능의 독립성을 보장하고, Shuttle 부에 동기를 맞춰 병렬 기능을 수행하도록 하였다. 이에 대한 구조는 그림 6과 같다.

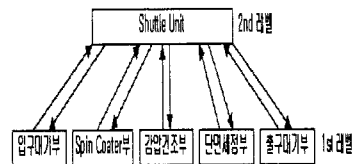


그림 6. In-Line Spin Coater의 계층제어 구조.

Fig. 6. Hierarchical Control Structure of In-Line Spin Coater.

그림 6에서 병렬 시퀀스에 의해 1레벨을 구성하는 5개의 서브시스템이 2레벨을 구성하는 Shuttle부와 각각 기능상 독립성을 유지하며, 동기를 맞추었다. 본 시스템은 서브시스템 결합을 설명하기 위해 간단히 입구대기부와 출구대기부에 대한 서브시스템만을 설명한다.

그림 6의 In-Line Spin Coater 계층제어 구조에 맞는 입구대기부의 서브시스템은 그림 7과 같고, 출구대기부의 서브시스템은 그림 8과 같다.

그림 7에서 S101, S104, S107 스텝은 1st 레벨의 동기 스텝으로 사용되며, S103, S106, S109 스텝은 1st 레벨의 재동기 스텝으로 사용되기 위한 'wait' 스텝이다.

또한, t100, t103, t106, t109 천이조건은 2nd 레벨과의 동기 및 재동기를 위한 천이조건으로 사용된다.

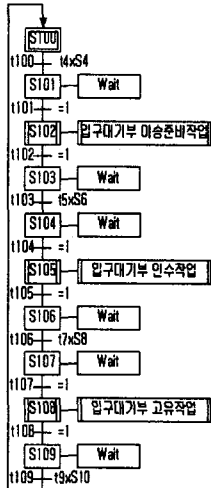


그림 7. 입구대기부 서브시스템
Fig. 7. Subsystem of Input Unit

그림 8에서 S201, S204, S207 스텝은 1st 레벨의 동기 스텝으로 사용되며, S203, S206, S209 스텝은 1st 레벨의 재동기 스텝으로 사용되기 위한 'wait' 스텝이다.

또한, t200, t203, t206, t209 천이조건은 2nd 레벨과의 동기 및 재동기를 위한 천이조건으로 사용된다.

그림 9는 2nd 레벨인 Shuttle 부의 서브시스템을 나타낸다. 그림 9에서 S1, S2, S3 스텝은 전체시스템의 공통 스텝을 나타내고, S4, S7, S9 스텝은 Shuttle부 서브시스템의 고유스텝을 나타낸다.

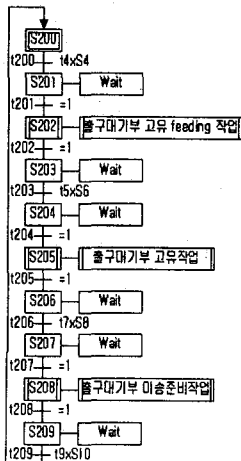


그림 8. 출구대기부 서브시스템
Fig. 8. Subsystem of Output Unit

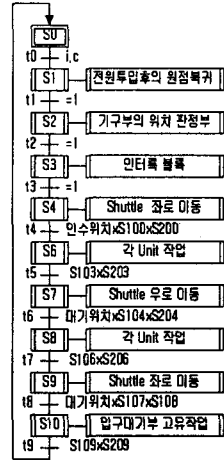


그림 9. Shuttle 부 서브시스템
Fig. 9. Subsystem of Shuttle Unit

t4~t9 천이조건은 그림 7의 입구대기부 서브시스템과 그림 8의 출구대기부 서브시스템에 각각 동기되는 천이조건이다. 이와 같이 그림 7과 그림 8, 그림 9에 따른 동기 신호 및 재동기 신호에 맞춰 결합한 시스템은 그림 10과 같다.

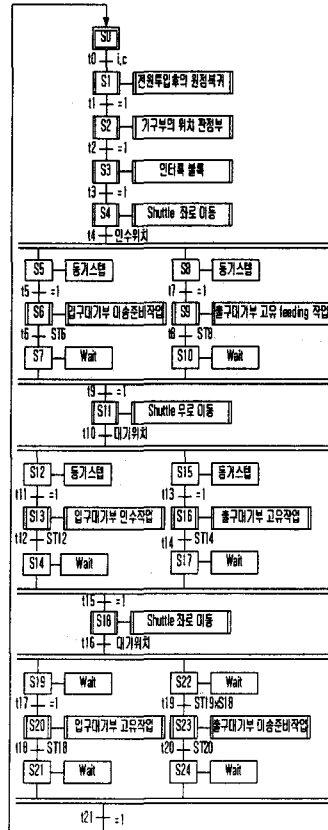


그림 10. 완성된 시스템
Fig. 10. Completed System

3.3 실험결과 및 검토

본 연구를 위해서 PLC는 LG 산전의 GLOFA GM4기종의 CPU를 사용하였으며, 편집 프로그램은 GMWIN Ver 4.0을 사용하였다.[7-8]

그림 11은 그림 10에 대한 시뮬레이션 결과를 보여주고 있다.

그림 11에서 'S4' 스텝이 활성화 되어 있음을 보여준다. 이 상태에서 'T4' 조건을 만족하게 되면

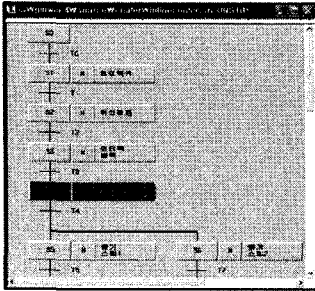


그림 11. S4 스텝 활성화
Fig. 11. Activation of S4 Step

그림 12의 상태로 활성화 상태가 바뀌게 된다. 그림 12에서 'S5', 'S8' 스텝이 활성화되어 있음을 보여주고 있다.

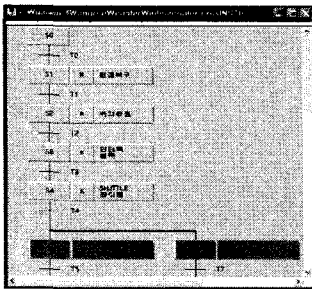


그림 12. 동기스텝의 활성화
Fig. 12. Activation of Synchronous Step

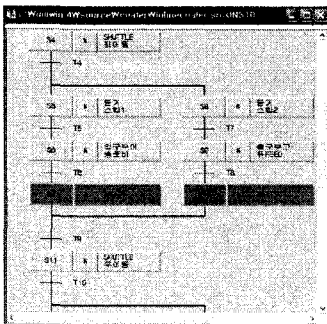


그림 13. 재동기 스텝의 활성화
Fig. 13. Activation of Re-synchronous Step

또 그림 13에서 두 서브시스템의 재동기 스텝인 'S7', 'S10' 스텝이 활성화되었음을 알 수 있다. 그림 13에서 'S7', 'S10' 스텝이 동시에 활성화 되어 있고 'T9' 천이 조건을 만족하게 되면 그림 14의 상태로 전개된다.

따라서 계층제어 구조에서 그림 7, 그림 8, 그림 9의 서브시스템을 본 연구에 의하여 결합하면 그림 10이 되고, 이 결합된 시스템을 구동한 결과 그림 11에서 그림 14에 이르기까지 양호하게 동작됨을 확인할 수 있었다.

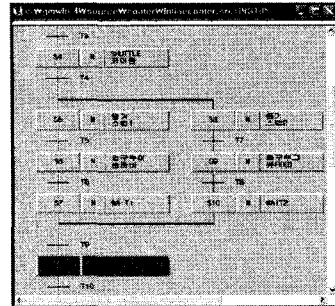


그림 14. S11 스텝의 활성화
Fig. 14. Activation of S11 Step

또한, 그림 15는 LD언어로 작성된 전체공정에서 공통 시퀀스인 '인터록블록'을 나타낸다.

그림 15에서 보면 LD언어는 조건과 인터록을

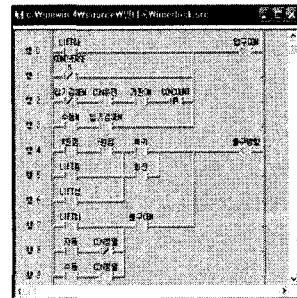


그림 15. 인터록블록
Fig. 15. Interlock Block

처리하는 것은 입력접점만 삽입해주면 되기 때문에 아주 용이하다. 그러나 제어의 흐름을 이해하기가 상당히 어렵고 에러가 발생했을 때는 에러를 찾기가 무척 어려운 것이 단점이다. 이에 반해 SFC로 작성된 그림 11, 그림 12, 그림 13, 그림 14는 제어의 흐름을 이해하기가 상당히 수월하고, 어느 한 스텝에서 에러가 발생했을 때는 바로 위 천이조건을 검사해보면 알 수 있기 때문에 유지보수가 상당히 용이한 것이 장점임을 본 실험을 통해 쉽게 알 수 있다.

4. 결 론

PLC를 사용한 공정제어에서 SFC 언어로 프로그래밍 할 때는 처음부터 마지막까지 하나의 루틴을 사용하는 것이 일반적이다. 그러나 본 논문에서 제시된 개별 서브 시스템을 설계한 후 각 서브시스템을 결합하면 훨씬 간단한 공정제어 설계가 가능하게 된다.

본 연구를 통해 공정제어 시스템에서 SFC로 기술된 프로그램 설계시 좀 더 효율적이고 용이한 설계가 가능할 것으로 기대된다.

참 고 문 헌

- [1] Bong-Suk Kang and Kwang-Hjun Cho, "Discrete Event Model Conversion Algorithm for Systematic Analysis of Ladder Diagrams in PLCs" *Journal of Control, Automation and systems Engineering*, Vol 8, No5, p401-406, May, 2002.
- [2] R.W.Lewis, "Programming Industrial Control Systems Using IEC1131-3", The Institution of Electrical Engineers, 1992.
- [3] Giuseppe Casalino, Giorgio Cannata, Giorgio Panin, Adrea Caffaz "On a Two level Hierarchical Structure for the Dynamic Control of Multifingered Manipulation", *Proceedings of the 2001 IEEE, International Conference on Robotics & Automation Seoul Korea*, 2001.
- [4] Young Woo Kim, Akio Inaba, Tatsuya Suzuki, shigeru Okuma, "FMS Scheduling Based on Timed Petri Net Model and RTA Algorithm", *Proceedings of the 2001 IEEE, International Conference on Robotics & Automation Seoul Korea*, 2001.
- [5] M. Zhou and E Twiss, "Design of Industrial automated systems via relay ladder logic programming and Petrinets", *IEEE Trans on Systems, Man and Cybernetics-part C : Applications and Reviews*, Vol 28, No 1, pp 137- 150, 1998.
- [6] Jeong-Bong You, Kwang-Jun Woo, Kyung-Moo Hyu, "Implementation of Interlock in Process Control System Described by Sequential Function Chart Graphical Language", *조명·전기 설비학회 논문지*, Vol. 12, No. 2, May 1998.
- [7] "Mitsubishi PLC Programming Manual", Mitsubishi, QnA series, 2004.
- [8] "LG Programmable Logic Controller Glofa-GM", LG Industrial Systems, 2004.