

## D급 증폭기를 위한 제어회로의 설계

(Design methodology of the controller circuit for a highly efficient class D Amplifiers.)

이종규\* · 송필재\*\*  
(Jong-Kue Lee · Pil-Jae Song)

### Abstract

This paper presents the methods of designing the control circuits for a Class D amplifier to have a peak performance. The proposed approach is based on the three functional components - a carrier generator, a feedback circuit and a dead-time circuit. First the analog signal is applied to the controller, which outputs the 3 level PWM waveform. The controller used for this experiment is made of the operational amplifier and the logic circuit. The experimental results show that the control circuit performs with satisfaction and its output is proportional to input audio signal, providing a satisfactory 3 level PWM pattern. From this design methodology, by implementing a proposed control circuit we can achieve the efficient Class D amplifier using the half-bridge, full-bridge or push-pull topology at the output stage.

### 1. 서 론

아날로그 전력 증폭기는 용도와 스피커 부하조건에 따라 소자의 선정, 증폭방식, 출력 등을 결정하여 회로에 적용하여 왔다.

과거에 대부분의 음성대역의 소신호 증폭기는 A급을 이용하며 전력 증폭기 AB와 B급 증폭기를 활용하고 있다. 그러나 근래에 통신 단말기, 컴퓨터, 가전기기, 카 오디오, AV용 서브우퍼 및 AV 시스템, 대형 PA 시스템 등 여러 용도로 다양한 기기들을 사용하게 되었다. 무선 단말기의 경우는 고효율이 요구되며 AV앰프는 5채널 이상의 파워앰프가 필요하므로 작고 가볍게 제작되어야 하고 PA 시스템의 파워앰프는 효율, 출력 등을 고려해야 한다. 따라서 용도에 따라서는 개별 소자로 회로를 구성하는 경우도 있지만 대부분 하이브리드로 회로를 해야 하는 경우가 많다. 특히 앰프의 효율과 출력을 고려해 볼 때 증폭기의 설계 방법을 아날로그뿐만 아니라 스위칭 회로를 이용한 증폭기 설계방법도 활용하기 시작하였다.

이전의 스위칭 기술은 대부분 컨버터와 인버터로 가진 및 통신 전원, 산업용 전원에 적용하여 SMSP(switching power supply), VVVF(variable voltage variable frequency), UPS(uninterruptable power supply) 등의 기기를 설계하였다. 그 후 스위칭 기법은 증폭기 설계로 이어져 컨버터 이용한 증폭기 설계방법과 PWM기법을 이용한 D급 증폭기 설계 등으로 발전되었다.

초기 스위칭 회로를 응용한 증폭기는 스위칭 소자의 한계로 컨버터의 스위칭 모드를 이용하는 방식으로 연구되었으나 컨버터 회로가 복잡하고 출력이 낮아 실용

화하기 어렵다.(1)

근래에 POWER MOS FET 소자의 정격과 스위칭 주파수가 현저히 개선되어 캐리어 스위칭 주파수를 높게 설정할 수 있어서 PWM 스위칭 방식의 D급 증폭기를 설계 할 수 있게 되었다.(2)(3)

현재는 IR(International Rectifier)사, TI(Texas Instruments)사에서는 수W에서 수백W의 D급 증폭기의 제어 회로와 소자를 실용화하여 제품화 하고 있다. 언급한 D급 증폭기는 제어기의 회로 구성과 패턴제어방법에 따라 출력단 소자를 2레벨과 3레벨 PWM 제어패턴을 이용한다.

본 연구에서는 두 PWM 제어방법 중에서 출력단 소자의 스위칭 손실이 적은 3레벨 PWM 패턴을 이용한 제어기의 파형의 제어기법과 제어기 구성에 관하여 논한다.

### 2. 본 론

#### 2.1 3레벨 PWM

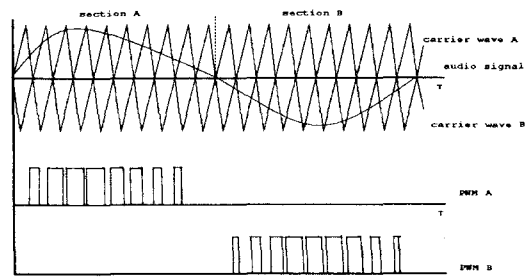


그림 1 level PWM의 제어 방법  
fig. 1. Control method of 3 level PWM.

통상 D급 증폭기는 2레벨과 3레벨의 PWM 제어패턴을 이용하여 출력단 스위칭 소자를 구동한다.

D급 증폭기에서 2레벨 제어패턴을 이용하는 경우에 제어기 구성은 간단하지만 스위칭 회로의 스위칭 주기가 바뀔 때 마다 데드타임을 설정해 주어야 하므로 PWM 스위칭 주파수가 높은 경우에 효율적인 패턴을 하기 어렵다. 그러나 3레벨 PWM 파형으로 증폭기를 제어하는 경우에 비교적 제어기 구성은 복잡하지만 그림 1에서와 같이 기준파형의 주기가 변화될 때 만 데드타임 보상을 하면 된다.

오디오 신호와 같은 기본파형은 진폭과 주파수 변화가 매우 크므로 3레벨 제어신호로 D급 증폭기를 구성하는 것이 바람직하다.

그림 1은 음성신호에 대하여 3레벨의 PWM 제어패턴을 출력해내는 방법이다.

본 연구에서는 PWM 기법은 3각파의 0전위를 전압 레벨로 하여 캐리어(carrier)파 A와 반전시킨 캐리어 파 B를 음성신호와 각각의 비교기에 입력한다. 각각의 비교기는 음성신호 A구간과 B구간에 해당하는 각각의 PWM 파형 A와 B를 출력해 낼 수 있다.

## 2.2 제어회로의 구성

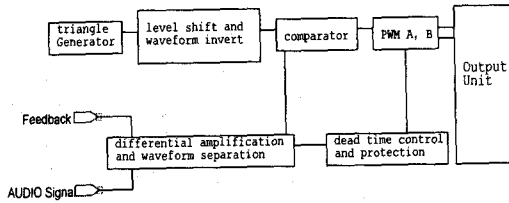


그림 2 제어기 구성  
Fig. 2. configuration of the controller.

그림 2는 그림 1에서 언급한 제어 패턴을 출력해 내기 위한 제어기 구성을 나타낸다. 위의 구성에서 캐리어 파형 발생기는 삼각파를 발생할 수 있는 회로이다. 발생된 삼각파는 0전위를 기준 전위점으로 그림 1의 캐리어 A로 하기 위하여 전위를 이동시키고 DC증폭기로 반전시켜 캐리어 B 파형을 출력해 낸다. 이때 입력신호는 귀환신호와 차동 증폭기로 증폭한 후에 A구간 및 B구간의 파형을 위한 구형파 신호와 오디오 기본파 신호를 만든다. 비교기는 오디오 기본파와 캐리어 A, B 파형 비교하여 그림 1의 PWM A, B 파형을 출력해낸다. 또한 A구간 및 B구간의 파형을 위한 구형파 신호는 출력단 소자를 위한 데드 타임을 보상하기 위한 제어신호이며 RC 적분회로를 통하여 데드타임 보상을 하고, 구형파 신호로 OR 논리를 이용하여 노이즈나 이상 신호 발생시 A, B 출력이 동시에 턴온되는 것을 방지하는 보호기능을 갖는 신호도 발생시킨다. PWM, 데드타임, 보호신호는 AND 논리 이용하여 출력단 구동을 위한 PWM A, B 제어 신호를 출력해 낸다.

## 2.3 실험 및 고찰

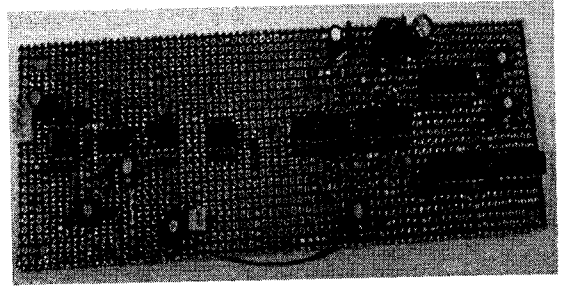


그림 3 실험 구성  
Fig. 3. The unit for experiment.

실험을 위하여 OP AMP와 TTL 로직을 이용하여 그림 3과 같이 회로를 제작하였다. 삼각파 발생회로는 NE566 VCO를 사용하였고 전원전압 12V일 때 100KHZ 전후에서 삼각파는  $V_{pp}$ 가 3V로 증폭하였다. DC전위를 포함한 캐리어파는 TL072를 이용하여 전위를 0전위로 레벨 쉬프트를 시키고 반전증폭기로 0전위를 기준으로 위상을 반전시켜 신호 A, 신호 B의 캐리어파를 얻었다. 피드백과 오디오 입력신호는 차동증폭기로 차 신호를 증폭한 후에 기본파 신호로 하며 LM319로 캐리어파와 비교하여 PWM A, B 신호로 하였다. 데드타임을 슈미트트리거 논리와 적분회로를 이용하고 보호회로기능은 XOR를 사용하며 데드타임, 보호신호, PWM 신호를 AND Gate로 논리 조합하여 스위칭 소자의 드라이브단 구동을 위한 PWM A와 B 신호를 출력하였다.

그림 4는 정현파 주파수가 1KHZ, 캐리어 주파수 100KHZ, 변조율 0.9일 때 비교기 출력으로 PWM A, B의 파형이다. 그림5는 기준파를 구형파로 변환한 후 RC 적분회로와 슈미트트리거 논리로 회로를 구성하여 데드타임을 1.7  $\mu$ SEC을 출력한 결과이다.

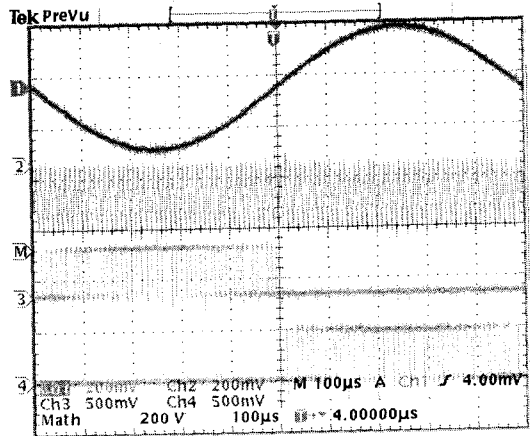


그림 4 2레벨 제어회로의 파형  
Fig. 4. Waveform of 3 level controller.

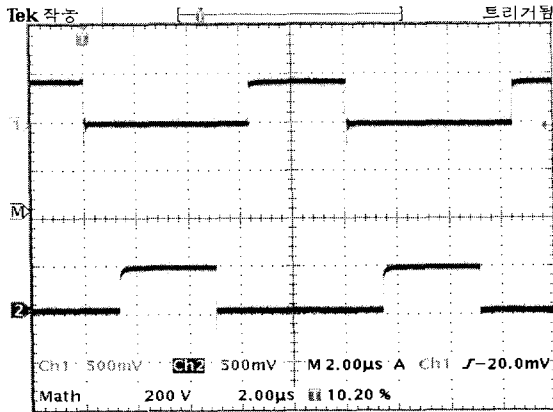


그림 5 데드타임 파형(A, B).  
Fig. 5. waveform of dead time(A, B).

### 3. 결론

본 연구에서는 D급 증폭기를 위한 제어 방법을 제시하고 제어기 구성에 관하여 논하였고 언급된 제어기 구성으로 실제 회로를 구성하고 제시된 제어방법을 적용하여 실험하였다. 실험결과 아날로그 오디오 입력 신호변화에 따른 3레벨 PWM 파형의 제어가 적절히 잘 되었음을 확인 할 수 있었다.

D급 증폭기는 PWM 제어방법이 비동기형이므로 오디오 신호 주파수가 높을 때 상대적으로 캐리어 주파수도 높아야 하므로 실용화를 위해서는 차후 연구를 계속하여 제어회로를 캐리어 주파수를 높일 수 있도록 회로소자를 선정하여 하이브리드로 회로를 구성하는 것이 바람직하겠다.

### 참 고 문 헌

- [1] Edit by CARL T. HELMERS, 'ROBOTICS AGE', p34 - 46, 1983.
- [2] JR Stuart, 1991, 'High Quality Digital Audio', Proc. Inst. Acoust 12, part 8.
- [3] B.H. Gwee, J.S. Chang, H. Li, "A micropower low-distortion digital pulse width modulator for a digital class D amplifier", IEEE transactions on circuits and systems II: analog and digital processing, Vol 49 Issue 4, pp 245 - 256, April, 2002.