

AC PDP 서스테인 회로 비교 분석

손동국, 최병조
경북대학교 전자공학과

Comparative Analysis of AC PDP Sustain Driving Circuits

Dongkook Son, Byungcho Choi
Kyungpook National University

Abstract - 본 논문은 AC PDP 서스테인 회로에서 가장 보편적으로 사용되어지고 있는 Weber 회로를 비롯하여 최근 들어 가장 주목을 받고 있는 3가지 변형된 Weber 회로에 대한 이론적 동작 설명과 각각 회로에 대한 장, 단점 그리고 실험 및 시뮬레이션 파형에 대한 비교, 분석을 하였다.

1. 서 론

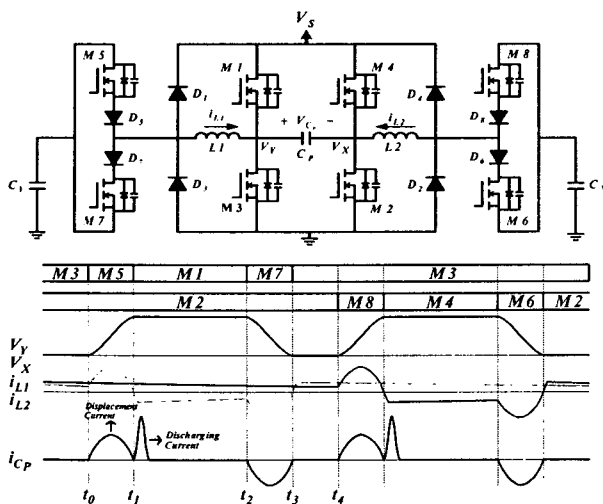
PDP가 전극을 보호하기 위한 유전체(Dielectric)로 인하여 용량성 부하이기 때문에 이 캐패시터를 충, 방전 시 발생되어지는 에너지 손실을 막기 위해 서스테인 회로 내의 에너지 회수 회로를 채택하여 사용되어지고 있다. 본 논문은 서스테인 회로로서 가장 보편적으로 사용되어지는 Weber 회로^[1]와 최근 들어 가장 주목을 받고 있는 3가지 변형된 Weber 회로^{[2]-[4]}에 대한 이론적 동작 설명과 각각 회로에 대한 장, 단점과 실험 및 시뮬레이션 파형에 대한 비교 그리고 패널에 인가되는 전압을 조절해주는 스위치에 대한 소프트 스위칭 동작에 대해서 비교 분석하였다.

2. 서스테인 회로

2.1 Weber 회로와 변형된 Weber 회로

그림 1에 Weber 회로^[1]의 등가회로와 주요 파형을 나타내었다. 이 회로는 패널 캐패시터의 에너지를 회수 및 투여하기 위해 인덕터를 채용하여 반 공진 주기를 이용하며 외부에 보조 캐패시터를 사용하여 에너지를 회수 및 투여를 담당한다. 그림에서와 같이 좌우대칭 구조를 가지며, 충전 및 방전 시 $V_S/2$ 전압에 연결되어진다. 반주기에 대하여 동작을 살펴보도록 한다.

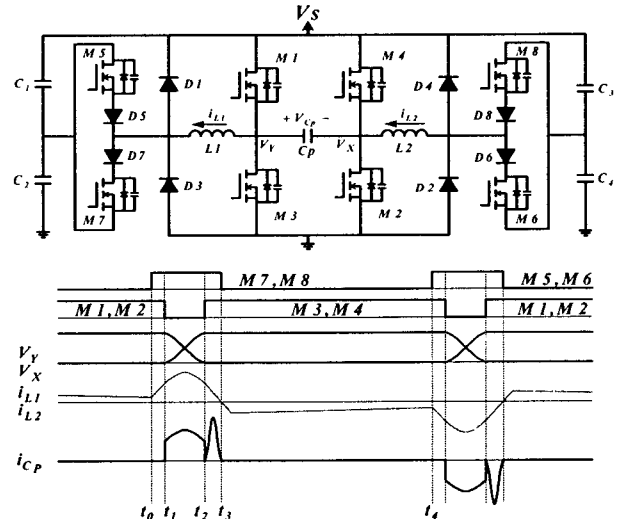
구간 $t_0 \sim t_1$ 에는 M5, M2가 도통이 되어서 반 공진 주기 동안 보조 캐패시터의 에너지를 패널 캐패시터로 투여하는 구간이며, t_0 에서 패널의 전위가 0V일 때 M5가 도통이 되므로 ZVS turn-on 동작을 하며, t_1 에서 인덕터 전류가 0A가 될 때 M5가 열리므로 ZCS turn-off 동작을 한다. 구간 $t_1 \sim t_2$ 에는 M1이 도통이 되어서 패널에는 서스테인 전압(V_S)이 인가되어 방전전류가 흐르게 되는 구간이며, t_1 에서 실제적으로 R_{PAR} 과 다이오드 순방향전압강하에 의해서 완전히 V_S 에 도달하지 못한다. t_2 에서 인덕터에 순환하는 전류가 흐르는 가운데 M1이 열리므로 Quasi-ZCS turn-off 동작을 한다. 구간 $t_2 \sim t_3$ 에는 M7이 도통이 되어서 패널 캐패시터에 저장된 에너지를 반 공진 주기 동안 보조 캐패시터로 에너지를 회수하는 구간이다. t_2 에서 패널은 V_S 전압, 보조 캐패시터에 $V_S/2$ 전압이 걸려있으므로 Hard turn-on 동작을 하며, t_3 에서 인덕터 전류가 0A가 될 때 M7이 열리므로 ZCS turn-off 동작을 한다. 구간 $t_3 \sim t_4$ 에서 M3, M2가 도통이 되어서 패널의 양쪽 전극의 전위가 0V가 된다.



〈그림 1〉 Weber회로의 등가 회로 및 주요 파형

그림 2에는 변형된 Weber 회로 #1^[2]의 등가회로와 주요 파형을 나타내었다. 이 회로는 Weber 회로에 비해 보조 회로 부분에 보조 캐패시터가 하나씩 추가된 형태이다. 반주기에 대하여 동작을 살펴보도록 한다.

구간 $t_0 \sim t_1$ 에서 앞 구간에서 M1, M2가 도통이 되어있는 상태에서 M7, M8이 도통이 되어서 패널 양단 전압이 변하기 전에 인덕터 전류($\frac{V_S}{2L}t$ 의 기울기를 가짐)를 형성한다. Y쪽에 대한 전류의 경로는 M1, L1, M7 그리고 C_2 로 선형적으로 증가하면서 흐르고, 반대쪽은 같은 크기와 기울기의 전류가 C_4 , M8, L2 그리고 M2로 흐른다. t_0 에서 M7, M8이 보조 캐패시터에 $V_S/2$ 전압이 걸려있으므로 Hard turn-on 동작을 하며, t_1 에서 인덕터 전류가 흐르고 있는 가운데 M1, M2가 열리게 되어서 Hard turn-off 동작을 한다. 구간 $t_1 \sim t_2$ 에는 M7, M8이 도통이 되어있어서 L1, L2 그리고 C_p 간의 공진에 의해서 공진전류가 흐르며, 이때 패널의 양쪽 전위가 동시에 바뀌게 된다. 구간 $t_2 \sim t_3$ 에는 패널에 서스테인 전압(V_S)이 인가되어 방전전류가 흐르게 되며, Y쪽의 인덕터의 남은 전류의 경로는 L1, M7, C_2 그리고 M3의 Body Diode를 통해 선형적으로 감소하면서 0에 도달한다. 반대쪽에는 C_3 , M8, L2 그리고 M4의 Body Diode를 통해 선형적으로 감소한다. t_2 에서 M3, M4가 ZVS turn-on 동작을 하며, t_3 에서 인덕터 전류가 0에 도달할 때 M7, M8이 열리게 되므로 ZCS turn-off 동작을 한다. 이 회로는 패널의 양쪽 전압이 동시에 변함에 따른 에너지의 회수 및 투여하는 시간이 상대적으로 Weber 회로에 비해 감소하게 된다.

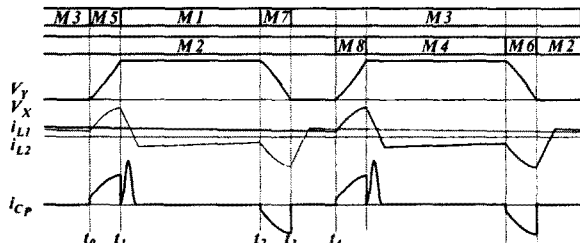
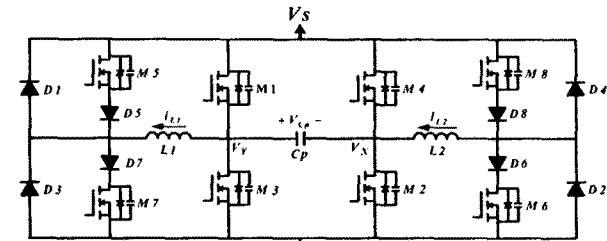


〈그림 2〉 변형된 Weber 회로 #1의 등가 회로 및 주요 파형

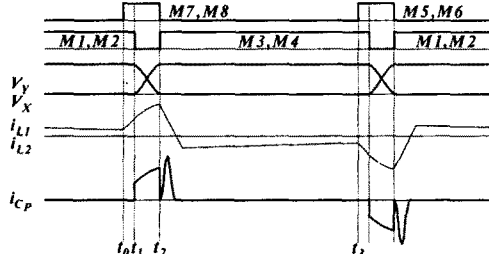
그림 3에는 변형된 Weber 회로 #2^[3]의 등가회로와 주요 파형을 나타내었다. Weber 회로에 비해 보조 캐패시터를 사용하지 않았으며, 충전 및 방전 시 V_S 전압에 연결되어지므로 Weber 회로에 비해 패널 캐패시터의 에너지를 회수 및 투여하는 시간이 절반(1/4 공진 주기)이 소요되어진다. Weber 회로와 스위치 동작 형태가 같다. 다른 점은 t_1 에서 인덕터 전류가 흐르는 가운데 열리게 되어서 보조 스위치(M5~M8)가 Hard turn-off 동작을 한다. t_1 이후에는 남아있는 인덕터 전류의 일부는 입력 전원으로 되돌아가고 일부 부분은 방전전류를 보상하는데 사용되어지며 이로 인해 주스위치의 전류 부담을 줄일 수 있다.

그림 4에는 변형된 Weber 회로 #3^[4]의 주요 파형을 나타내었으며 등가회로는 변형된 Weber 회로 #2와 같으며, 스위치 동작 형태는 변형된 Weber 회로 #1과 유사하며 다른 점은 t_2 에서 인덕터 전류가 흐르고 있는 상태에

서 보조 스위치(M5~M8)가 열리게 되어서 Hard turn-off 동작을 한다. 이 회로는 패널 양단 전압이 변하기 전에 인덕터 전류($\frac{V_S}{L}t$ 의 기울기를 가짐)를 형성하고, 패널의 양단 전압이 동시에 변환에 따른 에너지의 회수 및 투여하는 시간을 감소하게 된다. 또한 인덕터에 저장된 에너지를 일부는 입력 전원으로 되돌려 보내고, 일부는 방전전류를 보상하게 되어 주 스위치의 전류 부담을 줄일 수 있게 된다.



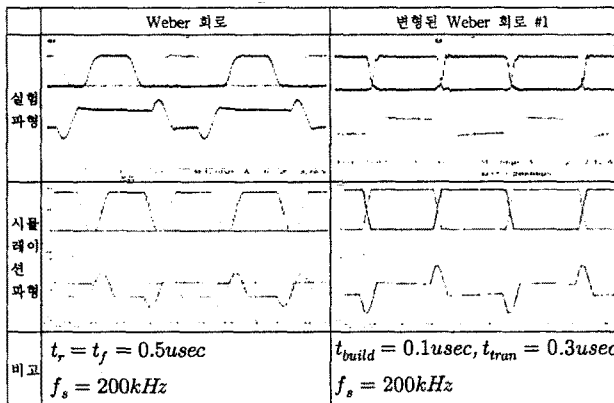
<그림 3> 변형된 Weber 회로 #2의 등가 회로 및 주요 파형



<그림 4> 변형된 Weber 회로 #3의 주요 파형

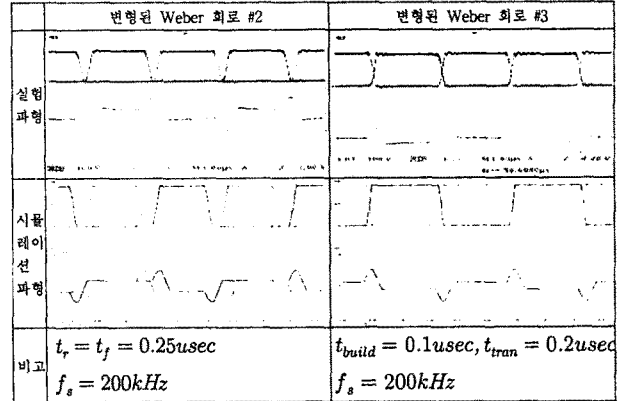
2.2 7인치 PDP PANEL에 대한 실험 및 시뮬레이션 파형

그림 5에는 7인치 PDP Panel에 대한 Weber 회로와 변형된 Weber 회로 #1의 실험 및 시뮬레이션 파형을 나타내었다. Weber 회로의 경우 총, 방전 시간이 0.5usec이며 실험과 시뮬레이션 파형이 거의 같음을 확인할 수 있다. 변형된 Weber 회로 #1의 경우 인덕터 전류를 형성하는 시간이 0.1usec 이고 패널 전위가 바뀌는 시간이 0.3usec이다. 실험과 시뮬레이션 파형이 거의 같음을 확인할 수 있다.



<그림 5> Weber 회로와 변형된 Weber 회로 #1의 실험 및 시뮬레이션 파형

그림 6에는 7인치 PDP Panel에 대한 변형된 Weber 회로 #2와 변형된 Weber 회로 #3의 실험 및 시뮬레이션 파형을 비교하였다. 변형된 Weber 회로 #2의 경우 총, 방전 시간이 0.25usec이며 실험과 시뮬레이션 파형이 거의 같음을 확인할 수 있다. 변형된 Weber 회로 #3의 경우 인덕터 전류를 형성하는 시간이 0.1usec이고 패널 전위가 바뀌는 시간이 0.2usec이며 실험과 시뮬레이션 파형이 거의 같음을 확인할 수 있다.



<그림 6> 변형된 Weber 회로 #2와 #3의 실험 및 시뮬레이션 파형

3. 결 론

이 논문에 대한 결론은 서스테인 회로로서 가장 보편적으로 사용되어지고 있는 Weber회로와 3가지의 변형된 회로에 대해서 표 1에서 각 회로의 특징을 비교하였으며 표 2에 각 회로에 대한 스위치의 소프트 스위칭 동작을 비교 설명하였다.

<표 1> 각 회로의 특징 비교

회로 부류	총, 방전 시간 (가동기)	방전 전류 (가동기)	주 스위치 전압부담	보조 스위치 전압부담	특징
Weber Circuit	기본	$\frac{V_S}{2}$	×	×	가장 보편적인 서스테인 회로로 사용되고 있음. 패널 캐패시터의 에너지를 회수 및 투여하는 시간이 만주기 공진을 어렵함.
Modified Weber Circuit #1	보조 캐패시터 2개 추가	$\frac{V_S}{2}$	○	×	전류 주입에 따른 패널 전압의 변화하는 시간 감소. 패널의 양쪽 전압이 동시에 변환.
Modified Weber Circuit #2	보조 캐패시터 없음	V_S	×	○	총, 방전 시간이 Weber에 비해 절반(1/4 공진주기) 방전전류보상에 의한 주 스위치 전류 부담 감소. 인덕터 전류에 대한 Free-wheeling circuit이 필요.
Modified Weber Circuit #3	보조 캐패시터 없음	V_S	○	○	전류 주입에 따른 패널 전압의 변화하는 시간 감소. 패널의 양쪽 전압이 동시에 변환. 방전전류보상에 의한 주 스위치 전류 부담 감소. 인덕터 전류에 대한 Free-wheeling circuit이 필요.

<표 2> 소프트 스위칭

회로	동작	주스위치				보조스위치				
		M1	M2	M3	M4	M5	M6	M7	M8	
Weber Circuit	Turn on	ZVS	○	○	○	○				
		Hard					○	○	○	○
	Turn off	Quasi	○	○	○	○				
		Hard								
Modified Weber Circuit #1	Turn on	ZVS	○	○	○	○				
		Hard					○	○	○	○
	Turn off	ZCS					○	○	○	○
		Hard	○	○	○	○				
Modified Weber Circuit #2	Turn on	ZVS	○	○	○	○				
		Hard					○	○	○	○
	Turn off	ZCS					○	○	○	○
		Quasi	○	○	○	○				
Modified Weber Circuit #3	Turn on	ZVS	○	○	○	○				
		Hard					○	○	○	○
	Turn off	ZCS					○	○	○	○
		Hard	○	○	○	○				

본 연구는 산업자원부·한국산업기술평가원 지역혁신센터사업 지원으로 수행되었으며 대학 IT연구센터 육성지원사업의 연구결과로서 HY-SDR연구센터의 연구비 지원으로 수행되었습니다.

[참고 문헌]

- [1] Weber & Wood, "Power efficient sustain drivers and address drivers for plasma panel", U.S. Patent Number 5,081,400, Jan. 14, 1992.
- [2] J.Y.Lee, J.S.Kim, N.S.Jung, and B.H.Cho "The Current Injection Method for AC Plasma Display Panel(PDP) Sustainer", IEEE T ransaction on Industrial Electronics, vol. 51, no. 3, June 2004
- [3] S.K.Han, G.W.Moon and M.J.Yoon "A Resonant Energy-Recovery Circuit for Plasma Display Panel Employing Gas-Discharge Current Compensation Method" IEEE Transaction on Power Electronics, vol. 20, no. 1, Jan 2005
- [4] S.W.Choi, S.K.Han and G.W.Moon " High Frequency and High Luminance AC-PDP Sustaining Driver" Journal of Power Electronics, vol.6, no.1, Jan 2006