

AC PDP의 장방전 구조의 구동을 위한 새로운 리셋파형

김선, 김동훈, 송태용, 김지용, 이석현, 서정현*
 인하대학교, *인천대학교

New Reset Waveform for a Large-Sustain-Gap Structure in AC PDPs

Sun Kim, Ji-Yong Kim, Seok-Hyun Lee, and Jeong-Hyun Seo*
 Inha University, *University of Incheon

Abstract - In this paper, we present a new reset waveform for a large-sustain-gap structure in ac PDPs. In the driving of the large-sustain-gap structure with a conventional ramp reset waveform, we cannot avoid the condition of an address being a cathode, which causes lots of trouble in stabilizing a reset discharge. To solve these problems, we use the square pulse instead of the conventional rising ramp pulse. Before making a strong discharge between the address (cathode) and scan (anode) electrodes, we make a priming discharge between the address (anode) and the scan (cathode) electrodes to stabilize the strong discharge in which the address electrodes are the cathode. With this scheme, we obtained 60V minimum address voltage and 145V maximum address voltage in 250 μ m and 350 μ m gap structures.

1. 서 론

Plasma Display Panels(PDPs)는 현재 대형 평판 디스플레이 시장에서 가장 주목받는 표시소자중 하나이다.[1] 불과 몇 해 전까지는 PDP가 대형 디스플레이 시장에서 유일한 소자였다. 그러나 최근에 LCD패널 크기가 50인치를 넘어지면서, 지금은 평판 디스플레이 시장을 놓고 두 표시 소자의 경쟁이 가속화 되고 있다.[2] 시장에서 보다 유리한 위치를 차지하기 위해서 PDP는 휘도, 효율, 화질, 비용등의 면에서 LCD보다 우위의 능력을 보여야만한다. 그 중에서 저전력 소모와 고휘도와 같은 이점을 보이는 효율개선이 가장 중요한 문제이다. AC-PDP의 효율 개선 방향은 주로 구조의 개선과 방전 기체의 변경을 중심으로 연구되고 있다.

많은 업체에서 Xe농도를 증가시켜 휘도와 효율을 개선하려는 움직임을 보이고 있으며, 2003년 G. Oversluizen는 5lm/W를 보고하였다.[3] 구동전압이 상승하는 결점에도 불구하고 고농도 Xe 기체는 구동파형의 변화없이 구동이 가능하기에 상용에 쉽게 적용할 수 있다.

구조의 개선에서 장방전구조가 주목할만한 효율 개선을 보이고 있다.[4] PDP는 강한 전계를 형성하는 cathode fall 부근에서의 방전 비율이 높을 효율 저하가 나타난다. 이 문제를 해결하기 위한 하나의 방안으로 연구되고 있는 것이 가스방전에서 효율이 좋은 positive column을 효과적으로 이용하는 것이다. 이 개념을 근거로 연구되고 있는 것이 장방전 구조이다. 보통 서스테인 전극과 스캔 전극 사이의 간격이 200 μ m이상이다. 격벽높이보다 긴 전극 간격으로 인하여 특이한 방전 특성이 나타난다. 스캔 전극과 서스테인 전극 사이의 방전은 항상 어드레스 전극을 통하여 발생한다. 그래서 이 구조를 구동하려면 기존과는 다른 구동파형이 필요한 것이다. 장방전 구조의 서스테인 방전을 통한 효율 향상에 관해서는 다양한 연구가 진행되고 있지만, 리셋 방전에 관한 연구는 미비한 상태이다.[5][6]

본 연구에서는 장방전 구조를 구동할 수 있는 새로운 리셋 파형을 제안한다. 앞으로 장방전 구조의 기본 방전 특성을 논의한 후에 새로운 리셋파형과 실험 결과를 보여겠다.

2. 본 론

2.1 실험 장치 및 방법

본 실험에는 3전극 면방전 반사형 구조의 7.5인치 패널이 사용되었다. 패널 내부의 가스혼합비는 Ne-Xe(8%)이며 내부압력은 500torr이다. 각각의 셀은 사각격벽으로 분리되었으며, 서스테인 전극과 스캔 전극의 간격은 250 μ m와 350 μ m로 하나의 패널에 두가지의 전극 간격이 형성되어있다. VDS로 제어하는 AWG(FTLab, HVA800)를 사용하여 구동파형을 설계하고, 패널에 적용하여 구동하였다. 파형과 방전 현상을 관찰하기 위해 디지털 오실로스코프(Tektronix, TDS3054)와 광측정기(Hamamatsu, C6386-01)를 사용하였다.

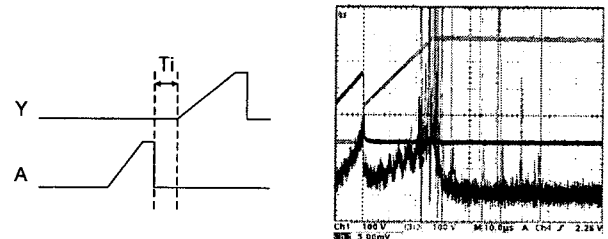
2.2 장방전 구조의 기본 방전 특성

방전 셀의 구동특성은 Vt closed curve를 통해서 파악할 수 있다. 일반적인 PDP 셀의 육각형 모양과는 달리 장방전 구조의 Vt closed curve는 평행사변형 모양으로 나타난다. 이것은 방전이 항상 어드레스 전극을 통해서 일어난다는 것을 뜻하며, 이 때문에 벽전하를 리셋시키기 어려운 현상이 나타난다.

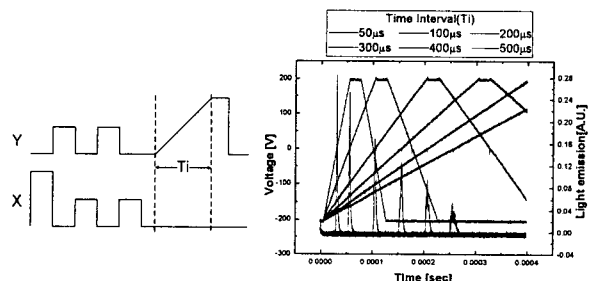
일반적인 램프 리셋 파형에서 리셋은 소거구간, 상승램프구간, 하강램프구간으로 나누어진다. 일반적인 상승램프를 인가하였을 경우, 주방전은 서

스테인 전극과 스캔 전극 사이에서 발생하며, MgO보호층이 음극이 되기 때문에 안정적인 약방전이 형성된다. 같은 램프파형을 장방전 구조에 인가한다면 방전은 어드레스 전극과 스캔전극 사이에서 발생한다. 이 경우는 음극 역할을 하는 어드레스 전극의 표면에 형광체가 도포되어 있기 때문에 불안정한 방전이 나타난다.

L. Weber는 장방전 구조에서 안정적인 약방전을 형성하기위해 상승램프 구간 전에 프라이밍 입자를 공급하는 방법을 제안하였다. 프라이밍 입자의 공급으로 일정한 시간동안 안정적인 약방전을 발생할 수 있지만, 이 방법에는 한계가 있다. 그림 1은 약방전의 안정성을 알아보기 위한 실험의 개략도와 그 결과이다. 첫 번째 램프는 MgO보호층과 형광체가 각각 음극과 양극 역할(AY 방전)을 하며 두 번째 램프에서는 반대로 형광체가 음극, MgO가 양극 역할을 하게된다.(YA 방전) 첫 번째 램프는 안정적인 약방전을 통하여 두 번째 램프에 프라이밍 입자를 공급하게 된다. 그림 1(b)에서 두 번째 상승 램프에서 일정한 시간 안정적인 약방전이 관찰되지만 일정 시간이 흐른 후에 불안정한 방전이 나타난다. 이것은 프라이밍 효과가 지속적으로 나타나기 위해서는 더 많은 프라이밍 입자들이 필요하다는 것을 나타낸다. 모든 셀의 방전전압은 각각 다르다. 특히 green셀의 경우 방전개시전압이 red나 blue 셀에 비해 더 높게 나타난다. 그래서 green셀의 방전전압 시간은 상승 램프동안에 다른 셀보다 지연되어 나타나며, 지연된 시간동안 프라이밍 입자들이 소멸하여 안정적인 방전을 만들 수가 없다. 모든 셀에 안정적인 방전을 발생시키기 위한 충분한 프라이밍 입자를 공급할 수 없기 때문에 일반적인 상승램프를 사용 수 없는 것이다.



(a) 인가하는 파형의 개략도 (b) 측정된 광파형
 <그림 1> 장방전 구조에서 약방전시 priming 효과



(a) 인가하는 파형의 개략도 (b)측정된 광파형
 <그림 2> 스캔전극과 서스테인 전극 사이의 램프 방전

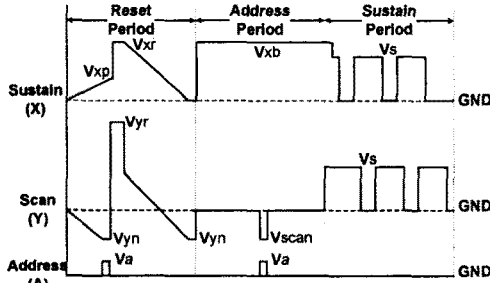
Vt closed curve를 통하여 장방전 구조에서 스캔 전극과 서스테인 전극 사이의 방전은 어드레스 전극을 통하지 않고는 일어나지 않는다는 것을 알 수 있다. 이 특성에 개의치 않고, 스캔 전극과 서스테인 전극 사이에 램프 파형을 인가했을 때의 방전 현상을 확인할 필요가 있다. 왜냐하면 이 전극들의 방전은 어드레스 전극의 트리거 방전에 의해 일어날 수 있기 때문이다.

그림 2는 램프 파형이 인가되었을 때 스캔 전극과 서스테인 전극 사이의 방전을 알아보기 위한 실험 펄스와 출력 광파형이다. 어드레스 전극은 floating 상태이다. 충분히 작은 램프 기술기에서도 약방전은 나타나지 않는다. 사실 서스테인과 스캔 전극의 방전이 발생하기 전에 스캔 전극과 어드레스 전극의 트리거 방전은 항상 존재한다. 그래서 약한 램프 펄스를 인가 하더라도 스캔 전극과 서스테인 전극사이에서는 강한 방전이 발생한다.

2.3 새로운 리셋 파형과 실험결과

위에 언급한 것과 같이 새로운 리셋파형의 설계 과정에 두가지 사항을 고려하였다. 첫 번째로 상승램프를 사용할 수 없다는 것이며, 두 번째는 스캔전극과 서스테인 전극 사이의 램프방전은 피해야 한다는 것이다. 두 번째 사항은 하강램프 구간에서 충분히 고려하였다.

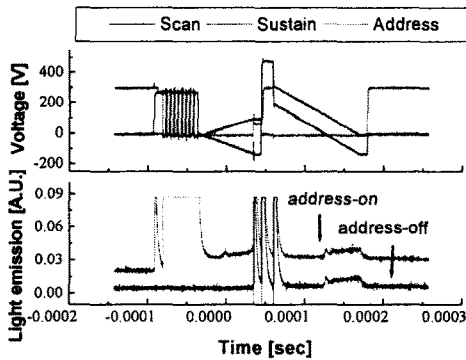
그림 3은 실험에 사용한 새로운 리셋 파형의 개략도이다. 상승 램프 펄스 대신 직각 펄스(V_{Yr})를 사용하였다. 프라이밍 입자를 공급하기 위해 직각 펄스(V_{Yr})를 입력하기 전에 어드레스전극에 보조펄스(V_a)를 인가하여 어드레스 전극과 스캔 전극 사이에 방전을 만든다. 이것은 제안된 파형에서 주목할 부분이다. 스캔전극에 V_{Yr} 의 전압이 가해질때 어드레스 전극은 음극이 된다. 음극의 형광 물질에 따라 방전의 세기가 차이가 생긴다. 프라이밍 입자를 공급함으로써 그 차이를 줄일 수 있고 더 안정적인 방전이 일어날 수 있다. 이 구동파형의 기본 개념은 일반적인 파형과 유사하다. 스캔과 어드레스 전극에 음의전하와 양의 전하가 각각 쌓인다.



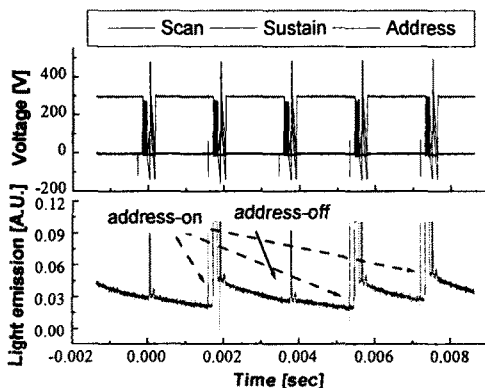
〈그림 3〉 새로운 리셋 파형의 개략도

그림 4는 전극간격 350 μ m에서 새로운 리셋파형을 적용시켰을 때의 방전 모습을 보여준다. 그림 4에 보이듯이 강방전이 나타난 후, 약방전이 뒤따른다. address-on의 경우의 광파형이 address-off의 광파형과 거의 유사하다. 제안된 구동파형으로 on/off에 상관없이 동일하게 안정적인 방전이 나타난다.

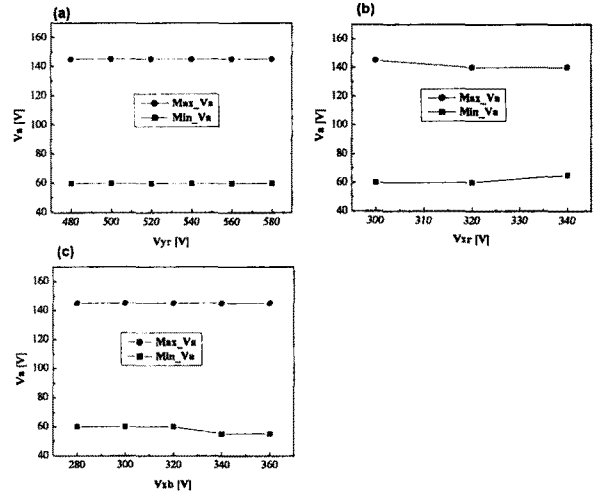
그림 5는 제안된 파형으로 5서브필드를 구성하여 address on/off를 살펴본 것이다. 기입신호는 첫 번째, 세 번째, 네 번째 서브필드에 인가되었다. 서스테인 방전은 어드레스 된 서브필드에서만 발생한다.



〈그림 4〉 전극간격 350 μ m에서 리셋방전



〈그림 5〉 제안한 구동파형으로 5서브필드의 On/Off동작



〈그림 6〉 전극간격 350 μ m에서 어드레스 전압마진

그림 6은 전극간격 350 μ m에서의 어드레스 전압 마진을 나타낸다. 표준 전압레벨은 각각 $V_{Yn}=-130V$, $V_{scan}=-120V$, $V_{xr}=V_{xb}=300V$, $V_{xp}=120V$, $V_{Yr}=480V$ 이다. 6(a)에서 V_{Yr} 에 따라서 어드레스 전압마진이 변하지 않는다는 것을 알 수 있다. RGB 각각의 셀들을 안정적인 리셋을 시킬 수 있는 최소 전압 레벨이 480V이고, 그 이하에서는 전압마진이 나타나지 않았다. 이 구동파형의 이점 중의 하나는 서스테인 전극 간격에 영향을 받지 않는다는 것이다. 실험결과 전극간격 250 μ m에서도 350 μ m와 동일한 마진을 얻었다.

그림 6(b)는 V_{xr} 에 의한 어드레스 전압마진을 보여준다. V_{xr} 의 바이어스를 계속 주어진 상태에서 스캔 전극의 하강램프를 인가하게 되면 그림2에서와 같은 강한 방전이 발생한다. 그래서 스캔 전극의 하강램프 기간 동안 서스테인 전극의 V_{xr} 도 그라운드까지 하강램프를 사용하여 내렸고, 스캔/서스테인 전극과 어드레스 전극 사이에서 안정적인 약방전이 발생하게 된다. V_{xr} 이 300V 이하에서 방전이 일어난 후 양의전하가 X전극에 쌓인다. 이로 인하여 하강램프구간에서 불안정한 방전이 일어나게 한다. 340V 이상에서는 어드레스와 서스테인 전극 사이에서 방전이 발생하여 벽전하의 셋업을 방해하게 된다.

그림 6(c)는 X바이어스 전압의 어드레스 마진을 보여준다. 어드레스 전극과 스캔 전극의 트리거 방전이 서스테인 전극과 스캔 전극 사이의 방전으로 발전해야 정상적인 어드레스 방전이다. V_{xb} 가 360V 이상에서는 바이어스를 인가할 때, 어드레스와 서스테인 전극 사이에서 방전이 발생하여 벽전하의 셋업을 방해하며, 280V 이하에서는 낮은 바이어스 전압으로 트리거 방전이 서스테인 방전으로 발전하지 못하게 된다.

3. 결 론

본 연구에서는 장방전 구조를 구동하기 위하여 새로운 리셋 파형을 제안하였다. 전극간격 250 μ m와 350 μ m에서 제안한 파형으로 실험한 결과, 최소/최대 어드레스 전압이 각각 65V와 145V로 나타났으며, 안정적으로 패널을 구동할 수 있었다. 제안된 파형이 상승램프 대신 직각 펄스를 사용하여서 명암비 저하가 나타난다. 이를 해결하기 위해 selective reset이 가능하도록 파형을 최적화하는 연구가 진행되고 있다.

[참 고 문 헌]

- [1] Larry F. Weber, "The Promise of Plasma Display for HD-TV," Society for Information Display(SID), pp.402-405, 2000
- [2] Alfred Poor, "Liquid Crystal Displays: Big and Bigger," Information Display, vol. 19, no. 9, pp. 16-19, 2003
- [3] H.Overstuijzen, T. Dekker, M. F. Gillies, and S.T.de Zwart, "High Efficiency PDP," Society for Information Display(SID), pp.28-31, 2003
- [4] Larry F. Weber, "Positive column AC Plasma display," The International Display Research Conference(IDRC), pp.119-124, 2003
- [5] Hyun Kim, Jae Young Kim, Heung-Sik Tae, "New Long Gap Discharge Mode Driven by Low Sustain Voltage for Highly Efficient plasma Displays," Society for Information Display(SID), pp510-513, 2004
- [6] Larry F. Weber, "Positive column AC Plasma Display," U S Patent 6,184,848 B1, 2001
- [7] M. S. Kim, W. J. Kim, K. D. Cho et al, "Analysis of Driving Method for Long Gap Discharge by Using V_{th} close curve in AC PDP," International Display Workshop, pp1011-1014, 2004