

### NED-SCR 정전기보호소자의 특성

서용진, 김길호, 이우선  
 대불대학교 전기전자공학과, 매그나칩 반도체, 조선대학교 전기공학과

### Characteristics of N-Type Extended Drain Silicon Controlled Rectifier ESD Protection Device

Y. J. Seo, K. H. Kim, W. S. Lee

Electrical Engineering Department of Daebul University, MagnaChip Semiconductor, Chosun University

**Abstract** - An electrostatic discharge (ESD) protection device, so called, N-type extended drain silicon controlled rectifier (NEDSCR) device, was analyzed for high voltage I/O applications. A conventional NEDSCR device shows typical SCR-like characteristics with extremely low snapback holding voltage. This may cause latchup problem during normal operation. However, a modified NEDSCR device with proper junction / channel engineering demonstrates itself with both the excellent ESD protection performance and the high latchup immunity.

#### 1. 서 론

고전압에서 동작하는 이중 확산된 드레인(double diffused drain)을 갖는 N형 MOSFET(DDNMOS) 소자에서는 안정한 정전기(ESD) 보호를 구현하기가 어렵다. 이는 이들 소자 내에서의 불균일(non-uniform)한 전류 흐름에 기인한 것이다. 매우 강한 스냅백 특성은 전류 집중과 이 결과로 멜팅 손상(melting damage)을 유도한다[1]. 따라서 DDDNMOS 소자를 사용한 자기보호는 실제적으로 불가능하고 그 대안이 연구되어야 함에 틀림없다. 다양한 ESD 보호 소자들 가운데, 고전압 동작용 실리콘 제어 정류기(SCR)은 매력적인 후보가 될 수 있다. 그러나, SCR 소자는 정상적인 동작동안 래치업에 매우 취약하므로 이러한 문제를 해결하기 위해 광범위한 연구[2-12] 결과들이 보고되고 있다. 본 연구에서는 N형 확장된 드레인(extended drain)을 갖는 SCR (NEDSCR) 소자가 고전압용 I/O 응용을 위해 제안되었다. NEDSCR 소자는 적절한 접합/채널 기술에 따른 탁월한 ESD 보호 성능과 높은 래치업 면역을 갖출 수 있음을 보였다.

#### 2. 소자구조 및 시뮬레이션 방법

NEDSCR 소자는 확장된 드레인 구조를 갖는 DDDNMOS 소자에 근거하여 제작되었다. 즉, 게이트로부터 N+확산 드레인이 인접하지 않으며, P+확산이 그림 1에 보인 바와 같이 애노드 전극의 한 부분을 형성하기 위해 드레인 쪽 위의 N-드리프트 영역에 삽입되었다. 그 결과 소자 구조는 수직형의 PNP-BJT와 측면형의 NPN-BJT로 이루어진 고전압 동작용 SCR 소자가 된다.

ESD 응용을 위해, 애노드는 각각의 I/O 패드(또는 Vdd 파워 패드)에 연결된 반면에 캐소드는 Vss 그라운드 패드에 연결되었다. 종래의 NEDSCR\_Std 소자는 접합/채널 영역에 대해 어떠한 변형도 없는 정상적인 DDDNMOS 소자에 근거하였다. 변형된 NEDSCR\_CPS 소자에 있어서 P형 카운터 포켓 소오스(CPS) 이온 주입 공정이 N+확산의 캐소드를 에워싸기 위해 추가 되었다. CPS 이온주입 도즈와 에너지는 N-드리프트 이온주입 조건에 따라 변화될 수 있다. 따라서 접합/채널 프로파일이 변형되었다. 게다가, N+확산의 캐소드 바깥의 효과적인 P형 도핑이 변화되었다. 그림 1의 S에 보인 것처럼, N-드리프트 영역 위의 N+확산 애노드의 오버랩 마진은 NEDSCR\_Std와 동일하게 유지하거나 또는 더 작게 해주었다.

#### 3. 결과 및 고찰

NEDSCR 소자의 특성이 thermal incorporated 2-dimensional simulation을 사용하여 조사되었다. 소자들은 고전압 ( $V_{op} \approx 30V$ ) 공정에 따라 TSUPREM4 process simulator를 사용하여 제작되었다. 소자 특성은 DESSIS device simulator를 사용하여 분석되었다. 과도 시뮬레이션이 10 nsec의 rise time과 100 nsec의 duration time을 갖는 사다리형의 전류 펄스를 채택하여 수행되었다. 시뮬레이션으로 추론된 전류-전압 관계는 그림 2에 보인 것처럼 전형적인 SCR과 같은 특성을 나타내었다. 이는 극히 낮은 스냅백 전압( $V_h$ )과 낮은 온-저항( $R_{on}$ )을 나타낸다.  $V_h$ 는  $V_{op}$  보다 훨씬 더 작았다. 이는 NEDSCR\_Std 소자가  $V_{dd}$ 와  $V_{ss}$  사이에 파워 클램프(power clamp) ESD 보호 소자로서 사용되었을 때 정상적인 동작 동안 래

치업 문제에 매우 취약하게 됨을 암시하는 것이다. NEDSCR\_Std 소자와는 달리 NEDSCR\_CPS 소자는 높은  $V_h$ 와 높은  $R_{on}$ 에 의해 특성화되었다.  $V_h$ 가  $V_{op}$  보다 훨씬 더 높음을 보이는 것이다. 따라서 래치업 면적이 보장되었다. NEDSCR\_CPS 소자의 오프-상태 누설 전류는 CPS 이온주입에 기인하여 거의 4승정도 감소되었으며, NEDSCR\_CPS 소자의 전류 면적 레벨도 감소하였다. 그러나 면적을 줄이면서 ESD 보호 성능을 달성하기 위해서는 여전히 높다고 볼 수 있다. NEDSCR\_CPS 소자의 전류 용량은 100 um의 소자 폭을 갖는 경우 대략 3A로 평가되었다. I-V 특성은 파라미터 'S'에 강하게 의존한다. 파라미터 'S'의 감소는 두 전극 사이의 효과적인 베이스 폭을 축소해 준다. 이것은 다소 더 작은 트리거링 전압과 더 낮은  $V_h$ 를 초래하여 이상적인 ESD 보호 성능을 위한 최적화에 있어서 유연성을 더 보장해 줌을 알 수 있다. 이에 해당하는 등고선 데이터 결과는 전류-전압 특성의 급격한 변화에 대한 현상학적인 설명을 제공해 주는 이점이 있다. 고전압 주입에 의한 베이스 푸쉬-아웃(base push-out)과 이 결과로 생긴 낮은  $V_h$ 와  $R_{on}$ 에 대한 연구결과는 참고문헌 [3]에서 발표된바 있다. 여기서 NEDSCR\_CPS 소자의 등고선 데이터에 의하면, CPS 이온주입에 기인한 측면 방향의 고전계 영역은 스냅백 홀딩 또는 더 높은 전류 레벨에서도 여전히 견디고 있음을 확인할 수 있었다.

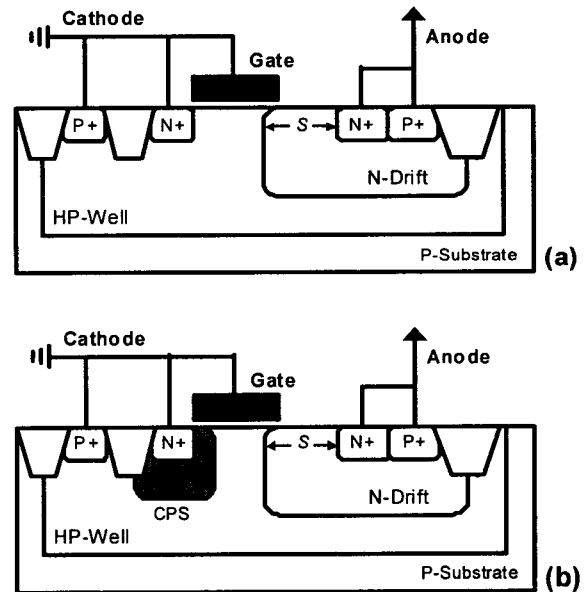


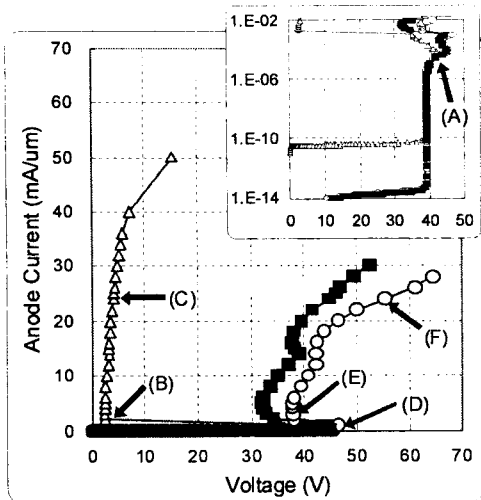
Fig. 1 > Schematic diagram of high voltage operating (a) NEDSCR\_Std device and (b) NEDSCR\_CPS device.

#### 4. 결 론

NEDSCR\_CPS 소자는 robust ESD 보호 특성과 높은 래치업 면적 특성을 나타내었다. N-드리프트 위의 N+확산 애노드의 오버랩 마진과 CPS(counter pocket source) 이온주입이 정전기 보호 기술 개발의 critical factors임을 알 수 있었다. 결론적으로, NEDSCR\_CPS 소자는 고전압 I/O 응용을 위한 promising한 ESD protection device가 될 수 있다.

#### 감사의 글

이 논문은 2005년 정부(교육인적자원부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임. (KRF-2005-041-D00311).



<Fig. 2> Simulation results on I-V relations for NEDSCR devices (open triangle  $\triangle$  for NEDSCR\_Std with  $S = 1.6\mu\text{m}$ , open circle  $\circ$  for NEDSCR\_CPS with  $S = 1.6\mu\text{m}$ , closed square  $\blacksquare$  for NEDSCR\_CPS with  $S = 1.0\mu\text{m}$ ). Graphs in the inset represent same I-V relations with y-axis on log scale. (A), (B) and (C) correspond to NEDSCR\_Std,  $S=1.6\mu\text{m}$ , (D), (E) and (F) correspond to NEDSCR\_CPS,  $S=1.6\mu\text{m}$ . Also, their anode current level is as follows: (A) 0.05 mA/um, (B) 2 mA/um, (C) 24 mA/um, (D) 0.1 mA/um, (E) 3 mA/um, and (F) 24 mA/um.

#### [참 고 문 헌]

- [1] M. P. J. Mergens, W. Wilkening, S. Mettler, H. Wolf, A. Stricker, and W. Fichtner, "Analysis of lateral DMOS power devices under ESD stress conditions," *IEEE Trans. Electron Devices*, vol. 47, pp. 2128-2137, Nov. 2000.
- [2] S. M. Sze, *Physics of Semiconductor Devices*, 2nd ed. New York: Wiley (1981).
- [3] K. H. Kim, "Illumination of double snapback mechanism in high voltage operating grounded gate extended drain N-type metal-oxide-semiconductor field effects transistor electrostatic discharge protection devices", *Japanese Journal of Applied Physics*, Vol.43, No.10, pp.6930-6936, 2004.
- [4] B. C. Jeon, S. C. Lee, J. K. Oh, S. S. Kim, M. K. Han, Y.I. Jung, H. T. So, J. S. Shim, and K. H. Kim, "ESD characterization of grounded-gate NMOS with  $0.35\mu\text{m}/18\text{V}$  technology employing transmission line pulser (TLP) test," in *Proc. EOS/ESD Symp.*, 2002, pp. 362-372.
- [5] G. Bosselli, S. Meeuwsen, T. Mouthaan, and F. Kuper, "Investigations on double diffused MOS (DMOS) transistors under ESD zap conditions," in *Proc. EOS/ESD Symp.*, 1999, pp. 11-18.
- [6] S. Dabral and T. J. Maloney, *Basic ESD and I/O Design*, New York: Wiley, 1998.
- [7] A. Chatterjee and T. Polgreen, "A low-voltage triggering SCR for on-chip ESD protection at output and input pads," *IEEE Electron Device Lett.*, vol.12, pp. 21-22, Jan. 1991.
- [8] J. H. Lee, J. R. Shih, C. S. Tang, K. C. Liu, Y. H. Wu, R. Y. Shiue, T. C. Ong, Y. K. Peng, and J. T. Yue, "Novel ESD protection structure with embedded SCR/DMOS for smart power technology," in *Proc. IEEE 40-th Annual Int. Reliab. Phys. Symp.*, 2002, pp. 156-161.
- [9] M. D. Ker, H. H. Chang, and C. Y. Wu, "A gate-coupled PTLSCR/NTLSCR ESD protection circuit for deep-submicron low voltage CMOS IC's," *IEEE J. Solid-State Circuits*, vol. 32, pp. 38-51, Jan. 1997.
- [10] C. H. Lai, M. H. Liu, S. Su, T. C. Lu, and S. Pan, "A novel gate coupled SCR ESD protection structure with high latchup immunity for high-speed I/O pad," *IEEE Electron Device Lett.*, vol. 25, pp. 328-330, May 2004.
- [11] M. D. Ker, "Lateral SCR devices with low-voltage high-current triggering characteristics for output ESD protection in submicron CMOS technology," *IEEE Trans. Electron Devices*, vol. 45, pp. 849-860, Apr. 1998.
- [12] M. P. J. Mergens, C. C. Russ, K. G. Verhaege, J. Armer, P. C. Jozwiak, and R. Mohn, "High holding current SCRs (HHI-SCR) for ESD Protection and latch-up Immune IC operation," in *Proc. EOS/ESD Symp. 2002*, pp. 14-21.