

### 3D EM Simulator를 이용한 Embedded Capacitor의 SRF(Self Resonance Frequency) 특성 분석

유희욱\*, 구상모, 박재영, 고중혁  
광운대학교

#### Using the 3D EM simulator analyze characteristics of the self resonance frequency of the embedded capacitor

Hee-Wook You\*, Sang-Mo Koo, Jae-Yeong Park, Jung-Hyuk Koh  
Kwangwoon University

**Abstract** - Embedded capacitor technology is one of the effective packaging technologies for further miniaturization and higher performance of electric package systems. So we used the 3D EM simulator for embedded capacitor design in 8-layer PCB(Printed Circuit Board). The designed capacitors value are 2 pF, 5pF, 10 pF, respectively. we investigated characteristics of capacitance - frequency and SRF(Self Resonance Frequency) as changing the rate of hight and width of upper pad of embedded capacitors.

그러므로 측정 하고자 하는 캐패시턴스의 값을 계산 한후 캐패시터를 설계하였다. 기본적인 embedded capacitor의 구조를 그림 1과 같이 설계하였으며 PCB의 층수는 8층으로 구성하였다. 또한 Cross - section은 대칭이다. 캐패시터는 L2와 L3 사이에 설계를 하였으며 이때 사용한 유전체의 유전율은 일반적으로 사용되는 FR4(4.4) 보다 높은 유전체(30)를 사용 하였다. 유전체의 두께는 12 μm, 16 μm 그리고 20 μm를 각각 설계하였으며 sweep은 100 MHz에서 10 GHz까지 주었다. 캐패시턴스의 값은 Z-parameter을 이용하여 구하였다.

#### 1. 서 론

최근 들어 전자제품의 경박단소화와 전기적 고성능화를 위하여 수동소자에 대한 관심이 날로 증가하고 있는데, 현재 사용되고 있는 수동소자의 수가 능동소자의 수에 비해 훨씬 더 많기 때문에, 그 한 예로 휴대용 전화기의 경우 사용된 수동소자의 수에 대한 능동 소자의 수의 비는 20 : 1 을 넘고 있다[1,2].

현재 이 수많은 수동소자들은 대부분의 경우 개별형 부품(discrete component) 형태로 기판의 표면에 실장 되고 있어 기판의 많은 면적을 차지할 뿐 아니라, GHz 이상의 고주파에서 긴 접속거리로 인하여 많은 전기적 기생성분을 유발시킴으로 전기적인 성능을 저하시키며, 납땜을 통한 접속수의 증가로 기계적 신뢰성에 문제를 일으키는 것으로 알려져 있다. 따라서 이와 같은 문제점을 해결하여 더 작고, 더 가볍고 동시에 향상된 기능을 가진 전자제품을 만들기 위해 기판 내에 캐패시터, 저항체, 인덕터와 같은 수동소자를 집적시키는 내장형 수동소자 embedded passive 기술에 대한 요구가 급증하고 있다. 수동소자 중에서도 캐패시터(capacitor)에 대한 관심이 큰데 이는 수동소자의 40 % 이상을 차지할 뿐만 아니라 decoupling capacitor 또는 by - pass capacitor 와 같이 전자회로상의 역할이 중요하기 때문이다.

본 연구에서는 3D EM simulator를 이용하여 embedded capacitor를 2 GHz때 2 pF, 5 pF, 10 pF를 각각 설계하여 주파수에 따른 캐패시턴스 특성과 캐패시터의 상부전극의 높이와 넓이의 비율의 변화에 따른 SRF(Self Resonance Frequency)의 특성을 연구하였다.

#### 2. 본 론

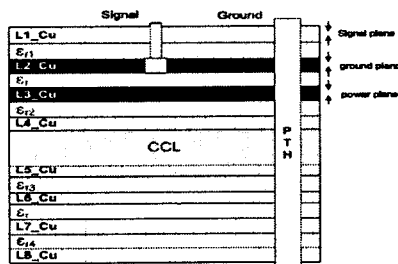
##### 2.1 실험

평행판 캐패시터에서 캐패시터의 용량 즉 캐패시턴스는 다음과 같은 식으로 구 할 수 있다.

$$C = \epsilon_0 \epsilon_r \frac{A}{d}$$

( $\epsilon_0$ : 진공상태의 permittivity,  $\epsilon_r$ : 유전상수, A: 전극면적, d: 유전체 두께)

위 식에서 알 수 있듯이 단위면적당 높은 커패시턴스를 얻기 위해서는 유전체의 유전상수가 커야 하며 유전체의 두께가 작아야 하며 면적은 커야 한다.



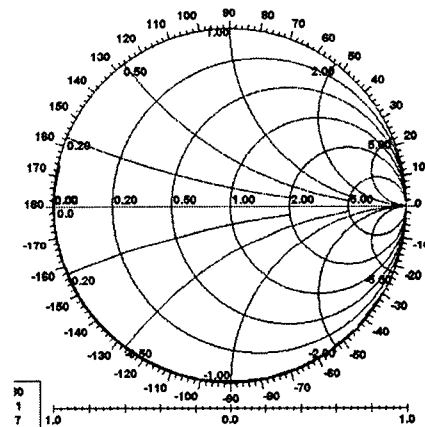
〈그림 1〉 Cross-section of the PCB

##### 2.2 측정

측정은 Z-parameter을 이용하여 밑에 수식에 의해 2 GHz에서의 캐패시턴스의 값을 알아 보았다.

$$C = -1(2 * \Pi * f * \text{Im}(Z_t(1,1)))$$

캐패시터로서의 동작 특성을 확인 하고자 Smith 차트를 구현하였다. 아래의 Smith 차트는 순수한 캐패시턴스의 성분만을 극대화하기 위해 R과 L성분을 최소화하여 설계한 캐패시터이고 그림 2에서 보는 것과 같이 확인 하였다.



〈그림 2〉 Smith Chart of embedded capacitor

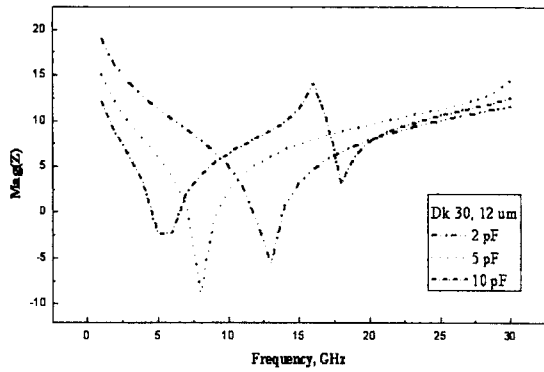
##### 2.3 분석

이상적인 캐패시터의 경우 주파수와 관계없이 일정한 캐패시턴스의 값을 가져야 한다. 하지만 실제로 캐패시터의 등가모델은 캐패시터의 성분뿐만 아니라 인덕턴스를 포함하고 있다. 그래서 LC공진이 발생하게 되므로써 주파수에 따른 캐패시턴의 값은 일정하지 않게 된다 그리하여 원하는 캐패시턴스의 값을 구하기 위해서는 SRF를 최대한 크게 해야만 한다. 일반적으로 SRF를 나타내는 수식은 아래와 같이 주어진다.

$$SRF(\text{Self Resonance Frequency}) = \frac{1}{2\pi \sqrt{LC}}$$

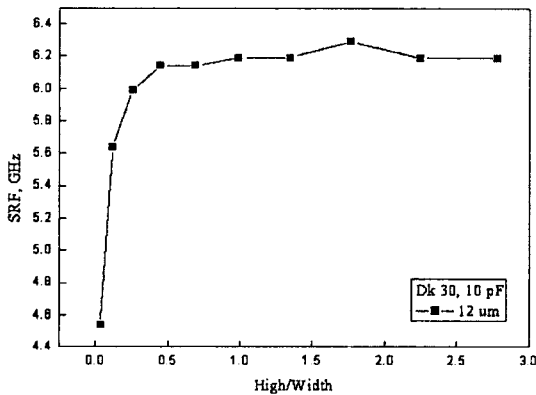
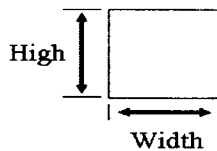
(L: 인덕턴스, C: 캐패시턴스)

위 식에서 알 수 있듯이 SRF의 크기를 크게 하기 위해서는 인덕턴스와 캐패시턴스의 값이 작아야만 한다. 하지만 C값은 2 pF, 5 pF, 10 pF로 고정되어 있기 때문에 결국 인덕턴스의 값을 최소화 해야만 한다. Embedded capacitor의 설계에 있어서 기생하게 되는 인덕턴스를 최소화 하는 것이 중요하다.



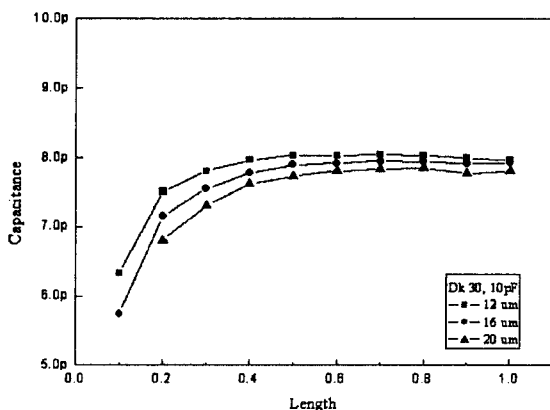
〈그림 3〉 SRF of embedded capacitors

그림 3은 주파수에 따른 Z값을 보여주고 있다. 캐패시턴스값의 크기에 따라 SRF의 크기가 작아지는 것을 알 수가 있는데 그 이유는 위의 수식에 따라 캐패시턴스의 값이 커지므로 SRF는 작아지는 것을 알 수가 있다.



〈그림 4〉 SRF of changing the upper pad rate of hight and width at 2 GHz

그림 4는 유전체의 유전율이 30, 두께는 12 um 그리고 C값은 10 pF일때 embedded capacitor의 상부전극 hight와 width의 비에 따른 SRF의 변화를 보여주고 있다. 일반적으로 평판 캐패시터의 상부전극의 hight와 width의 길이는 같게 설계할 한다. 상부 전극의 비에 따라 SRF의 최고값과 최저값의 차는 약 1.71 GHz의 차이를 보이고 있고 또한 hight와 width의 비가 약 1이 될 때의 SRF의 값이 일정한 값을 가지는 것을 확인하였다. 그림 4와 같이 SRF의 값이 포화되는 비율은 약 0.9 정도였고 유전체의 두께가 16 um와 20 um인 경우 hight와 width의 비가 각각 0.7과 0.6일때 SRF의 값이 포화되는 것을 확인 했다.



〈그림 5〉 Theoretical capacitance of embedded capacitor

그림 5는 이론적인 캐패시턴스의 값을 hight의 길이에 따라 나타내고 있다. 20 um인 경우 hight의 길이가 0.1인 경우 시뮬레이션 상에서 PTH에 근접하기 때문에 그 값을 알 수가 없었다.

시뮬레이션에서 즉 embedded 되었을 경우 캐패시턴스는 10 pF 이지만 이론 적인 캐패시턴스 값이 시뮬레이션에서의 결과값과는 약간의 차이가 있는 8 pF, 7.9 pF, 7.8 pF 값을 가졌다.

그 이유는 유전체 내에 존재 하는 dipole의 relaxation과 관계가 있다. 같은 캐패시턴스의 값을 갖을 경우라도 평판 캐패시터의 거리가 가까울수록 가해지는 전기장의 세기가 강하므로 dipole의 polarization이 더 잘 일어 날 수 있기 때문에 같은 캐패시턴스라도 유전체의 두께에 따라 달라지는 것이다. 또한 embedded가 되므로써 캐패시턴스의 값이 모두 감소하는 것을 확인할 수 있다.

그림 4와 5를 비교하여 분석한 결과 캐패시턴스의 값이 작음에도 불구하고 SRF의 값이 작은 이유는 비록 캐패시턴스의 값이 작아지지만 인덕턴스의 값이 증가하기 때문에 오히려 상부전극의 width가 길수록 인덕턴스가 커진다는 것을 알 수가 있다.

### 3. 결 론

본 연구에서는 3D EM simulator을 이용 embedded capacitor를 설계하여 주파수에 따른 캐패시턴스와 SRF의 거동에 관해서 연구 하였다.

캐패시터가 embedded 되므로써 캐패시턴스의 값은 약 20 %정도가 작아 지는 것을 확인 하였고 또한 상부전극의 hight와 width의 비에 따라 SRF의 값이 달라지는 것을 확인하였으며, SRF는 hight와 width의 비가 약 1 이 될 때까지 증가하다가 그 이상일 경우부터 SRF의 값이 포화되는 것을 확인 할 수 있었다. 그러므로 embedded capacitor의 설계시 상부전극의 hight와 width의 비를 고려해야 할 것이다.

또한 상부전극의 width가 길어질수록 작은 캐패시턴스의 값을 가지게 되 지만 SRF는 증가하지 않고 오히려 감소하게 되는데 그 이유는 상부전극의 width가 커질수록 인덕턴스의 성분의 증가로 인해 SRF는 낮아지는 것으로 사료되어진다.

### [감사의 글]

본 연구는 대덕전자 및 서울시 산학연 협력사업 지원에 의해서 이루어졌 습니다. (Grant No. 10583 and No. 10651)

### [참 고 문 헌]

- [1] J.Prymark, et al, "Fundamentals of Passives: Discrete, Integrated, and Embedded", Chap. 11 in Fundamentals of Microsystems Packaging, ed R.R Tummala, p. 420, McGraw-hill Book Company, New York(2001)
- [2] J. Rector, "Economic and Technical Viability of Integral Passive", in Proc. of 48<sup>th</sup> Electronic Components and Technology Conf., Seattle, WA, p. 218(1988).
- [3] J.P. Parkerson et al ; " Design Considerations for Using Integrated Passive Components," International Conference on Multichip Modules MCM 97 , pp 345-350
- [4]S. K. Bhattacharya and R. R. Tummala, "Next Generation Integral Passives: Materials, Process, and Integration of Resistors and Capacitors on PWB substrates", J. Mater.Sci: Materials in Electronics, Vol. 11, No. 3, p. 253(2000).