

전압-열 가속열화에 따른 사이리스터 소자 누설전류 및 차단전압 특성 분석

김형우, 서길수, 김기현, 김남균
한국전기연구원, 전력반도체연구그룹

Analysis of the aging effects on the thyristor leakage current and blocking voltage characteristics

Hyoung-Woo Kim, Kil-Soo Seo, Ki-Hyun Kim, Nam-Kyun Kim
Power Semiconductor Group, Korea Electrotechnology Research Institute

Abstract - 사이리스터 소자의 신뢰성은 HVDC, SVC, FACTS와 같은 대용량 전력 시스템의 신뢰성에 많은 영향을 미친다. 따라서 사이리스터 소자의 신뢰성을 분석하는 것은 시스템의 안정적인 운용과 신뢰성의 확보에 필수적이다.

본 논문에서는 장시간동안 전압 및 열을 인가하여 사이리스터를 가속열화시켰을 때 사이리스터 소자의 차단전압 및 누설전류 특성의 변화에 대해 실험을 통해 분석하였다. 가속열화 시험에는 14개의 사이리스터가 사용되었고, 1000V, 100°C의 조건에서 가속열화를 진행하였으며, 7일에서 10일의 간격으로 소자의 누설전류 및 차단전압 특성을 측정하여 초기 특성과 비교·분석하였다.

1. 서 론

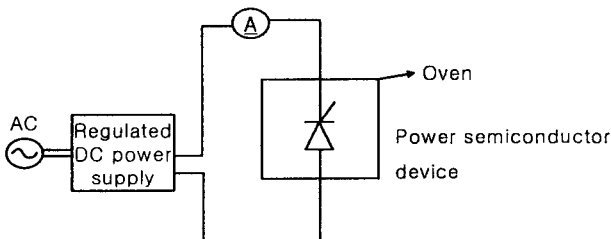
사이리스터와 같은 대용량 전력용 반도체 소자들은 주로 수평의 저하가 예측될만한 온도 범위보다 낮은 온도 조건하에서 사용되어지며 소자가 물리적인 영향을 받는 경우도 없기 때문에 특성의 저하가 쉽게 일어나지 않는 것으로 인식되어져 왔다.[1] 또한 고전압 밸브 내에 장착되어져 사용되는 소자에서 일어나는 고장들은 우발적인 고장이며 밸브 설계시 safety factor를 고려하여 설계를 하므로 밸브가 장착된 시스템의 특성에는 큰 영향을 주지 않는 것으로 알려져 있다.[2] 또한 고장이 난 소자들을 교체할 경우 밸브는 본래의 절연성을 회복하는 것으로 알려져 있었다. 그러나 실제로 밸브내의 사이리스터들 중 하나에서 차단전압의 저하가 일어나는 경우 밸브내의 다른 사이리스터들에 과부하를 주게 되어 결과적으로는 밸브가 본래 가지고 있던 차단전압 특성이 저하하게 된다. 이로 인해 전력변환 시스템에서는 신뢰성 또는 안전성의 저하가 발생하게 되며, 최종적으로는 사고로 이어지게 된다. 따라서 시스템의 안전성 및 효율적인 운용을 위해서는 시스템을 구성하고 있는 밸브내의 사이리스터 소자들의 특성에 영향을 주는 요인들과 그에 따른 소자 특성 변화에 대한 연구가 필요하다.[3-5]

본 논문에서는 사이리스터 소자에 일정한 전압과 열을 사용해 가속열화를 하는 경우 소자의 차단전압 및 누설전류 특성에 미치는 영향에 대해 분석하였다. 총 14개의 사이리스터를 이용해 가속열화 시험을 진행하였으며, 일정한 시간간격을 두고 특성을 측정하여 초기 특성과 비교·분석하였다. 시뮬레이션을 통한 특성의 분석에는 이차원 공정 시뮬레이터인 ATHENA와 소자 시뮬레이터인 ATLAS를 사용하였다.[6]

2. 본 론

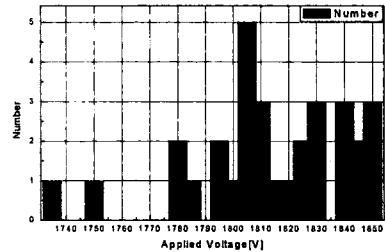
2.1 가속열화시험

가속열화 시험에는 정격전압이 1500V인 사이리스터들 중에서 초기 측정시에 순방향 차단전압 1735 - 1850V, 역방향 차단전압 2245 - 2305V의 특성을 가진 사이리스터 소자 14개를 사용하였다. 그림 1은 시험용 사이리스터를 가속열화 하기 위해 사용된 회로를 나타낸 것으로 DC 전원공급 장치에서 1kV의 전압을 인가하고 온도 가속장비의 온도를 10°C로 고정시켜서 시험을 수행하였다.

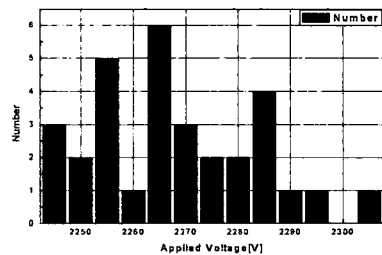


〈그림 1〉 시험용 사이리스터의 가속열화를 위한 회로 구성도

그림 2에 시험에 사용된 사이리스터 소자의 차단전압 분포도를 나타내었다. 시험에 사용된 소자들은 최초 31개의 사이리스터 중에서 초기고장이 일어나지 않은 소자를 선별하여 사용하였다. 그림에서 보면 소자의 차단전압이 일정하지 않고 약간씩 차이를 나타냄을 볼 수 있는데 이것은 소자의 제작시에 발생하는 결함이나 doping 농도가 소자마다 다르게 나타나기 때문으로 보여 진다.



(a) 순방향 차단전압

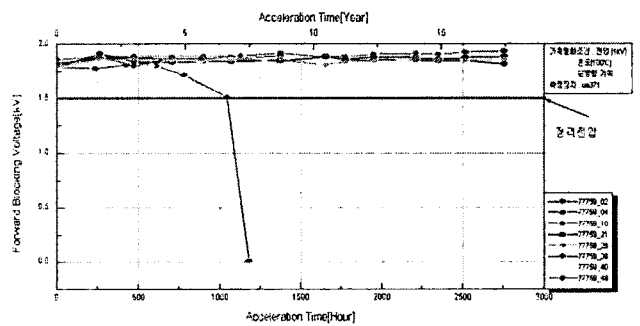


(b) 역방향 차단전압

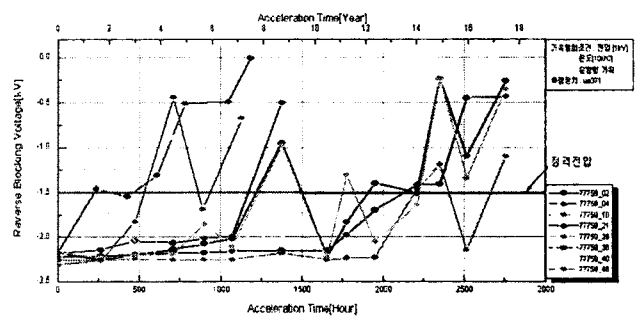
〈그림 2〉 시험용 사이리스터의 차단전압 분포도

2.2 시험결과와 분석

그림 3에 시험용 사이리스터들 14개 중에서 가속열화 초기에 고장이 일어난 6개 소자를 제외한 8개 소자에 대해 가속열화 시간에 따른 순방향 및 역방향 차단전압 특성을 나타내었다.



(a) 순방향 차단전압

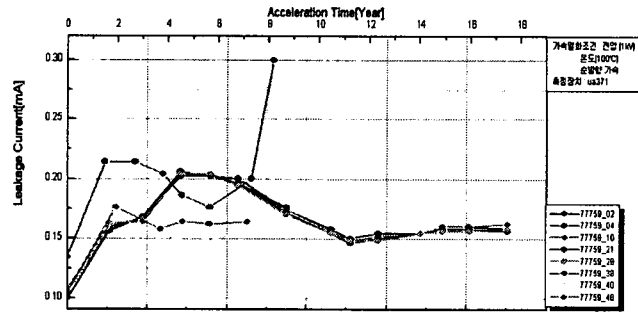


(b) 역방향 차단전압

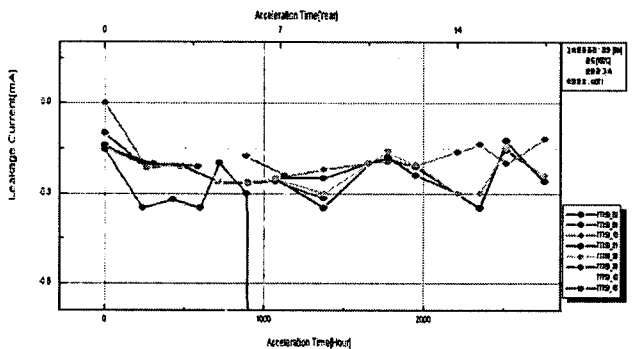
〈그림 3〉 가속열화 시간에 따른 차단전압 특성 변화

그림에서 볼 수 있듯이 순방향 차단전압의 경우 1개 시료를 제외하고 나머지 7개 시료 모두 2500시간 이상 가속열화를 한 이후에도 특성의 저하가 일어나지 않음을 볼 수 있다. 그러나 역방향 차단전압의 경우 2500시간의 가속열화 이후에도 정격전압인 1500V 보다 높은 차단전압을 유지한 시료는 없으며 대부분의 시료들이 1000 - 1500시간의 가속열화 이후에는 정격전압 이하의 차단전압을 나타내었다.

그림 4는 가속열화 시간에 따른 순방향 및 역방향 차단상태에서의 누설 전류 특성의 변화를 나타낸 것이다. 누설전류 특성의 경우 순방향 및 역방향 모두 가속열화가 진행됨에 따라 서서히 증가하고 있음을 알 수 있다.



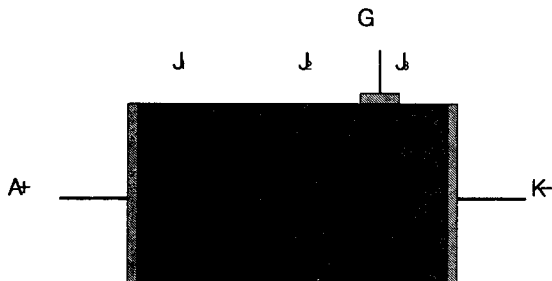
(a) 순방향 차단상태



(b) 역방향 차단상태

〈그림 4〉 가속열화 시간에 따른 누설전류 특성

그림 3, 4에서 볼 수 있듯이 모든 시험용 소자에서 순방향 특성보다는 역방향 특성이 더 빨리 열화 되는 것을 알 수 있다. 이렇게 되는 원인은 사이리스터 소자의 구조적인 문제에서 오는 것으로 보여진다. 사이리스터 소자의 경우 역방향 차단상태가 되면 그림 5의 구조에서 접합 J1, J3에서 공핍층이 형성되게 된다. 또한 순방향 차단상태에서는 접합 J2에서 공핍층이 형성된다.



〈그림 5〉 사이리스터 소자의 구조

역방향 차단상태인 경우 차단전압은 접합 J1, J3에서 형성된 공핍층 모두에 인가되게 되는데 이중 접합 J3는 p/n+ 영역의 높은 도핑 농도로 인해 낮은 전압만을 지탱할 수 있으며 대부분의 차단전압은 접합 J1에서 형성된 공핍층에 인가되게 된다. 여기서 접합 J3의 경우 접합 중단부 처리시 높은 차단전압을 얻기 위해 베벨링 처리되는 부분으로 물리적으로 소자의 표면을 갈아내는 베벨링 기법의 특성상 다수의 결함이 발생할 확률이 높은 부분이라 할 수 있다. 따라서 사이리스터에 역방향 차단전압이 인가되는 경우 접합 J3에서 형성된 공핍층에서 발생하는 누설전류 성분이 이러한 베벨링에 의해 생성된 결함과 만나게 될 경우 결함 부분을 통해 흘러나가기 시작하며, 이로 인해 지속적인 누설전류의 증가가 발생할 수 있다. 또한 이러한 결함 부위에는 차단전압 인가시에 높은 전계성분이 집중되기 때문에 누설전류의 증가와 전계집중 현상의 결합으로 인해 과도한 전류의 흐름이 발생할 수 있으며, 이로 인한 소자 표면의 부분적인 melting 현상이 발생할 수 있다. 이외에도 소자 표면의 passivation 영역내의 전하나 불순물, 혹은 접합 중단부 처리면의 결함들이 장시간 스트레스를 받게 될 경우 소자의 표

면에 결함에 의한 일종의 도전 채널이 형성됨으로써 과도한 전류 흐름에 의한 고장에 이르게 된다.[7]

따라서 상기에 언급된 두 가지 원인, 즉 접합 J3에서 형성된 공핍층 내부에서 발생한 누설전류와 베벨링에 의해 생긴 결함간의 상호작용 및 가속열화에 의해 표면에 발생한 도전 채널이 결합될 경우 가속열화에 의한 소자의 특성저하가 순방향 차단상태인 경우에 비해 더 빨리 일어날 수 있다.

역방향 차단상태에서 소자마다 가속열화에 따른 특성저하 시간이 다른 것은 결함에 의한 도전 채널의 생성위치에 의한 것으로 생각된다. 베벨링에 의해 표면에 결함이 발생하거나 표면 passivation 영역 내에 불순물이 존재할 경우 그 위치가 일정하지 않기 때문에 도전 채널의 형성 위치 또한 소자마다 다르게 발생하게 된다. 따라서 도전 채널의 형성 위치가 접합 J3에서 생성된 누설전류 성분이 흐르는 위치와 밀접한 곳에 형성될수록 가속열화시 소자의 특성 저하가 더 빨리 일어나게 된다고 볼 수 있다.

3. 결 론

사이리스터 소자의 가속열화 시간에 따른 순방향 및 역방향 차단전압 특성과 누설전류 특성에 대해 분석하였다. 초기 1500V 정격인 소자 14개를 사용하여 최대 2750시간까지 가속열화를 진행하였으며 7일에서 10일의 간격으로 소자의 특성을 측정하였다. 초기특성과 비교한 결과 가속열화 시험의 초기에 고장을 일으킨 6개 소자를 제외한 8개 소자의 경우 순방향 차단전압 및 누설전류 특성은 2500시간 정도의 가속열화가 이루어진 이후에도 큰 변화가 없었으나 역방향 차단전압 및 누설전류 특성은 1000시간 정도의 가속열화가 이루어진 이후에는 급격하게 저하되는 것을 볼 수 있었다. 역방향 차단상태에서의 특성이 급격하게 저하되는 원인은 높은 차단전압을 얻기 위해 사용되는 표면 베벨링 기법에 의해 발생한 결함과 표면 passivation 물질 내에 존재하는 전하 또는 불순물에 의한 도전 채널의 형성 때문인 것으로 보여진다.

특히 베벨링에 의해 표면에 형성되는 결함의 경우 차단전압 인가시에 누설전류의 증가를 일으킬 뿐만 아니라 높은 전계 집중에 의한 부분적인 소자의 melting 현상에 의한 소자의 고장에도 많은 영향을 주는 것으로 생각된다. 베벨링 기법의 경우 고전압 소자의 제작에 있어서 필수적으로 사용되는 접합 중단부 처리 기법인 만큼 소자의 제작시에 베벨링에 따른 결함의 발생을 줄일 수 있도록 하는 것이 중요하다. 하지만 물리적인 기법으로 소자의 표면을 갈아내는 베벨링 기법의 특성상 결함의 발생을 줄이기는 힘들 것으로 보여진다.

따라서 사이리스터와 같은 고전압 소자 및 이를 이용한 대용량 시스템의 장시간 사용에 따른 안정적인 시스템의 운용이나 신뢰성 확보를 위해서는 표면에 발생한 결함이나 불순물이 소자의 특성에 미치는 영향에 대한 지속적인 연구가 필요하다.

【참 고 문 헌】

- [1] Milan Ceppek and Chandra P. Krishnappa, "Thyristor Aging", Power System Technology, pp. 18-21, Aug. 1998.
- [2] "Semiconductor Power Devices for use in HVDC and FACTS Controllers", CIGRE Technical Brochure 112, prepared by Working Group 14.17 (Semiconductor Power Devices) of Study Committee 1. (DC Links and Power Electronic Equipment), 1997.
- [3] 서길수 외, "대용량 사이리스터의 전압/열에 의한 가속열화 시스템", 대한전기학회 하계학술대회 논문집, 2004.
- [4] 김형우 외, "대용량 사이리스터의 열화메커니즘", 대한전기학회 동부추계학술대회 논문집, pp. 82 - 85, 2003.
- [5] 김상철 외, "HVDC용 사이리스터 소자의 전기적 특성 simulation 연구", 대한전기학회 하계학술대회 논문집, pp. 1559 - 1561, 2003.
- [6] SILVACO, TCAD Manuals, ATLAS & ATHENA, Silvaco International Co. USA.
- [7] 社團法人 電氣協同研究會 "電力系統用 power electronics 設備의 現場と設計·保守基準" 電氣協同研究 第 57卷, 第 2號, 平成 13년 10월