

600V Punch-through형 절연 게이트 바이폴라 트랜지스터의 Soft-shutdown을 위해 시간 지연 회로를 적용한 새로운 보호회로

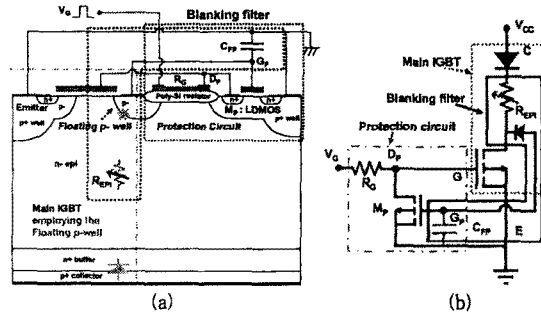
임지용, 지인환, 하민우, 최영환, *최연익, 한민구
 서울대학교 공과대학 전기 컴퓨터 공학부
 *아주 대학교 공과대학 전자공학부

The Optimized Monolithic Fault Protection Circuit for the Soft-shutdown behavior of 600V PT-IGBT by employing a New Blanking Filter

Jiyong Lim, In-Hwan Ji, Min-Woo Ha, Young-Hwan Choi, *Yeon-Ik Choi, Min-Koo Han
 School of Electrical Engineering, Seoul National University
 *Division of Electronics Engineering, Ajou University

Abstract - Floating p-well 전압 감지를 이용한 시간 지연 회로를 적용하여 punch-through형 절연 게이트 바이폴라 트랜지스터 (PT-IGBT)의 최적화된 보호 회로를 제안하였다. Floating P-well 축전기와 게이트 저항은 정상 스위칭 동작시 단락 회로 감지 동작 (false detection of fault)을 차단하며, floating p-well 전압은 단락회로 상황시 풀-다운 (pull-down) MOSFET의 문턱 전압 이상으로 상승되어 풀-다운 MOSFET을 턴-온 (turn-on) 시킴으로서 IGBT의 게이트 전압을 감소시킨다. 이에 따라 IGBT의 컬렉터 전류는 자연스럽게 감소된다. 실험 결과를 통해, 단락회로 상황에서 최적화된 IGBT의 보호회로가 소프트-셧다운 (soft-shutdown) 특성을 보이는 것을 확인할 수 있다.

이러한 감지 오류는 시간 지연을 적용하여 방지해야 한다. 등가 회로에 나타나듯, IGBT는 MOS-PIN 모델로 묘사되어 있다. 가변 저항인 R_{EP1} 와 n-드리프트 층의 저항은 p+ 컬렉터로부터 주입되는 소수 캐리어에 (minority carrier) 의해 변화한다. Floating p-well과 n-드리프트 층 사이의 pn 다이오드는 M_P 의 게이트와 C_{FP} 에 연결되어 있다.



〈그림 1〉 제안된 소자의 단면도 (a) 와 등가회로 (b)

IGBT의 게이트가 오프-상태이며 (off-state) V_{CC} 가 컬렉터에 인가되어 있을 때 G_P 노드의 전압은 n-드리프트 영역의 공핍으로 인해 낮은 상태를 유지한다. IGBT의 게이트에서 Hard Switching Fault (HSF)가 발생하면, 캐리어 주입으로 인해 n-드리프트 영역의 전도도는 급격히 증가한다. 컬렉터 전류와 관련이 있는 floating p-well의 전압은 M_P 의 게이트와 C_{FP} 에 인가된다. C_{FP} 가 M_P 의 문턱전압 (V_{TH}) 까지 충전되면, M_P 는 턴-온되어 IGBT의 게이트 전압이 풀-다운 된다. Floating p-well에 의해 C_{FP} 가 충전되는 지연 시간은 감지 오류로 인한 IGBT의 비정상적인 턴-온 동작을 방지한다. 시간 지연 회로를 구성하는 R_{EP1} 와 C_{FP} 는 스위칭 상황시 floating p-well에 인가되는 전압 신호의 로우-패스 필터로 동작한다.

2.2 소자의 제작

표 1 은 제안된 IGBT와 보호회로의 설계 변수들을 보여준다. IGBT와 M_P , 폴리실리콘 (poly-Si) 저항(R_G)은 600V PT 구조의 에피 웨이퍼에 (epi-wafer) 같이 제작되었다. M_P 의 W/L은 2000/3um 이다. [6] R_G 의 값은 LPCVD 폴리실리콘 층의 두께와 사각 패턴의 (square pattern) 개수에 의해 조절된다. [6][7] 저항값은 880 옴으로 220 옴으로 변화시켰다. IGBT 셀이 (cell) 증가하면 R_G 는 감소될 수 있다.

〈표 1〉 IGBT와 보호 회로의 설계 변수

Parameter	Value	
n+ emitter	Junction depth	1.0 um
	Dose	$5 \cdot 10^{15} \text{ cm}^{-2}$
p-base	Junction depth	3.2 um
	Dose	$5 \cdot 10^{15} \text{ cm}^{-2}$
p+ emitter	Junction depth	5.5 um
	Dose	$5 \cdot 10^{15} \text{ cm}^{-2}$
n-drift	Thickness	50 um
	Doping concentration	$1 \cdot 10^{13} \text{ cm}^{-3}$
n buffer	Thickness	10 um
	Doping concentration	$3 \cdot 10^{16} \text{ cm}^{-3}$
Gate oxide	Thickness	1000 Å
	Sheet resistance	3500 Ω/square
Poly-silicon	Thickness	20 nm
	Width	30 um
p+ substrate	Thickness	300 um
	Doping concentration	10^{19} cm^{-3}
Protection circuit	W/L	
	M_P V_{GS}	R_G C_{FP}
Value	2000/3 3.1 V 880 Ω 220 Ω 0.33 nF 22 nF	

1. 서 론

모터 드라이브 회로 (motor drive circuit) 에 널리 적용되는 IGBT 게이트 구동 드라이버는 빠르고 안정적인 단락회로 보호 동작을 필요로 한다. [1] 그러나 기판 위 배선을 통해 IGBT에 연결된 외부 구동 드라이버는 스위칭 잡음을 일으킬 수 있다. [1][4] 외부 저항-축전기 지연 (RC delay)을 이용한 시간 지연 회로는 감지 동작 오류 (false detection of fault) 을 방지하며, 단락 회로 상황의 감지와 보호 동작을 늦추는 결과를 가져온다. [1] 보호회로의 빠르고 안정적인 동작을 구현하기 위해, 다양한 시도들이 보고 되어 왔다. 일체형으로 집적된 보호회로는 IGBT에 가까이 위치하여, 기생 인덕턴스 효과를 제거한다. [2][3] 게이트-에미터 전압 (V_{GE}) 감지와 전류 감지 방식은 빠른 단락회로 감지 동작을 보인다. [1] 그러나 이러한 방식은 집적이 다소 복잡하며 설계가 까다로운 단점이 있다. [1][2][3] 특히, IGBT의 보호회로 동작시 컬렉터-에미터 과전압과 (over voltage of V_{CE}) 전자과장해 현상 (electromagnetic interference)을 제거하는 소프트-셧다운 (soft-shutdown) 특성 역시 중요한 이슈이다. [4] 앞서 문헌에 보고된 소프트-셧다운 방식들은 복잡한 외부 회로를 통해 구현되었다. [4][5] 이전 연구를 통해 IGBT에 floating p-well 구조를 적용함으로써 아발란체 에너지 (Avalanche energy) 증가와 성공적인 보호 회로 동작을 보였다. [6] 그러나, 제안된 보호회로가 있는 IGBT의 스위칭 특성은 턴-온 (turn-on) 상황에서 감지 오류로 인해 조사되지 않았다.

본 연구의 목적은 게이트 저항 (R_G)과 floating p-well 축전기 (C_{FP})를 적용하여 소프트-셧다운 특성 구현을 위해 최적화된 보호 회로를 제안하며, C_{FP} 를 제외한 어떤 추가적인 회로 요소 없는 보호 회로를 적용하여 턴-온 상황시 IGBT가 감지 오류 없이 정상 동작을 하도록 하는 것이다. 최적화된 보호회로는 IGBT의 게이트에 최소 2us의 시간 지연을 제공하여 턴-온 동작 시 감지 오류를 일어나지 않게 하며, 단락회로 상황시 턴-온 프로그래밍이 일어나지 않게 한다. 최적화된 보호회로와 IGBT는 7개의 마스크를 이용한 600V planar IGBT 공정을 이용하여 추가적인 공정이나 마스크 없이 제작되었다.

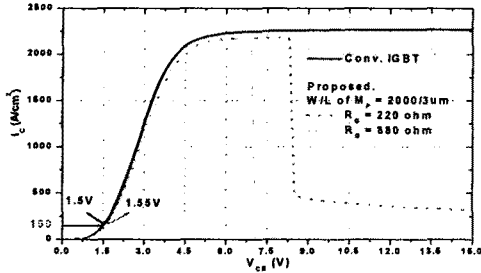
2. 본 론

2.1 소자 구조와 동작 원리

그림 1 은 IGBT와, 제안된 시간 지연 회로를 (blanking filter) 탑재한 보호회로의 단면과 (a) 등가 회로 (b)를 보여준다. 제안된 시간 지연 회로는 외부적으로 floating p-well에 연결된 한 개의 축전기 (C_{FP})와 floating p-well과 p+ 컬렉터 사이 n-epi 고유의 저항 (R_{EP1})을 이용한 로우-패스 (low-pass) 필터로 집적되었다. 단락회로 상황이 발생하면, 풀-다운 (pull-down) MOSFET (M_P)에 인가되는 floating p-well 전압 (G_P 노드) 이 컬렉터 전압을 (V_{CC}) 따라 증가한다. G_P 노드의 전압이 M_P 의 문턱 전압 이상으로 증가하면, M_P 는 턴-온 되어 IGBT의 게이트 전압 (D_P 노드)과 컬렉터 전류 (I_C) 가 감소한다. Floating p-well 전압은 n-드리프트 영역의 (m-drift region) 저항과, n-버퍼의 (n-buffer) 적합한 도핑 농도와 밀접한 관련을 갖는다. n-버퍼 층의 도핑 농도는 n-드리프트 영역의 전도도를 결정하는 주된 효율을 결정한다. [6] n-드리프트 영역과 n-버퍼층의 저항의 변화는 정상 스위칭 동작시 floating p-well의 전압을 급격히 증가시켜 정상 동작시의 floating p-well 전압을 단락회로 신호로 감지하게 할 수 있다.

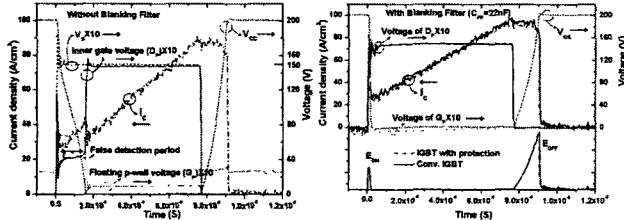
2.3 실험 결과

그림 2는 보호회로가 없는 IGBT와 제안된 보호회로가 있는 IGBT의 순방향 (forward) I-V 특성을 보여준다. 보호회로가 있는 경우, IGBT의 게이트 전압은 R_G 와 M_P 의 온-저항의 (on-resistance) 비로 결정된다. R_G 의 값이 220 Ω 에서 880 Ω 로 증가됨에 따라 IGBT의 컬렉터 전류(I_C)는 수백 A/cm^2 에서 0에 근사한 값으로 감소하는 것을 확인할 수 있다. 160 A/cm^2 에서의 순방향 전압 강하의 차이는 floating p-well에 의한 JFET 저항으로 인한 것이다.



〈그림 2〉 제안된 소자와 기존 소자의 순방향 I-V 특성

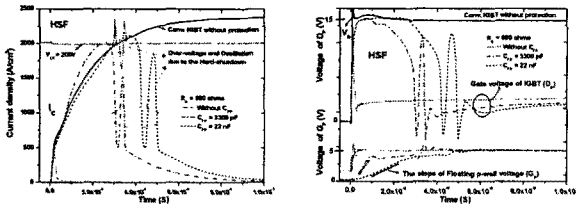
그림 3 (a)는 시간 지연 회로가 없는 IGBT의 유도성 부하 스위칭 (inductive switching) 특성을 보여준다. M_P 의 V_{TH} 가 3.1 V이므로 floating p-well의 전압이 3.1 V일 때 M_P 는 턴-온 된다. 시간 지연 회로의 부재는 턴-온 초기에 floating p-well의 전압이 12 V까지 급격히 증가하게 한다. 따라서 정상 스위칭 동작시 감지 오류가 발생하게 된다. 직관적으로 알 수 있듯, C_{FP} 는 M_P 의 입력 정전용량을 증가시켜 M_P 게이트의 충전 지연을 일으킨다. 그림 3 (b)에 보여지듯, 수 us의 이러한 시간 지연이 감지 오류를 방지한다. 시간 지연회로를 적용한 보호회로를 탑재한 IGBT는 어떠한 추가적인 턴-온 손실 없이 정상 스위칭 동작을 성공적으로 수행한다.



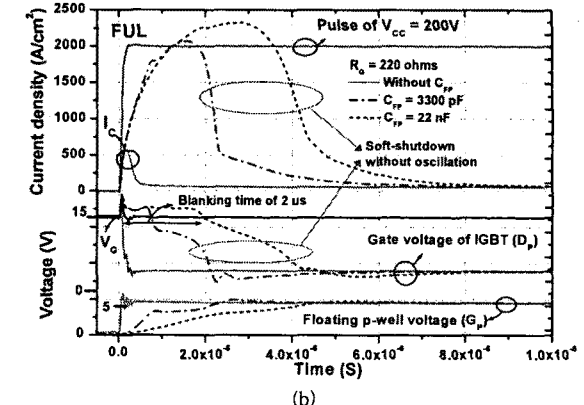
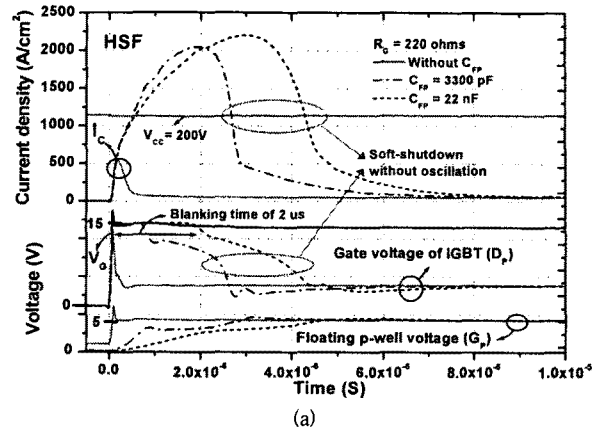
〈그림 3〉 기본 소자(a)와 제안된 소자($C_{FP}=22$ nF)의 유도성 스위칭 특성 측정 결과

그림 4와 5는 제안된 소자의 다양한 R_G 와 C_{FP} 값에 따른 단락 회로 상황에서의 동작을 보여준다. 그림 4에 보이듯이, R_G 가 880 Ω 일 때에는 D_P 노드의 전압이 과도하게 감소되는 것을 확인할 수 있는데, 이는 D_P 노드의 전압이 R_G 와 M_P 의 온-저항 값의 비에 의해 결정되기 때문이다. D_P 노드의 전압이 IGBT의 V_{TH} 이하로 감소하면 G_P 노드의 전압 역시 감소하는데, 이는 n-드리프트 영역의 전도도가 IGBT의 턴-오프로 인해 감소하기 때문이다. G_P 노드의 전압이 M_P 의 V_{TH} 이하로 감소하면, M_P 의 턴-오프로 인해 D_P 노드의 전압이 15 V로 회복되므로 I_C 는 다시 증가한다. IGBT의 턴-오프를 방지하기 위해 풀-다운이 끝나는 때에 D_P 의 전압을 IGBT의 V_{TH} 보다 약간 높게 만드는 R_G 의 최소값을 찾는 과정은 D_P 의 전압 강하가 안정적인 값으로 자연스럽게 감소하도록 한다. 그림 5 (a)에 나타나듯, 220 Ω 의 R_G 는 IGBT와 M_P 의 턴-오프를 방지하여 floating p-well과 M_P 사이의 피드백 루프 (feedback loop) 인해, 단락 회로 현상에 의한 과전류의 발전을 (oscillation) 방지한다.

C_{FP} 의 증가는 floating p-well 전압 강하의 기울기를 감소시키며 이는 M_P 의 게이트에 수 마이크로초 가량의 지연 시간을 가져오게 한다. 3300 pF과 22 nF의 C_{FP} 는 M_P 에 각각 0.8 us와 2 us의 지연 시간을 갖게 한다. 3300 pF의 경우, I_C 가 소프트-셋다운 특성을 보임에도 불구하고, 풀-다운의 마지막 시기에 D_P 전압이 약간 흔들리는 것을 (ringing) 확인할 수 있다. 그림 5 (b)에 나타난 것과 같이, 220 Ω 의 최적화된 R_G 를 갖는 IGBT는 Fault Under Load (FUL) 상황에서 처했을 때, HSF 조건일 때와 마찬가지로 소프트-셋다운 특성을 보인다.



〈그림 4〉 880 Ω 의 R_G 를 갖는 IGBT의 Hard Switching Fault (HSF) 상황에서의 단락회로 동작 특성



〈그림 5〉 최적화된 R_G (220 Ω)와 시간 지연회로를 적용한 IGBT의 Hard Switching Fault (HSF) (a)와 Fault Under Load (b) 하에서의 단락회로 동작 특성

3. 결 론

단락회로 상황에서 IGBT 보호회로의 안정적인 동작을 위해서, C_{FP} 를 제외한 어떠한 추가적 회로 요소 없이 보호회로를 제안하였으며 저항값과 (R_G) floating p-well에 외부적으로 연결된 축전기 (C_{FP})의 정전 용량을 변화시켜 보호 회로를 최적화 하였다. 실험 결과에서 알 수 있듯, IGBT는 턴-온 손실 없이 단락회로 상황을 감지하였으며 정상 스위칭 동작을 성공적으로 수행하였을 뿐만 아니라 풀-다운 동작시 하드-셋다운으로 (hard-shutdown) 인한 IGBT 게이트 전압의 발전을 제거하여 소프트-셋다운 특성 역시 획득하였다.

〈참 고 문 헌〉

- [1] K. Ishikawa, et al, "A 600V Driver IC with New Short Protection in Hybrid Electric Vehicle IGBT Inverter System," ISPSD '05, pp. 59-62, 2005
- [2] Y. Seki, et al, "A new IGBT with a monolithic over-current protection circuit," ISPSD '94, pp. 31-35, 1994
- [3] Z.J. Shen, et al, "Monolithic integration of the vertical IGBT and intelligent protection circuits," ISPSD '96, pp. 295 -298, 1996
- [4] Toshio Takahashi, "IGBT Protection in AC or BLDC Motor Drives," International Rectifier Technical Paper, 2000
- [5] A. Perez, et al, "An IGBT gate driver integrated circuit with full-bridge output stage and short circuit protections," Semiconductor Conference, CAS 2003 International, Volume 2, pp. 245 -248, 2003
- [6] In-Hwan Ji, et al, "A New Fault Protection Circuit of 600V P T-IGBT for the Improved Avalanche Energy Employing the Floating p-well," ISPSD '05, pp. 87-90, 2005
- [7] Byung-Chul Jeon, et al, "A New Protection Circuit for High-Voltage Current Saturation of LEST", IEEE Electron Device Letters, VOL 26, NO. 3, March, 2005