

Static Induction Thyristor의 시동특성해석

이민근 · 박만수 · 고광철¹⁾
한양대학교 전자전기 컴퓨터공학부

The Simplified Model For Switching Transient Characteristics Analysis Of SI Thyristor

Min-Keun Lee · Man-Su Park · Kwang-Cheol Ko
Division of Electrical & Computer Engineering, Hanyang University

Abstract - 본 연구의 목적은 Pspice를 이용하여 SI Thyristor의 구조적인 특징과 스위칭 동작을 설명하면서도 비교적 간략화된 등가 모델을 개발하는 것에 있다. 이러한 목표로 등가모델은 SI Thyristor의 구조적 형태에 기반을 두어 BJT 소자를 이용한다. 또 게이트 구조와 스위칭 매커니즘을 고려한 MOSFET, Steady state Turn on 상태에서 dominant 모델인 PIN Diode로 구성되어 있다. 개발된 등가모델을 스너버회로와 함께 스위칭 과도응답을 시뮬레이션하였으며 그 결과는 실제 실험결과와 비교하여 검증하였다. 비교적 간단하게 고안된 회로를 통해 Turn On/Off 동작에서 스위칭 특성을 예측할 수 있으므로 펄스파워용 스위치로서 SI Thyristor의 시동특성을 해석하는 데 본 등가모델을 활용할 수 있을 것으로 전망한다.

1. 서 론

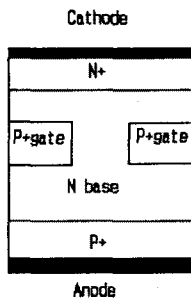
1973년 Static Induction Thyristor가 처음 개발된 이후로 고속의 스위칭 성능과 저손실 성능이 밝혀짐에 따라 Power Electronics 분야에서 새로운 펄스 파워용 반도체 스위치로서의 역할을 할 수 있음이 알려졌다.[1] GTO 보다 고속이며 dv/dt, di/dt 내량이 우수하고 순저지 전압이 크기 때문에 고내압, 고속의 스위치로 인버터 등에 응용되어 왔다.[1] 전력용 스위치소자로서 스위칭 특성을 모델링하는 것은 On/Off 스위칭 특성을 예측할 수 있다는 점에서 중요하다. 따라서 다양한 논문에서 SCR 기본 구조 및 Gate 구조와 스위칭 매커니즘을 수치해석적 기법을 동원하여 Analytic Model을 개발해왔다.[2]

그러나 이러한 모델은 애노드와 캐소드 사이의 전류와 전압간의 복잡한 스위칭 특성을 예측하기 위해 많은 파라미터가 요구되고 동시에 많은 계산량을 필요로 한다.[3] 이번 연구의 차이점은 구조적 형태를 기반으로 SI Thyristor의 스위칭 동작시 과도응답 특성을 해석하기 위해 보다 간단한 모델을 완성하는 데에 있다. 이를 위해 Pspice Simulator를 이용할 것이다. 많은 소자 라이브러리를 가지고 있으며 쉽고 정확하게 회로를 시뮬레이션 할 수 있기 때문이다.[7]

2.2.1절에서 NPN 접합을 나타내는 BJT, 게이트와 스위칭 동작을 고려한 MOSFET, Base Region에서 PIN Diode를 비롯하여 내부 Depletion Region을 설명하기 위한 Capacitance, 게이트 내부 저항으로 등가회로를 완성한다. 그 후 2.2.2절에서 Test Circuit 및 시뮬레이션 과정을 보여주며 Simulation 결과는 2.3절에서 검증하도록 하겠다. 결론에서는 검증한 내용을 바탕으로 본 논문에서 개발된 모델이 갖는 의미를 고찰해 보고자 한다.

2. 본 론

2.1 Static Induction Thyristor의 구조



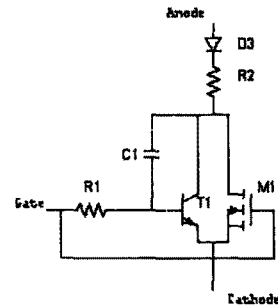
〈그림 1〉 SI Thyristor의 Unit Cell 구조

SI Thyristor의 SCR군에서 파생된 소자로서 기본 PNP의 4개 layer를 갖는다.[2] Gate에 인가되는 전압과 이때 생성되는 Gate 전류에 의해서 Turn On, Off를 제어할 수 있도록 제조된다. 이때 P+ Gate는 N-base에서

1) kwang@hanyang.ac.kr

여러 개의 gate를 가지는 구조이며 위의 그림은 두 개의 Gate를 갖는 Unit Cell이다. PNP 구조와 P⁺NN⁺ Diode가 결합하는 구조이므로 Steady state Turn on 상태에서는 Base region으로 전류가 대부분 흐르게 된다. 때문에 이때는 PIN diode의 구조가 Dominant하다.[1] 턴 오프 상태에서는 Gate와 Source 사이에 전압이 역방향으로 걸리게 되므로 Diode의 Reverse Bias와 같은 현상이다. 게이트 주위로 Depletion Region이 확대되면서 base를 락게 되면 전류가 흐르지 못한다.[4]

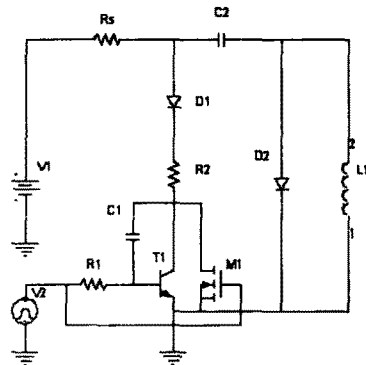
2.2 SI Thyristor의 모델링
2.2.1 Equivalent Circuit



〈그림 2〉 등가 모델

본 논문에서는 SI Thyristor의 모델을 BJT와 MOSFET으로 구성하였다. 그림1에서 Gate의 구조가 공핍층이 형성되는 최대거리를 기준으로 하여 다음 게이트의 영향을 무시한다면 하나의 게이트를 갖는 형태로 생각할 수 있다. Gate 전류 펄스를 베이스 전류라고 하면 온이 되었을 때, BJT의 컬렉터에서 이미터로 흐르는 전류는 N base에 흐르는 전류로 생각할 수 있다. Anode-Gate-Cathode로 흐르는 전류는 N채널을 갖는 NPN Enhancement MOSFET과 유사하다. 따라서 PNPN 접합을 통해 흐르는 전류는 다이오드를 통해서 NPN MOSFET으로 흐른다고 설명할 수 있다.[4] On 상태에서 Anode부터 Cathode까지의 전압강하는 R2 저항에 의해서 나타난다. C1은 Gate와 N-base 사이에 Depletion Region에 의해서 형성되는 Depletion Capacitance를 설명하는 소자이다. 턴 오프시에 Base에 저장되었던 다량의 전하가 게이트를 통해서 인출된다. R1은 게이트 내부 저항이다.

2.2.2 Simulation Circuit



〈그림 3〉 Pspice Simulation Circuit

Test 회로는 위와 같다. 370nF의 capacitor와 diode, 270nH의 Inductor로 구성된 Snubber 회로를 모델과 병렬 구성하였다. 일반적으로 다이오드는 R, Junction Capacitor 그리고 Diffusion capacitor로 모델링 할 수 있으므로

Simulation 과정에서는 RC 병렬회로로 대체할 수 있다.[5] V2에 인가한 전압은 voltage pulse로 -24v와 5v의 Range를 갖는다.

〈표 1〉 Simulation 조건

V1	DC 6kV	C1	20nF	T1	QbreakN
V2	Gate Voltage Pulse	C2	370nF	M1	MbreakN
Rs	10kΩ	L1	270nH		
R1	0.01Ω	D1	Dbreak		
R2	0.01Ω	D2	Dbreak		

〈표 2〉 Gate Voltage Pulse - Switching Condition

V1(on)	-24v	Rising Time	0s
V2(on)	+5v	Falling Time	0s
V1(Off)	+5v	Pulse Width	5us
V2(Off)	-24v	PER(Frequency)	500KHz
Delay Time	1us		

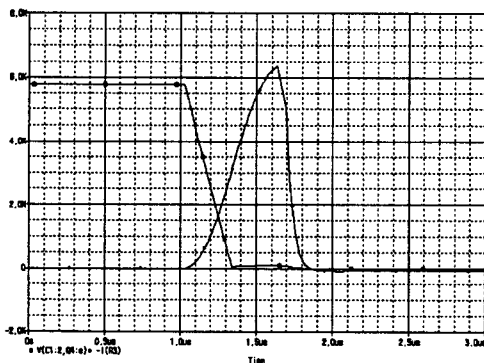
$$f = \frac{1}{2\pi\sqrt{L \times C}} = \frac{1}{2\pi\sqrt{370 \times 10^{-9} \times 270 \times 10^{-9}}} \approx 500KHz$$

2.3 Static Induction Thyristor의 특성

SI Thyristor Model이 전력용 반도체 스위치로서의 검증을 위해서 위의 circuit을 통해 Turn On, Off 파형을 해석해본다. 각각의 동작에서 SI Thyristor의 특성을 결과파형과 비교해 봄으로서 회로의 타당성을 분석해본다.

2.3.1 Turn On

Gate에 인가된 부전압을 제거하여 SI Thyristor를 도통시킬 수 있다. 부전압을 제거하면 Gate-Base 간 Depletion Region이 축소되므로 채널과 상관없이 도통이 이루어진다. 이때의 모델은 PIN diode의 특성과 매우 유사하다.[1]



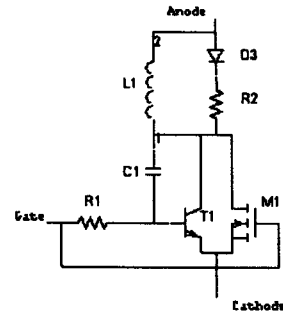
〈그림 4〉 Turn On시에 SITH양단의 전압과 전류 C1=20nF

0us부터 -24v 게이트 전압을 유지하다가 1us에서 +5v 게이트 전압에 의해 +전류가 흐르게 하면 dv/dt가 증가하는 것을 볼 수 있다. Gate-Source 간에 인가되는 정전압을 5v에서 50v까지 변화시켜 보았을 때 di/dt가 감소하는 slope가 커지고 따라서 Turn On Time이 더 짧아지는 결과를 확인할 수 있었다. Analytic Model에 비해 Turn On 특성에 있어서 동작특성을 예측하는 것이 가능한 것으로 판단된다. 측정된 파형을 기존의 실험논문과 비교했을 때 SI Thyristor의 스위칭 특성과 유사함을 알 수 있다.[6]

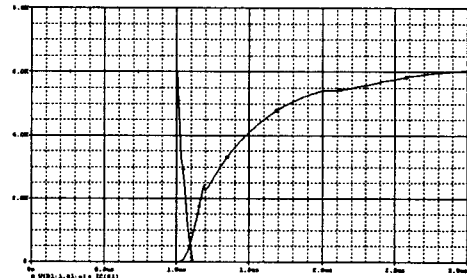
2.3.2 Turn Off

SI-Thyristor가 차단 동작(Turn off)을 하기 위해서는 아주 큰 음의 게이트 전류 펄스가 필요하다. 음의 게이트 전류가 가해지면 공핍층은 점점 채널쪽으로 확장되기 시작한다. 따라서 전위장벽이 채널 쪽에 형성 되서 전류의 통로인 채널이 좁아지고 채널의 파잉 캐리어를 제거시킨다.[2]

만약 게이트 전압이 충분히 크다면 게이트 주변의 공핍층은 채널 쪽으로 번져서 결국엔 채널 쪽의 전자 전류의 흐름을 차단(turn off)시킨다. 채널 전류의 제거는 또한 게이트와 캐소드 사이의 영역에 전자와 정공의 주입을 막는다.[2]



〈그림 5〉 Inductor를 추가한 Schematic



〈그림 6〉 Turn Off시에 SITH양단의 전압과 전류 L1=0.1uH

0us에서 +5v 게이트 전압을 유지하면서 1us에서 -24v의 게이트 전압으로 바꾸도록 설정하였다. -24v 게이트 전압으로 생성되는 음의 전류 펄스에 의해 Turn off 되는 특성을 Simulation 하였다. 이후에 dv/dt가 감소하면서 짧은 시간안에 zero current에 도달하고 di/dt는 6kV까지 올라간다. SI Thyristor 양단의 전압이 증가하는 과정을 더 잘 나타내기 위해서 Off simulation에서는 R2와 C1 사이에 L 소자를 고려하였다. 시뮬레이션 결과를 기존 논문의 실험파형과 비교해볼 때 SI Thyristor의 스위칭 특성과 유사함을 발견할 수 있다.[6]

3. 결 론

Analytic Model과는 달리 SI Thyristor에서 전류가 흐르는 Path를 두 가지로 보는 구조적 특징과 스위칭 동작원리에 부합하는 간략화된 등가모델을 개발하였다. 등가모델을 C와 L소자로 구성된 스너버 회로에 결합시켜 시뮬레이션해봄으로서 기존의 실험논문과 비교했을 때 온/오프시에 dv/dt, di/dt 파형이 스위칭 과도응답 특성을 나타내는 것을 알 수 있었다. 그러나 시뮬레이션 파형에서 볼 수 있듯이 현 모델은 Turn On 이후 Off로 돌아갈 때 Current Recovery를 잘 설명할 수 없다는 한계점을 가지고 있다.[4] 따라서 다음과 같은 결론이 가능하다.

- 1) PIN 다이오드와 결합한 BJT, MOSFET 회로는 SI Thyristor의 스위칭 특성을 보여주므로 등가모델로 적합하다.
- 2) Current Recovery에 대한 추가적인 연구가 진행된다면 SI Thyristor의 스위칭 과도응답을 더욱 잘 예측할 수 있는 모델이 완성될 수 있다.

〈참 고 문 헌〉

- [1] 최신헌전자 대영사 김복권
- [2] Jue Wang and Barry W. Williams "A New Static Induction Thyristor (SITH) Analytical Model", IEEE Trans, VOL. 14 NO. 5 SEPTEMBER 1999
- [3] D. Metzner and D. Schröder "A SITH-model for CAE in power-electronics" Proceeding of 1990 International Symposium on Power Semiconductor Device & ICs, Tokyo, pp204-210
- [4] Power Electronics 3/E willy Mohan, Undeland
- [5] Antonio G. M. Strollo "A New SPICE Model of Power P-I-N Diode Based on Asymptotic Waveform Evaluation" IEEE Trans VOL 12. NO 1. JANUARY 1997.
- [6] Shinji Ibuka, Kazumari Saito, Akira Yamamoto, Kenta Hanibuchi, Koichi Yasuoka, and Shozo Ishii, Naohiro Shimizu "SI-THYRISTOR AS HIGH POWER SWITCHING DEVICE FOR FAST HIGH VOLTAGE PULSE GENERATORS" IEEE trans 1997
- [7] Chuck Wong "EMTP Modeling of IGBT Dynamic Performance for Power Dissipation Estimation" IEEE Trans VOL 33. NO 1. JANUARY/FEBRUARY 1997
- [8] Masa-aki Fukase "A Circuit Simulator of the SITH" IEEE Trans VOL 7. NO. 3 JULY 1992