

Gate 구동 회로를 집적한 TFT-LCD에서 a-Si:H TFT의 온도에 따른 Instability 영향

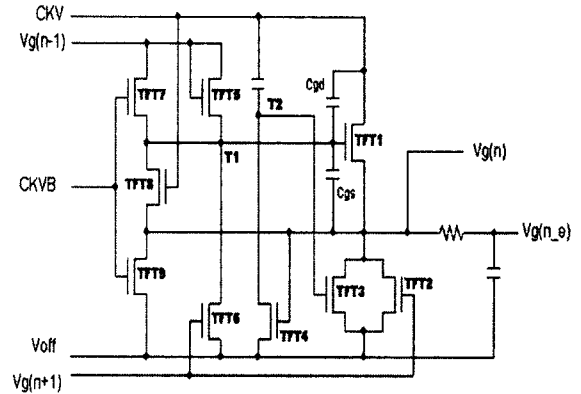
이범석, 이준신  
성균관대학교 정보통신공학부

a-Si:H in TFT-LCD that integrated Gate driver circuit  
: Instability effect by temperature

Bumsuk Lee and Junsin Yi  
School of Information and Communication Engineering, Sungkyunkwan University

**Abstract** - a-Si(amorphous silicon) TFT(thin film transistor)는 TFT-LCD(liquid crystal display)의 화소 스위칭(switching) 소자로 폭넓게 이용되고 있다. 현재는 a-Si를 이용하여 gate drive IC를 기판에 집적하는 ASG(amorphous silicon gate) 기술이 연구, 적용되고 있는데 이때 가장 큰 제약은 문턱 전압( $V_{th}$ )의 이동이다. 특히 고온에서는 문턱 전압의( $V_{th}$ ) 이동이 가속화 되고,  $I_{off}$  current가 증가 하게 되고, 저온( $0^{\circ}C$ )에서는 전류 구동능력이 상온( $25^{\circ}C$ ) 상태에서 같은 게이트 전압( $V_g$ )에 대해서 50% 수준으로 감소하게 된다. 특히 ASG 회로는 여러 개의 TFT로 구성되는데, 각각의 TFT가 고온에서  $V_{th}$  shift 값이 다르게 되어 설계시 예상하지 못한 고온에서의 화면 무너짐 현상 즉 고온 노이즈 불량이 발생 할 수 있다. 고온 노이즈 불량은 고온에서의 각 TFT의 문턱전압 및  $I_D-V_G$  특성을 측정한 결과 고온 노이즈 불량에 영향을 주는 인자가 TFT의 width와 기생 capacitor의 hold TFT width가 영향을 주는 것으로 실험 및 시뮬레이션 결과 확인이 되었다. 발생 mechanism은 ASG 회로는 AC 구동을 하기 때문에  $V_{off}$  전위에 ripple이 발생 되는데 특히 고온에서 ripple이 크게 증가 하여 출력 signal에 영향을 주어 불량이 발생하는 것을 규명하였다.

하여 각각의 조건에 대한 문턱전압 이동 및 T1 노드의 AC 구동에 따른 ripple을 예측할 수 있다.



〈그림 1〉 a-Si:H를 이용한 시프터 레지스터 회로도

1. 서 론

유리 기판에 a-Si:H TFT로 gate를 집적하는 기술은 제조에 드는 비용 절감과 슬림화를 가능하게 하는 기술이다. 하지만 공정상의 문제와 시간에 따른 문턱전압( $V_{th}$ )이동이 제약으로 작용해왔다. 최근까지 a-Si의 문턱 전압 이동에 대해서 많은 연구 활동이 이루어져 왔다.[1],[2] a-Si에서 문턱전압 이동은 두가지 모델이 제시되어 있는데 a-SiNx:H로의 charge trapping과 a-Si:H 박막이나 a-Si:H/a-Si:Hx:H 계면근처에서 dangling bond발생으로 기인한 defect의 증가가 그 원인이다 [1]. a-Si TFT의 gate에 전압을 인가하면 시간에 따른  $I_D-V_G$  특성 곡선이 positive전압 인가시 오른쪽으로 이동하고 negative전압에서는 왼쪽으로 이동한다. 펄스 형태의 gate stress에 대해서는 bias 크기, 온도, 시간뿐만이 아니라 펄스의 duty cycle, 주파수에도 영향을 받게 되는데 ASG 적용되는 TFT의 duty cycle ( $\approx 0.5$ )는 화소에 사용되는 TFT의 duty cycle( $\approx 0.001$ )대비 매우 크게 된다. 이는 문턱전압 이동에 취약한 특성을 나타내게 하고 각 ASG TFT의 duty비가 다르므로 설계시 각 TFT의 width/length 및 문턱전압의 이동에 대한 고려가 필요하다. 특히 일 반적으로 TFT-LCD의 구동 온도 보충 영역이 저온( $0^{\circ}C$ )에서 고온( $50^{\circ}C$ )까지 보증해야 하므로 온도에 따른 a-Si TFT의 특성 및 instability가 중요하게 되었다.

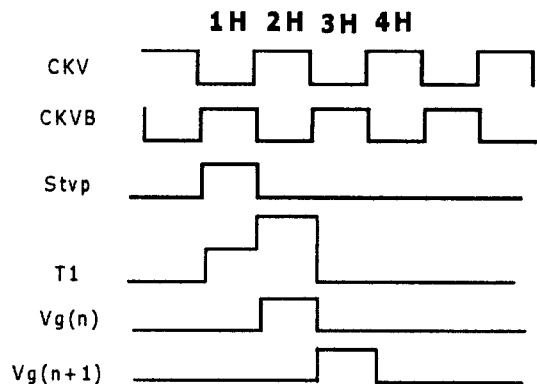
본 논문에서는 특히 고온에서의 a-Si:H gate의 문턱전압 이동을 연구하여, 고온에서 발생하는 화면 무너짐 현상 즉 고온 노이즈 불량에 대한 mechanism 규명과 개선 방안에 대해서 논하고자 한다.

2. 본 론

2.1 ASG(amorphous silicon gate) 구동 회로

그림 1은 실험에 사용된 a-Si:H gate TFT 회로이다. 1개의 시프터 레지스터는 총 9개의 TFT로 이루어져 있다. CKV와 CKVB는 gate line의 홀수 또는 짝수열에 입력되어 gate TFT를 동작시키는 clock과 출력 level을 결정한다. 기능면에서는 2개의 main TFT(TFT1,TFT5)와 출력을 reset시키기 위한 TFT(TFT2,TFT6) 그리고 출력 파형의 특성 안정화를 위한 보상회로로 구성되어 있다. Gate출력을 제어하는 T1단자는 TFT1의 gate에 연결되어 있으며 TFT1은 CKV(또는 CKVB)와  $V_g(n)$  사이에 연결되어 해당시간에 CKV를 출력으로 내보내는 역할을 한다. TFT2과 TFT6은  $V_g(n+1)$  에 동기되어 gate 출력과 T1 노드에  $V_{off}$  level을 유지하게 한다. Cgd에 의해 T1 노드에 ripple이 coupling되는 것을 방지하기 위해 TFT7,TFT8이 CKVB(또는 CKV)에 번갈아 동기되어 T1 노드를 안정화시킨다. TFT3과 TFT9번도 gate 출력파형 보상을 위해 사용된다. ASG가 기존 gate drive IC와 가장 큰 차이점은  $V_{off}$  전위를 유지하기 위해 CKV 또는 CKVB와 동기되어 AC구동을 한다는 것이다. 따라서 AC구동에서의 문턱전압 이동에 대한 모델링을 적용

그림 2는 gate회로 n번째 단의 입출력 신호를 나타내었다.  $V_g(n-1)$  신호가 인가되면 첫 번째 시프터 레지스터의 latch회로가 set되어 TFT1에 연결되고 T1노드는  $V_g(n-1)$ 과 CKV(또는 CKVB)에 의해 TFT1을 동작시키고 이에 따라 CKV(또는 CKVB) 신호가 그대로 출력에 연결되어  $V_g(n)$  출력을 만들어낸다. 이어서 같은 원리로 두 번째 S/R단에서  $V_g(n+1)$ 신호가 생성되면 첫 번째 시프터 레지스터단이 reset되고 이후  $V_g(n)$ 은 hold TFT를 동작시켜  $V_g(n+1)$ 이후에는  $V_{off}$  상태를 유지하게 한다.



〈그림 2〉 a-Si:H gate TFT의 입/출력 timing

3. 실험 결과

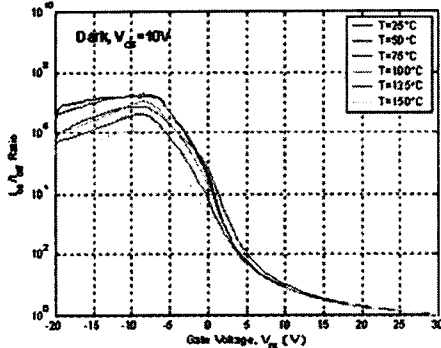
3.1 고온에서 a-Si:H TFT  $I_D-V_G$  특성

온도에 따른 a-Si:H TFT의  $I_D-V_G$  특성 curve 측정을 통하여 고온에서 발생하는 화면 무너짐 현상에 대한 원인을 규명하고자 한다. 측정방법은 ASG TFT중 gate 출력 TFT1 W/L 7000,  $V_D$  10V로 하고, 온도는  $25^{\circ}C$ 에서  $150^{\circ}C$ 까지 각각의  $I_D-V_G$ 특성 curve를 측정하였다. 측정 결과 온도가 올라 갈수록  $I_D-V_G$ 특성 curve가 negative 방향으로 이동하는 경향이 있어서  $I_{off}$  current가 증가 하게 된다. 즉 Von current 보다는 Voff current가 크게 증가하는 것

으로 측정 되었다. 따라서 온도에 따른 On-Off 전류 비율은 온도가 증가하면 감소하는데 Off current가 온도가 증가함에 따라서 활성화되기 때문이다. 온도에 따른 On-Off 전류 비율 관계는 다음과 같이 기술되어 있다

$$\frac{I_{on}}{I_{off}}(T) \approx \frac{I_{on}}{I_{off}}(T_o) \exp \left[ \frac{E_a}{K_B} \left( \frac{1}{T_o} - \frac{1}{T} \right) \right] \quad (1)$$

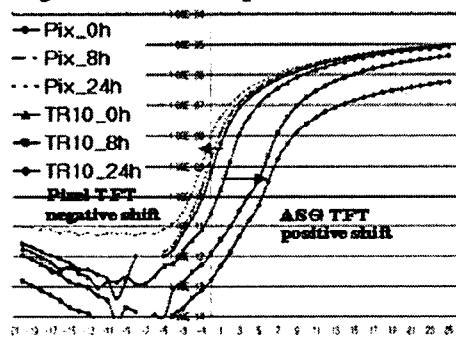
일반적으로 a-Si:H TFT activation energy(Ea)가 약 0.7eV<sup>2</sup> 정도이기 때문에 On-Off 전류 비율은 온도가 증가하면 감소하게 된다.[5]



〈그림 3〉 Ion/loff 온도 의존성

실제 LCD 제품을 고온 구동 후에 ID-VG 특성 곡선을 측정하였다. 일반적으로 LCD업체에서는 aging을 50°C에서 2-8hr 정도 하기 때문에, 실험은 50°C실제 구동 후에 초기 및 8hr, 24hr에서 ID-VG 특성 곡선을 pixel TFT와 ASG TFT를 측정하였다. 측정 결과 pixel TFT에 경우에는 negative 방향으로 이동 하지만, ASG TFT에 경우에는 positive로 이동하는 것을 알 수 있었고 문턱전압도 ASG TFT에 경우에는 24hr에서 약 8.7V 정도 이동하였다.

Id-Vg curve shift of an amorphous silicon TFT at 50°C



〈그림 4〉 Pixel TFT & ASG TFT ID-VG 특성 곡선

### 3.2 고온 노이즈 불량 Mechanism

실험 결과를 통해서 고온에서는 Ioff current가 증가하는 것과 고온 구동 후에 a-Si TFT의 특성인 문턱전압(Vth) 이동이 pixel TFT와 ASG TFT가 상이하게 발생 되는 것을 확인하였고, 특히 ASG TFT의 문턱전압의 이동이 큰 것으로 확인 되었다. 따라서 불량 mechanism은 a-Si:H TFT gate의 기존 gate drive IC와 가장 큰 차이점이 Voff 전위를 유지하기 위해 CKV 또는 CKVB와 동기 되어 AC구동을 하기 때문에 기생 capacitor에 의한 Voff 전위에 ripple이 발생 한다. 초기에는 발생 되는 ripple에 경우 hold 해주는 TFT가 있어 ripple의 값이 크지 않지만, 고온 구동에 따른 stress에 의해 문턱전압의 이동이 급속하게 일어나 hold TFT의 성능이 떨어지게 되고, 또한 고온에는 각 TFT의 Voff leakage current값이 증가 하게 되어 Voff ripple이 더 증가하게 된다. 일단 ripple이 발생하기 시작하면 이 ripple이 다음 gate단에 영향을 미치는 cascade 구조가 되어 증폭 과정을 거치면서 최종 단계에서는 TFT가 On 신호로 오인하여 노이즈가 화면에 보여지게 된다.

### 3.3 고온 노이즈 해결 방안

고온 노이즈 불량은 기생 capacitor에 의한 gate단 ripple 발생이 원인이므로 우선 TFT1 width 감소를 하게 되면 기생 capacitor가 줄어들어 ripple량이 감소하게 될 것이고, 다른 방안은 hold TFT7의 width를 증가 시켜서 ripple의 양을 줄이는 방안이 있다. 우선 gate 출력 TFT1의 width를 split하여 고온 노이즈 발생 여부

를 검증하였다.(표 1) 평가 결과 width가 작을수록 고온노이즈 불량이 발생하지 않는 것을 알 수 있었다.

〈표 1〉 TFT1 width에 따른 고온 노이즈 불량 발생 결과

구분	Split A	Split B	Split C	Split D
TFT1 width(μm)	7400	5500	4500	3500
고온Noise	발생	발생	미발생	미발생
평가 결과	5/5매	2/5매	0/5매	0/5매

a-Si:H TFT를 이용한 gate drive IC의 모델링을 통해서 AIM-SPICE를 이용하여 시뮬레이션한 결과 ASG TFT1 width를 21% 감소 할 경우 ripple이 25%씩 감소하는 것을 확인 하였다. 그러나 ASG TFT1 width를 축소하게 되면, 저온에서 TFT의 Ion 값이 작아져서 gate을 turn on 시키기에 부족하게 되어 저온 구동 불량 발생되기 때문에 TFT1 width의 최적화가 필요하게 된다. 다른 개선 대책으로 hold TFT7의 width를 증가 하여 CKVB coupling의 양을 크게 하여 상대적으로 CKV에 의한 ripple을 억제 할 수 있다. hold TFT7 width를 split하여 고온 노이즈 발생 여부를 검증하였다.

〈표 2〉 Hold TFT7 width에 따른 고온 노이즈 불량 발생 결과

구분	Split A	Split B	Split C	Split D
Hold TFT7 width(μm)	25	300	500	900
고온Noise	발생	발생	발생	미발생
평가 결과	4/5매	2/5매	1/5매	0/5매
Simulation ripple(V)	1.77	0.63	0.6	0.53

hold TFT7 width split에 따른 gate ripple 시뮬레이션 측정 결과도 hold TFT7 width 증가시 gate ripple을 감소 시켜서 고온 노이즈 불량을 개선하는 효과가 있는 것을 판명 되었다.

## 4. 결 론

a-Si을 이용하여 gate drive IC를 기판에 집적하는 ASG (amorphous silicon gate) 기술이 연구, 적용되고 있는데 이때 가장 큰 제약은 문턱 전압의 이동이다. 특히 고온에서는 문턱전압 이동이 가속화 되고, Ioff current가 증가 하게 된다. 따라서 고온에서 TFT 특성 변화에 따라서 설계시 예측하지 못한 불량이 발생하는데 그것이 고온 노이즈 불량이다.

고온 노이즈 불량은 gate단에 ripple이 고온에서 Ioff 증가로 인해서 커져서 불량 발생하는 것으로, ripple에 관련된 영향 인자는 설계적으로 ASG TFT width를 최적화 하는 방법과, a-Si:H, SiNx 박막 특성(공정산포), TFT channel length가 영향을 주는 인자이다. 설계적으로 고온 노이즈 개선 방안은 gate 출력 width 감소 시켜 기생 capacitor 비율을 최소화 하여 ripple을 감소시키는 방안이다. 그러나 저온 구동 마진과 관련 되어 있기 때문에 width 축소는 한계가 있기 때문에 추가적으로 hold TFT7 width를 증가 시킬 경우 ripple이 감소하게 된다. 실험적으로 gate 출력 TFT1과 hold TFT7의 width비율 약 7:1로 하는 것이 고온/저온 구동시 불량이 발생하지 않는 것을 알 수 있었다.

향후에는 a-Si:H, SiNx 박막 특성, TFT length에 의한 ASG TFT의 고온/저온에서의 특성에 대한 연구가 이루어져야 한다.

## 〔참 고 문 헌〕

- [1] M. J. Powell, "The physics of amorphous-silicon thin-film transistors," IEEE Conf. on Electron Devices, Vol. 36, No. 12, pp. 2753-2763, December 1989.
- [2] Shah M, et al. "Threshold voltage instability of amorphous silicon thin film transistors under constant current stress", Appl.Phys.lett. Vol 87, 2005
- [3] C. Chiang and J. Kanicki, "Electrical instability of hydrogenated amorphous silicon thin-film transistor for active-matrix liquid-crystal display," Jpn J. Appl. Phys., Vol. 37, No. 9A, pp. 4704-4710, September 1998.
- [4] H. Lebrun, N. Szydlo, and E. Bidal, "Threshold-voltage shift of amorphous-silicon TFTs in integrated drivers for active-matrix LCDs," SID, pp. 539-542, 2003.
- [5] M.S.Shur, et al., Analytical Models for a-Si and Poly-Si TFTs for High Definition Display Technology, J.of SID., vol. 3/4, pp.223-235, 1995