

45 nm 테크놀로지와 그 이후를 위한 금속계 나노 박막의 원자층 증착법 ALD of metal nanofilms for 45 nm technology and beyond

김형준[†]

포항 공과 대학교 신소재공학과

(hyungjun@postech.ac.kr[†])

향후 10 여 년의 소자의 성공적인 스케일링을 위한 다양한 재료의 새로운 공정에 관련하여 gate stack 과 배선공정은 기술적 창의성이 요구되는 중요 분야라 할 수 있다 이러한 응용에 있어 새로운 금속의 박막과 그에 대한 새로운 공정 법의 개발 및 연구가 과거 어느 때 보다 절실하다고 할 수 있다 특히 소자의 스케일링이 50 nm 이하로 진입함에 따라 금속 박막 증착에 관한 연구는 높은 단차 피복성, 저온 박막 증착, 대면적에의 균일성에 중점을 두는 연구로 관심의 전환이 이루어 지고 있다. 이러한 점을 고려할 때, 원자층 증착 (Atomic layer deposition)은 나노스케일의 소자 공정 관련 금속 박막성장에 있어서 중요한 역할이 기대되고 있다 원자층 증착은 우수한 단차 피복성과 더불어 원자 단위에서의 두께 및 조성의 조절이 용이하여 최근 소자 제조 공정에 많은 관심을 불러 일으키고 있다 본 발표에서는 금속계 나노 박막 증착에 관련된 현재 기술의 문제점과 향후 기술 발전에 대한 전반적인 소개와 더불어 PVD 및 CVD 를 포함하는 전통적인 증착 방법에 대한 원자층 증착 방법의 비교에 관해 논의될 것이다 특히 금속 게이트, 메모리용 커패시터 전극 및 확산 방지막/seed 막에 관해 중점적으로 논의 될 것이다