

550W급 PDP용 고효율 전원 장치에 관한 연구

원기식*, 안태영*, 박노성**, 조인호**

*청주대학교 전자공학과. **동양계전공업(주) 전원연구소

A study on the high efficiency power supply for 550W class PDP

Ki-Sik Won*, Tae-young Ahn*, No-soung Park**, In-ho Cho**

*Dept. of Electronics Eng., Cheongju Univ. **Dongyang Instrument Ind. Co., Ltd

ABSTRACT

Recently, the PDP is the most remarkable media for a next generation display device. But the PDP is a high power consumption device. It is to required a high efficiency power supply. We reported the experimental result the high efficiency PDP power supply for 550W class. The proposed converter is quasi-resonant flyback topology, it achieves soft-switching in the single-switch flyback converter. As a result, we realize to very high efficiency power supply for PDP of 95% at 400V dc input and 550Watt output.

1. 서 론

최근 세계 각국의 본격적인 디지털 방송 가시화에 따른 시장 환경의 조성과 국내 기업들의 경쟁력으로 볼 때 디지털 TV는 차세대 중심 디스플레이 조건을 가지고 있다. 디지털 TV의 대표적인 표시 장치로는 TFT LCD, ELD, PDP 등이 있으며, 그 중에서 차세대 디스플레이용으로 대형 화면에서 가장 주목을 받고 있는 PDP(Plasma display panel)는 고전압 방전을 이용한 평면 표시 장치로 넓은 시야각을 가지고 있으며, 박형 제작과 대형화, 고화질의 화면을 가능하게 하고, 다양한 멀티미디어 환경에 빠르게 대응 할 수 있는 차세대 디스플레이 능력을 가지고 있다.

그러나 PDP 제품의 제조가격이 다른 제품군에 비해서 상대적으로 높고, 패널의 특성 상 소비전력이 높아서 42인치 기준으로 500W급 이상의 전원장치를 사용하는 것이 일반적이다. 이러한 문제를 해결

하기 위해서는 전원장치의 제조가격을 낮추고, 전력변환효율을 높일 필요가 있다[1].

본 논문에서는 차세대 디스플레이 중에서 넓은 시야각과 우수한 색감, 큰 명암비 등의 장점을 갖추고 있는 550W급 AC PDP용 전원장치에 공진형 플라이백 회로를 적용하여 그 결과를 보고한 것이다. 기본 회로로 사용된 공진형 플라이백 회로방식은 구성 소자수가 적고 제조가격을 낮출 수 있으며 기본적으로 주스위치 소자가 소프트 스위칭을 하고 있기 때문에 스위칭 손실이 낮아서 전력변환 효율을 높일 수 있다는 장점이 있다. 실험결과 본 논문에서 적용한 공진형 플라이백 컨버터는 스위칭 손실이 가장 작은 지점에서 스위칭 시키는 소위 "valley switching" 기법이 사용되었으며, 최대 95% 이상의 높은 전력변환 효율을 달성할 수 있었다.

2. 전류 불연속 모드 플라이백 DC-DC 컨버터

그림 1에서는 플라이백 DC-DC 컨버터의 내부의 기생요소를 고려한 등가회로를 나타내었다[2].

그림 2에서는 스위치와 다이오드의 상태에 따른 상태별 등가회로를 나타낸 것이다. 각 상태별 동작 설명은 다음과 같이 간단하게 설명된다.

우선, 그림 2(a)에서 주스위치 Q가 제어 신호에 의해서 온 되면 아래의 수식(1), (2)와 같이 변압기에서 유도된 전류와 전압을 구할 수 있다.

$$I_L(t) = \frac{V_S}{L_p}(t-t_0) + I_L(t_0) \quad (1)$$

$$V_D(t) = I_L(t)(R_{SENSE} + R_{DS(Q)}) \quad (2)$$

그림 2(b)에서 주스위치 Q는 오프 되면 Q를 통하여 흐르던 전류 i_m 은 주스위치 Q의 기생커패시터 C_S 로 흐르면서 에너지를 충전하고, 공진회로를 구성한다. 따라서 수식 (3), (4)와 같이 공진회로의 유도전류, 전압을 계산할 수 있다.

$$I_L(t) = V_S \sqrt{\frac{C_S}{L_P}} \sin \alpha(t-t_1) + I_L(t_1) \cos \alpha(t-t_1) \quad (3)$$

$$V_D(t) = I_L(t_1) \sqrt{\frac{L_P}{C_S}} \sin \alpha(t-t_1) - V_{IN}(t_1) \cos \alpha(t-t_1) \quad (4)$$

그림 2(c)에서 1차측에 축적된 에너지는 2차측으로 유도되고 유도된 에너지는 2차측 다이오드 D_F 를 온 시킨다. 따라서 아래의 수식(5), (6)과 같이 유도 전류와, 전압 구할 수 있다.

$$I_L(t) = -\frac{nV_{\alpha T}}{L_P}(t-t_2) + I_L(t_2) \quad (5)$$

$$V_D(t) = V_{IN} + nV_{\alpha T} \quad (6)$$

그림 2(d)에서 2차측 다이오드 D_F 는 오프 되고, 1차측 주스위치 Q의 기생커패시터 C_S 를 충전시키며, 공진을 형성하면서 스위칭 손실을 저감 시킨다. 수식(7), (8)에서 유도 전류와 전압을 계산할 수 있다.

$$I_L(t) = -nV_{\alpha T} \sqrt{\frac{C_D}{L_P}} \sin \alpha(t-t_3) \quad (7)$$

$$V_D(t) = V_{IN} + nV_{\alpha T} \cos \alpha(t-t_3) \quad (8)$$

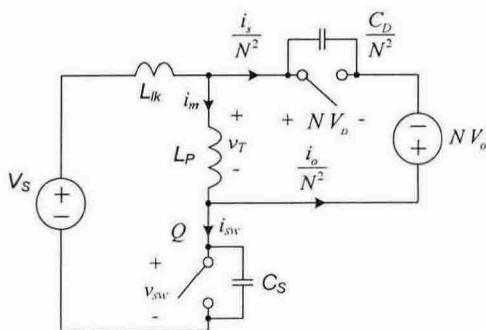


그림 1. 등가회로
Fig 1. Equivalent circuit

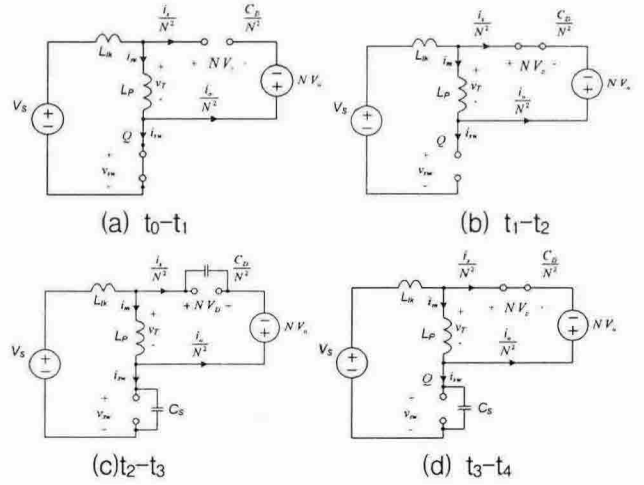


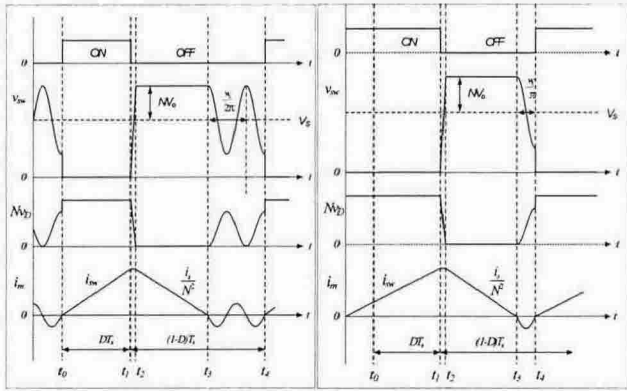
그림 2. 각 상태별 이론 등가 회로
Fig 2. Equivalent circuit for states of behavior

3. 공진형 플라이백 DC-DC 컨버터

그림 3의 등가회로로부터 플라이백 컨버터가 전류 불연속으로 동작하는 경우 스위치는 그림 2(d)와 같이 전류불연속 구간에서는 스위치의 전압이 기생 요소에 의해서 공진하게 되고 이때 스위치가 다시 턴온이 개시되는 지점에 따라서 스위칭 손실이 변하게 된다. 즉 스위치의 전압과 전류가 공진하는 경우 적절하게 스위칭 시간을 제어하여 스위치에 걸리는 전압이 최소가 되는 시점에서 턴온 하게 되면 스위칭 손실을 최소화 시킬 수 있다. 최근 이러한 스위칭 방식을 'Valley switching' 또는 'Quasi resonant switching'이라고 한다.

그림 3은 밸리 스위칭을 적용하였을 경우, 회로의 이론 동작파형을 나타낸 것이다. 그림 3(a)는 경부하시의 동작 파형을 나타내고, 그림 3(b)는 최대 부하시의 동작 파형이며, 출력 전력이 증가함에 따라서 전류 불연속 구간에서 변압기의 1차측 인덕터 L_p 와 주스위치 Q의 병렬 커패시터 C_s 가 공진하는 경우, 스위치전압의 최저점은 $V_i - V_o(N_1/N_2)$ 로 결정할 수 있다. 즉, 스위치의 입력전압이 최저점에서 턴 온 되면, 전류가 완전히 0으로 떨어진 다음 주스위치 Q가 스위칭을 함으로 손실이 저감 된다는 것을 알 수 있다. 스위치의 전압이 최저이기 위한 조건은 다음 식(9)과 같다.

$$V_0 \cdot \left(\frac{N_1}{N_2}\right) \geq V_i \quad (9)$$



(a) Light load (b) Full load

그림 3. 이론 동작 파형
Fig. 3. Theoretical waveform

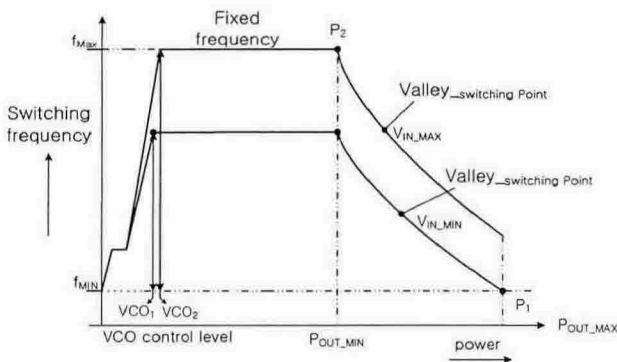


그림 4. 동작 주파수 특성
Fig. 4. Characteristic of operational frequency

그림 4는 입력전압과 출력전력에 따른 공진주파수 동작을 특성을 나타내고 있다. 출력전력이 적고 입력전압이 높을수록 높은 스위칭 주파수 동작을 수행하고 출력전력이 높고 입력전압이 적을수록 낮은 스위칭 주파수 동작을 수행하여 출력전압을 제어하므로 출력과 입력전압에 따라 스위칭 주파수가 제어된다는 것을 알 수 있다.

4. 실험 결과

공진형 DC-DC 컨버터의 전기적 특성을 검토하고 실용성을 확인하기 위해 표 1과 같은 전기적 사양을 갖는 시험용 전원장치를 구성하였다. PDP용 전원장치는 일반적으로 역률 개선회로인 PFC를 사용하는 Two stage 방식을 사용하기 때문에 전원장치의 입력전압은 400V로 하였으며, 컨버터의 높이를 낮추기 위해 2개의 변압기를 사용했고, 출력전압은 서스테인용에 적합하도록 200V로 설계하였으며, 출력전력은 최대 550W급으로 하였다. 그림 5에

는 실험에서 사용된 시험회로의 기본 구성방법을 나타낸 것이다.

표 1. 실험 회로의 설계 사양
Table 1. Specifications of experimental circuit

Parameter	Value	Unit
Input Voltage	400	V
Output Voltage	200	V
Maximum Load Current	2.7	A
Maximum Power	550	W

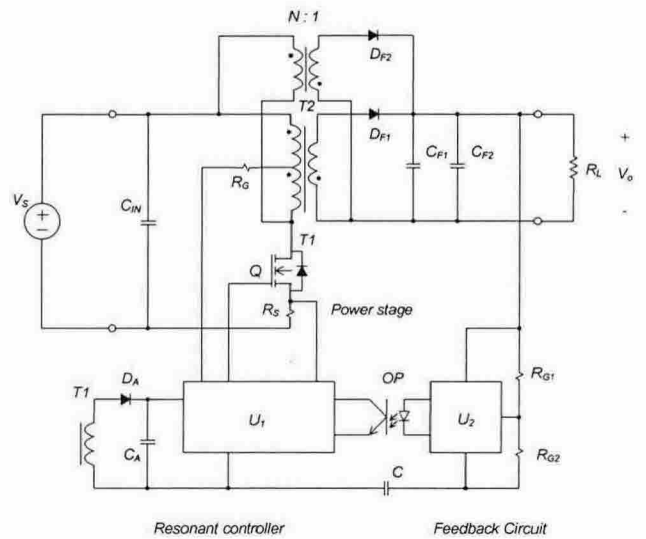


그림 5. 실험 회로
Fig. 5. Experimental circuit

그림 6에서는 실험회로를 동작시키고, 출력전력에 따른 각 주요소자의 전압과 전류 파형을 보여주고 있다. 그림 6으로부터 알 수 있듯이 주 스위치 파형으로부터 스위칭 손실이 가장 적은 점에서의 밸리 스위칭 동작을 보여주고 있고, 2차측 다이오드는 1차측의 공진동작 후에 스위칭 된다는 것을 확인할 수 있었고, 주스위치의 드레인-소스 간 전류 파형으로부터 전압이 0으로 떨어진 후 전류가 흐름으로써 그림 5의 이론 파형과 비교적 잘 일치하고 있다는 것을 알 수 있다.

그림 7(a)에서는 실험회로의 전력변환 효율을 측정하여 그래프로 나타내었다. 그림에서 알 수 있듯이 전체적으로 중 부하 이상 최대출력까지 95%이상의 고효율을 나타내고 있다. 그림 7(b)에서는 전력손실과 그림 7(c)에서는 스위칭 주파수 동작 특성을 나타내었다.

그림 8은 커패시터 부하 기동시의 특성이며, 이는 PDP 서스테인 구동 특성이 커패시터와 비슷하므로 시험용 전원 장치의 실용성을 검증하기 위한 시험이며 최대부하 기동 시 안정된 상태를 보여 주고 있음을 알 수 있다.

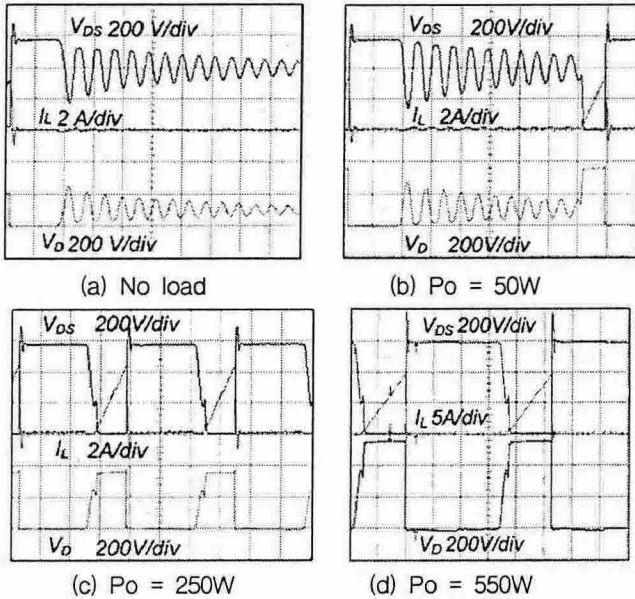


그림 6. 실험 파형
Fig 6. Experimental waveform

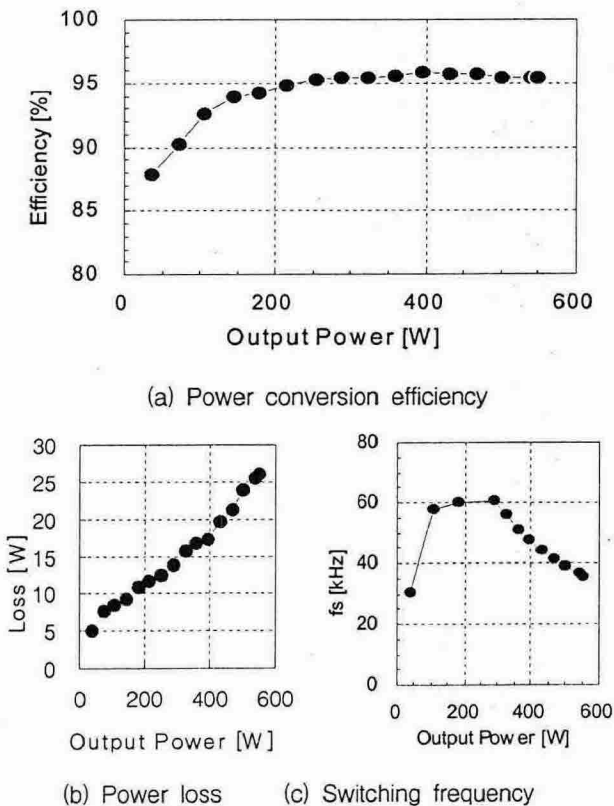


그림 7. 실험 측정 결과
Fig 7. Experimental result

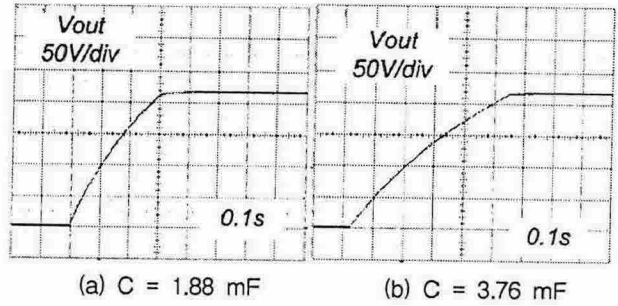


그림 8. 커패시터 부하의 기동 특성
Fig 8. Switch on characteristics at a capacitor load

5. 결론

본 논문에서는 차세대 디스플레이 중에서 넓은 시야각과 우수한 색감, 큰 명암비 등의 장점을 갖추고 있는 AC PDP용 전원장치에 공진형 플라이백 회로를 적용하여 그 결과를 보고한 것이다. 기본 회로로 사용된 공진형 플라이백 회로방식은 구성 소자수가 적고, 제조가격을 낮출 수 있으며 기본적으로 주스위치 소자가 소프트 스위칭을 하고 있기 때문에 스위칭 손실이 낮아서 전력변환 효율을 높일 수 있다는 장점이 있다.

특히, 본 논문에서 적용한 공진형 플라이백 컨버터는 스위칭 손실이 가장 작은 지점에서 스위칭 시키는 소위 '밸리 스위칭' 기법을 사용하였으며, 그 결과 550W급 시제품에서 최대 95% 이상의 높은 전력변환 효율을 달성할 수 있었다. 또한, 커패시터 부하조건에서의 출력 기동특성도 안정됨을 알 수 있었다.

본 연구는 산업자원부·한국산업기술 평가원 지정 청주대학교 정보연구센터의 지원에 의한 것입니다.

참고 문헌

- [1] 주정규, 안태영 "소프트 스위칭 방식의 PDP용 DC-DC 컨버터", 전력전자 하계학술대회, 제2권 2호, pp. 45-48, 2003, 7
- [2] 강원석, 안태영 "높은 전력 변환 효율을 갖는 PDP용 DC-DC 컨버터", 전력전자 하계학술대회, 제 1권 2호, pp. 369-373, 2004, 7