

Multi-level을 사용한 PDP 구동회로를 위한 Gate driver 의 Boot-strap chain 에 관한 연구

남원석, 김준형, 송석호, 노정욱, 홍성수, 사공석진
 국민대학교 전자공학과

A study on gate driver with Boot-strap chain to drive Multi-level PDP driver application

Won-seok Nam, Jun-hyoung Kim, Suk-ho Song, Chung-wook. Roh,
 Sung-soo Hong, Suk-chin Sakong
 Kookmin Univ . Electronics

ABSTRACT

A gate driver with Boot-strap chain is proposed to drive Multi-level PDP sustain switches. The proposed gate driver uses only one boot-strap capacitor and one diode per each MOSFETs switch without floating power supply. By adoption of this gate driver circuits, the size, weight and the cost of the driver board can be reduced.

1. 서론

최근 디스플레이 업체들은 20인치에서 60인치사이의 벽걸이형 TV로 플라즈마 디스플레이를 많이 사용하여왔다.^[1] 플라즈마 디스플레이 장치의 장점으로서는 LCD 에 비해 밝은 화면을 얻을 수 있고, LCD 나 Projection 방식에 비해 수명이 길 뿐만 아니라 시야 각이 매우 넓다. 또한 플라즈마 디스플레이는 충격과 외부 자기에 거의 영향을 받지 않으며 온도 특성 또한 매우 우수하며 제조공정이 CRT 공정과 공통되는 부분이 많아 현재 CRT 공정의 많은 부분을 그대로 사용할 수 있다는 장점이 있다.^[2] 단점으로는 높은 소비 전력과 높은 가격으로서 보급형 플라즈마 디스플레이 시장 형성에 가장 큰 걸림돌로 작용한다. 높은 소비 전력은 주로 패널의 낮은 발광 효율(1m/W)에 기인한다. 그래서 현재 플라즈마 디스플레이 패널은 발광효율을 높이기 위해 Xe 가스 함량을 높이고 Long-gap discharge 의 패널구조 갖게되어 필요한 Sustain 전압은 점점 상승하고 있다. 이렇게 됨에 따라 높은 전류와 높아지는 내압을 견디는 스위치 소자를 사용해야하는데 이러한 소자의 선택은 어려우며 단가 또한 상승한다.^{[3][4]}

다음 그림 1은 제안된 회로로서 Multi-level을 사용한 PDP Sustain 구동회로와 Gate driver 회로의 (a)회로도

와 (b)각부 동작 파형을 나타낸다. 이 회로의 모든 스위치의 내압은 Webber type 회로에 비해 절반의 내압으로 동작한다.^[5] Sustain 전압 증가에 따른 스위치 높은 내압 문제는 Multi-level PDP sustain 회로를 통해 해결되나, 스위치는 2배로 많아지고 스위치 구동을 위한 Gate driver 가 복잡하게 된다. 스위치 R_1, F_2 그리고 S_1 을 구동하기 위해서는 3개의 Floating 전원이 필요하게 된다.

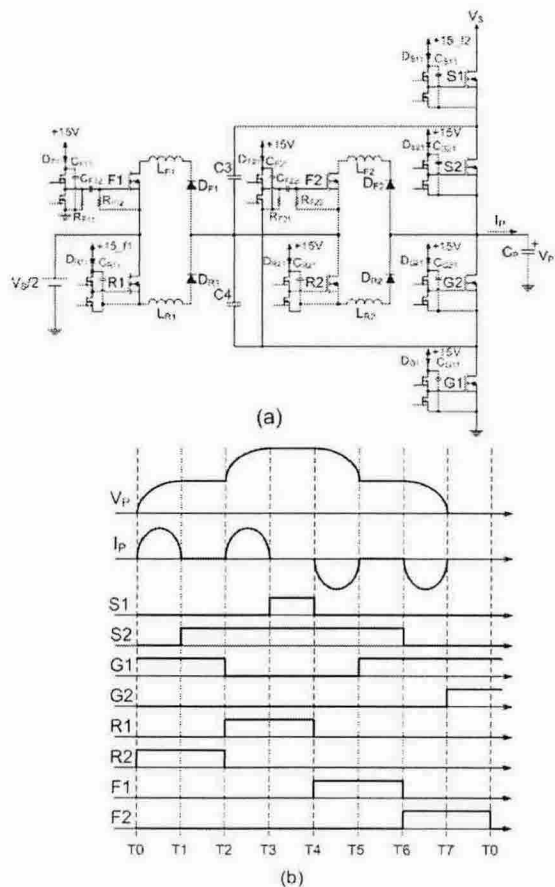


그림 1 Multi-level PDP Sustain 회로
 (a) 회로도
 (b) 각부 파형도

본 연구에서는 제안된 Multi-level PDP Sustain 회로 스위치 구동을 위해 Floating 전원을 사용하지 않고 Boot-strap chain 방식을 적용하여 Gate drive 하는 방식을 제안한다.

2. 제안된 Gate Driver

2.1 동작 설명

그림 2는 제안된 Boot-strap chain을 적용한 Multi-level 구동회로이다. 각각의 Gate driver의 동작에 대해서 보면 다음과 같다. 여기서 Gate driver의 Totem-pole의 NMOS와 PMOS는 PWM IC의 출력단에 해당된다.

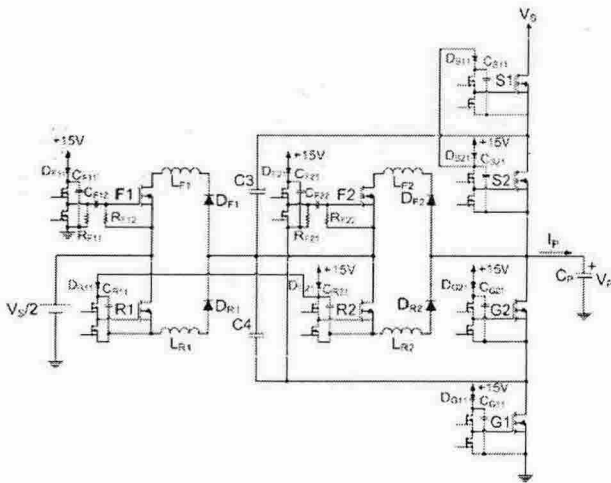


그림 2 제안된 Boot-strap chain을 적용한 Multi-level 구동회로

- G₁ 스위치

전류 Path는 $C_{G11} - Gnd - +15V$ 와 같이 형성되어 C_{G11} 을 충전한다.

- G₂ 스위치

T_0-T_2, T_5-T_0 구간 동안 전류 Path는 $C_{G21} - G1 - Gnd - +15V$ 와 같이 형성되어 Boot-strap capacitor C_{G21} 을 충전시킨다.

- S₂ 스위치

T_7-T_0 구간에 $C_{S21} - G2 - G1 - Gnd - +15V$ 와 같이 형성되어 Boot-strap capacitor C_{S21} 을 충전시킨다.

- R₂ 스위치

T_7-T_0 구간에 $C_{R21} - L_{R2} - D_{R2} - G2 - G1 - Gnd - +15V$ 와 같이 형성되어 Boot-strap capacitor C_{R21} 을 충전시킨다.

- F₁ 스위치

F_1 스위치가 Off 되어있는 구간 T_6-T_0, T_0-T_4 구간 동안 전류 Path는 $V_S/2 - R_{F12} - C_{F12} - R_{F11}$

- Gnd 와 같이 형성되어 C_{F12} 에 $V_S/2$ 전압이 충전이 되고, C_{F12} 는 모든 구간에서 $+15V$ 의 전압이 충전되어 있다가 F_1 에 High 입력이 들어오면 PWM output인 Totem-pole의 NMOS가 On이 되어 F_1 의 Gate에는 $V(C_{F11})+V(C_{F12})$ 인 $15+V_S/2$ 의 전압이 인가되고, F_1 의 Source 전압은 $V_S/2$ 가 되어 스위치 F_1 이 On이 된다.

- F₂ 스위치

F_2 스위치가 Off인 구간 T_5-T_6 동안 전류 Path는 $R_{F21} - C_{F22} - R_{F22} - V(C_4)$ 와 같이 형성되어 C_{F22} 에 $V(C_4)$ 전압인 $V_S/4$ 가 충전되고 C_{F21} 에는 T_5-T_0, T_0-T_2 구간 동안 $+15V$ 로 충전되어 F_2 에 High 입력이 들어오면 F_2 의 Source 전압 대비 F_2 의 Gate 전압은 $+15V$ 로서 F_2 스위치는 On이 된다.

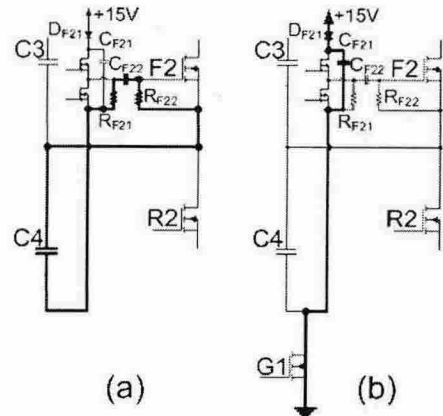


그림 3 F2 Gate driver 설명을 위한 등가회로

(a) C_{F22} 충전 등가회로

(b) C_{F21} 충전 등가회로

- R₁ 스위치

그림 4는 R_1 의 Boot-strap capacitor(C_{R11})의 전압을 충전하는 동작을 설명하기 위한 그림이다. 동작을 살펴보면 R_2 의 Boot-strap capacitor(C_{R21})에 인가되는 전압을 R_2 스위치의 On 시간 동안 C_{F11} 에 충전하는데, 이때의 전류 Path는 $C_{R21} - D_{R11} - C_{R11} - L_{R1} - D_{R1} - R_2$ 와 같이 형성되어 R_2 스위치의 Boot-strap capacitor(C_{R21})을 충전한다.

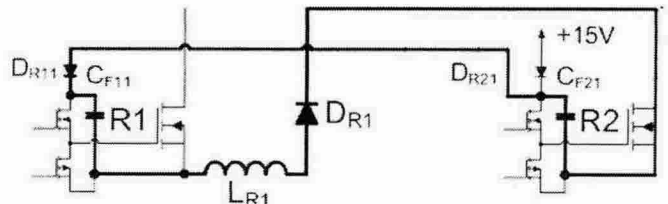


그림 4 R1 Gate driver 설명을 위한 등가회로

- S_1 스위치

그림 5 는 S_1 의 Boot-strap capacitor(C_{S11}) 의 전압을 충전하는 동작을 설명하기 위한 그림이다. 동작을 살펴보면 S_2 의 Boot-strap capacitor(C_{S21}) 에 인가되는 전압을 S_2 스위치의 On 시간동안 C_{S11} 에 충전하는데, 이때의 전류 Path 는 $C_{S21} - D_{S11} - C_{S11} - S_2$ 와 같이 형성되어 S_2 스위치의 Boot-strap capacitor(C_{S21})을 충전한다.

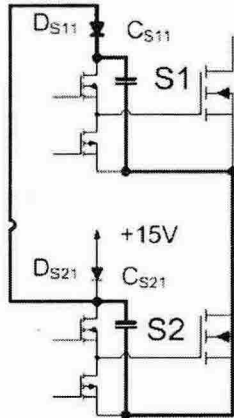


그림 5 S1 Gate driver 설명을 위한 등가회로

2.2 실험 결과

다음 그림 6 과 그림 7은 본 연구에서 제안된 Gate driver를 구현한 실험 결과 파형이다. 각각의 Gate 저항은 3옴 이며 모든 Boot-strap capacitor 는 세라믹 캐패시터로서 값은 1uF을 사용하였다. 사용된 다이오드는 EC11FS4(1.57A/440V) 이고, PWM Controller 는 IR2110 이다.

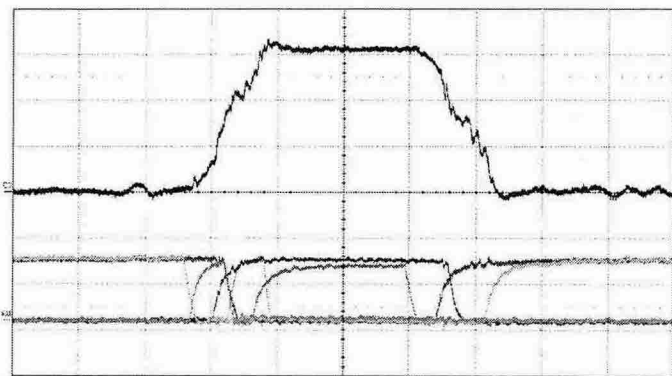


그림 6 실험 결과 ($G_2, G_1, S_2, S_1, R_2, R_1$ 의 VGS 파형)

V_{GS} 전압의 최고치는 S_2, G_2, G_1, R_1, F_1 의 경우 약 13.5V 의 값을 가지며, S_1, R_2, F_2 경우 약 12.5V 가 나왔으며 이는 다이오드 On전압과 Decouple capacitor 에 의한 영향이다.

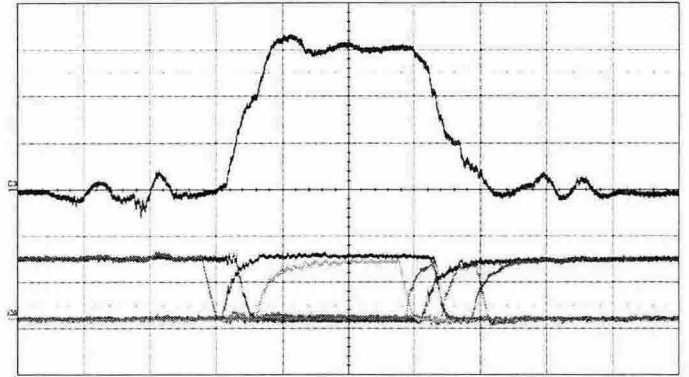


그림 7 실험 결과 ($G_2, G_1, S_2, S_1, R_2, R_1$ 의 VGS 파형)

3. 결론

본 논문에서는 제안된 Multi-level PDP Sustain 회로 스위치 구동을 위한 Boot-strap chain 방식의 Gate driver를 제안하였다. 제안된 Gate driver 를 적용하면 Floating 전원(+15V_{f1}, +15V_{f2})이 필요 없게 되므로, 소자 수가 줄어들어 소자의 원가 절감 및 PCB 공간 확보를 이룰 수 있다.

이 논문은 LG전자 산학협동 연구비 지원에 의하여 연구되었음

참고 문헌

- [1] J. Castellano, "Market Trends for Display in Consumer Television", 2000 SID Symposium, pp. 407-409
- [2] Sang-Kyoo Han, Jun-Young Lee, Gun-Woo Moon, Myung-Joong Youn, Chang-Bae Park, Nam-Sung Jung, and Jung-Pil Park "A New High-Efficient Energy-Recovery Circuit for Plasma Display Panel", 전력전자학회 논문지 제 7권 제 2호 2002년 4월 pp.121-128
- [3] Hyun Kim, et al, "Long Gap discharge characteristics based on control of voltage distribution among three electrodes for positive column AC-PDPs", 2003 SID digest, pp. 40- 43.
- [4] Y.Hashimoto, et. al. "Invited paper:High-Luminance and highly muninous-efficient AC-PDP with DelTA cell structure", 2001 SID Digest, pp.1328-1331
- [5] L.F. Webber, "Plasma Display Device Challenges," Asia Display '98 Digest, pp.15-271.
- [6] L.F.Webber and M.B.Wood, "Energy Recovery Sustain Circuit for the AC Plasma Display", 1987 SID Int. Symposium, New Orleans, pp. 92-95