

## 내압이 절감된 Multi-level PDP 구동회로에 관한 연구

윤 석, 김범준, 송석호, 노정욱, 홍성수, 사공석진  
국민대학교 전자공학과

### A study on Multi-level PDP sustain circuit with reduced device voltage stresses

Seok Yoon, Bumjoon Kim, Seok-Ho Song, Chung-Wook Roh, Sung-Soo Hong,  
Sug-Chin Sakong  
Kookmin Univ. Electronics.

#### ABSTRACT

A new energy-recovery-sustain circuit suitable for a Plasma Display Panel(PDP) application is proposed. The proposed circuit features the low device voltage stresses, essential to design a power efficient and low cost PDP driver circuit. The proposed circuit is demonstrated experimentally for driving a 42 inches plasma display panel.

#### 1. 서 론

PDP(Plasma Display Panel)의 최대 단점인 높은 소비전력과 높은 가격은 보급형 PDP 시장 형성에 걸림돌로 작용한다. PDP의 높은 가격과 높은 소비전력은 낮은 발광 효율(lm/W)에 기인한다. 낮은 발광 효율로 인하여 패널부는 다른 디스플레이(TFT-LCD, Projection 방식)에 비해 높은 전압과 전류, 복잡한 구동 파형(Address Display Separating 방식, Selective Reset Method), 높은 등가 Capacitive 부하 등의 특성을 가진다. 이러한 패널 특성으로 인해, 구동 회로 및 시스템은 고전압, 고전류에도 견디는 반도체 소자를 사용해야 하므로 원가 상승의 원인이 된다. 따라서, 소비전력 및 원가를 줄이는 PDP의 핵심 기술은 높은 효율을 가지는 패널 개발과 고효율 동작 및 저원가로 구성되는 구동 회로 및 시스템 개발로 크게 분류할 수 있다. 특히, 구동 회로 및 시스템의 경우 우리나라가 보유한 기술 및 특허는 극히 미미해 이 분야에 대한 지속적인 연구 개발이 시급한 실정이다.

본 논문에서는 Multi-Level<sup>[1,2]</sup>을 적용한 PDP Sustain 회로 및 Energy recovery 회로를 사용하여 회로 소자들의 최대  $V_{DS}$  전압이 기존 방식에 비해 절반으로 감소하여 소자들의 신뢰성을 향상시키는 방식에 대해 설명한다.

#### 2. 구동 회로의 동작 원리

##### 2.1 기존 구동방식 및 회로 동작

L. Webber에 의해 제안된 PDP Sustain 회로 및 동작 전압/전류 파형을 그림 1에 나타내었다. 이 회로는 무효 전력을 회수하기 위해 직렬 공진 회로가 포함되어 있고, 비교적 간단한 회로 구조를 가지고 안정적인 회로 동작을 한다.<sup>[3]</sup>

처음 반주기 동안의 회로 동작 원리는 다음과 같다. 처음에 패널 전압  $V_p$ 는 0으로 유지(스위치  $X_g$ 와  $Y_g$ 는 'ON')한다.

Rising 동작 시에는 스위치  $Y_g$ 는 'OFF'되고  $Y_r$ 이 'ON'된다. 이때 전류 path는  $C_1 - Y_r - D_1 - L_1 - C_p - X_g$ 의 경로로 형성되고, 인덕터  $L_1$ 과 패널( $C_p$ )간의 직렬 공진 현상이 발생한다. Rising 동작시 패널 전압 및 전류는 다음 식으로 나타낸다

$$v_p(t) = \frac{V_s}{2} \left( 1 - \cos \frac{t}{\sqrt{L_1 C_p}} \right) \quad (1)$$

$$i_p(t) = \frac{V_s}{2} \sqrt{\frac{C_p}{L_1}} \sin \frac{t}{\sqrt{L_1 C_p}} \quad (2)$$

패널 전압은 0에서  $V_s$ 까지 상승하고 Rising 동작은 완료된다.

Sustain 동작 시에는  $Y_s$ 가 'ON'되고,  $Y_r$ 이 'OFF'되어 패널 전압은  $V_s$  전압으로 유지하고, 방전 전류가 흐르게 된다.

Falling 동작시에는 스위치  $Y_s$ 가 'OFF'되고,  $Y_f$ 가 'ON'된다. 이 때 전류 path는  $X_g - C_p - L_1 - D_2 - Y_f - C_1$ 의 경로로 형성되고  $L_1$ 과  $C_p$ 간의 직렬 공진 현상이 발생한다. Falling 동작시 패널 전압 및 전류는 다음 식으로 나타낸다.

$$v_p(t) = \frac{V_s}{2} \left( 1 + \cos \frac{t}{\sqrt{L C_p}} \right) \quad (3)$$

$$i_p(t) = -\frac{V_s}{2} \sqrt{\frac{C_p}{L_1}} \sin \frac{t}{\sqrt{L_1 C_p}} \quad (4)$$

패널 전압은  $V_s$ 에서 0까지 하강하고 falling 동작은 완료된다.

$Y_g$ 가 'ON'되고,  $Y_f$ 가 'OFF'되어 패널 전압은 0으로 유지하고, 반주기 동작이 끝난다.

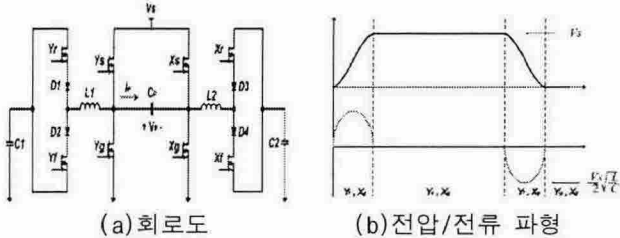


그림 1 Webber 회로의 개념도 & 전압/전류 파형

## 2.2 제안된 구동 회로 동작

제안된 PDP Sustain 회로 및 동작 전압/전류 파형을 그림 2와 그림 3에 나타내었다. 이 회로는 저전압 및 기생용량이 작은 소자의 채용이 가능하고, 기생저항이 기존의 회로 방식에 비해 적은 장점이 있다.

처음 반주기 동안의 회로의 동작 원리는 다음과 같다. Mode 1 이전 시간에는 스위치  $S_3$ 과  $S_4$ 가 'ON'되어 패널 전압  $V_p$ 는 0으로 유지한다.

- Mode 1

회로 동작 시에는 스위치  $S_3$ 는 'OFF'되고  $Q_4$ 가 'ON'되어,  $S_4-C_4-Q_4-L_4-D_8-C_p$ 의 전류 path가 형성된다. 인덕터  $L_4$ 와 패널( $C_p$ )간의 직렬 공진 현상이 발생하고, 패널 전압 및 전류는 다음 식으로 나타난다.

$$v_p(t) = \frac{V_s}{4} \left( 1 - \cos \frac{t}{\sqrt{L_4 C_p}} \right) \quad (5)$$

$$i_p(t) = \frac{V_s}{4} \sqrt{\frac{C_p}{L_4}} \sin \frac{t}{\sqrt{L_4 C_p}} \quad (6)$$

Panel 전압은  $V_s/2$ 까지 상승하고 mode 1은 끝난다.

- Mode 2

스위치  $S_2$ 가 'ON'되어,  $S_4-C_4-C_3-S_2-C_p$ 의 전류 path가 형성된다. 패널 전압은  $V_s/2$ 로 유지된다.

- Mode 3

스위치  $S_4$ 는 'OFF'되고 스위치  $Q_1$ 이 'ON'되어,  $C_2-D_3-L_1-Q_1-C_3-S_2-C_p$ 의 전류 path가 형성된다. 이 구간동안, 패널 전압 및 전류는 다음 식으로 나타난다.

$$v_p(t) = \frac{3V_s}{4} \left( 1 - \cos \frac{t}{\sqrt{L_1 C_p}} \right) \quad (7)$$

$$i_p(t) = \frac{V_s}{4} \sqrt{\frac{C_p}{L_1}} \sin \frac{t}{\sqrt{L_1 C_p}} \quad (8)$$

Panel 전압은  $V_s$ 까지 상승하고 mode 3은 끝난다.

- Mode 4

$S_1$ 이 'ON'되어, 패널 전압은  $V_s$  전압으로 유지하고, panel 내부에는 방전 전류가 흐르게 된다.

- Mode 5

스위치  $S_1$ 이 'OFF'되고  $Q_2$ 가 'ON'되어,  $C_p-S_2-C_3-L_3-D_4-Q_2-C_2$ 의 전류 path가 형성된다. 패널 전압 및 전류는 다음 식으로 나타난다.

$$v_p(t) = \frac{3V_s}{4} \left( 1 + \cos \frac{t}{\sqrt{L_3 C_p}} \right) \quad (9)$$

$$i_p(t) = -\frac{V_s}{4} \sqrt{\frac{C_p}{L_3}} \sin \frac{t}{\sqrt{L_3 C_p}} \quad (10)$$

Panel 전압은  $V_s/2$ 까지 하강하고 mode 5는 끝난다.

- Mode 6

스위치  $S_4$ 가 'ON'되어,  $C_p-S_2-C_3-C_4-S_4$ 의 전류 path가 형성된다. Panel 전압은  $V_s/2$ 로 유지된다.

- Mode 7

스위치  $S_2$ 가 'OFF'되고  $Q_3$ 가 'ON'되어,  $C_p-D_7-L_2-Q_3-C_4-S_4$ 의 전류 path가 형성된다. 이 때, 패널 전압 및 전류는 다음 식으로 나타난다.

$$v_p(t) = \frac{V_s}{4} \left( 1 + \cos \frac{t}{\sqrt{L_2 C_p}} \right) \quad (11)$$

$$i_p(t) = -\frac{V_s}{4} \sqrt{\frac{C_p}{L_2}} \sin \frac{t}{\sqrt{L_2 C_p}} \quad (12)$$

- Mode 8

스위치  $S_4$ 가 'ON'되어,  $S_4-S_3-C_p$ 의 전류 path가 형성된다. 패널 전압은 0을 유지한다.

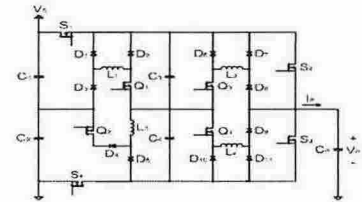


그림 2 제안된 구동회로 개념도

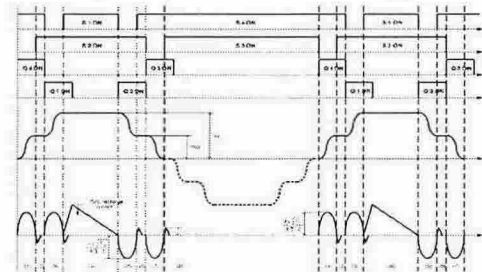


그림 3 제안된 회로의 전압/전류 파형

## 2.3 기존 회로와 제안 회로의 비교

표1은 기존 Webber 회로와 제안된 구동회로의 각부 소자들에 대한  $V_{DS,max}$ 와  $I_{pk}$ 을 비교한 것이다. 제안된 방식을 적용하여 Sustain 회로와 Energy

Recovery 회로를 구현하면 Webber 회로에 비해 각 소자들의 전압 rating을 절반으로 감소하였다. 소자들의 전압 rating이 감소하면 소자의 가격이 감소하여 제작단가 절감효과를 기대할 수 있다.

표 1 각부 소자들의 최대 전압/전류 비교

		Webber	제안회로
Sustain Switch	$V_{DS,max}$	$V_s$	$V_s/2$
	$I_{pk}$	$I_{gas}$	$I_{gas}$
Energy Recovery Switch	$V_{DS,max}$	$V_s/2$	$V_s/2$
	$I_{pk}$	$V_s/(2Z_r)$	$V_s/(4Z_r)$
Energy Recovery Diode	$V_{D,max}$	$V_s/2$	$V_s/4$
	$I_{pk}$	$V_s/(2Z_r)$	$V_s/(4Z_r)$
Clamp Diode	$V_{D,max}$	$V_s/2$	$V_s/4$

$$Z_r = \sqrt{L/C_p}$$

### 2.4 실험 결과

제안된 회로를 제작하여 42인치 PDP에 적용하여 그 동작을 확인한다. 설계 사양은 다음과 같다.

- ◆ PDP panel : LG전자 42인치 WVGA급
- ◆  $f_s$  : 217.4kHz ( $T_s=4.6\mu\text{sec}$ )
- ◆  $V_s$  : 190V
- ◆  $V_A$  : 65V
- ◆  $V_Y$  : -75V
- ◆  $V_{Set-up}$  : 200V
- ◆  $V_{SC}$  : 120V

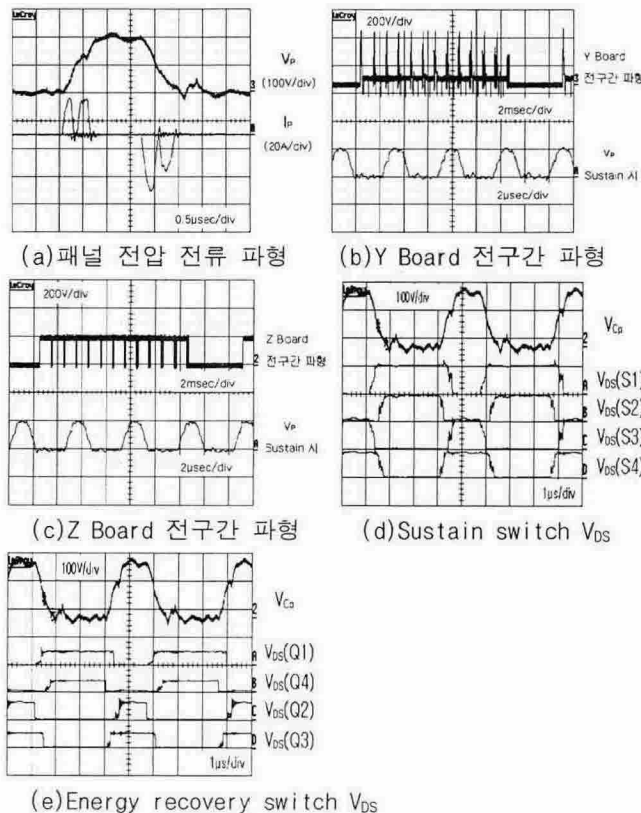


그림 4 백색화면 출력시 실험 결과 파형

그림 4는 제안회로를 실제 42인치 PDP 적용하여 측정한 결과이다. 그림 4(d)는 Sustain switch의  $V_{DS}$  전압을 나타낸 것이고, 그림 4(e)는 Energy recovery switch의  $V_{DS}$  전압을 나타낸 것이다. 이론에서 예상한 것과 같이 Sustain switch의  $V_{DS}$  전압은 90V~100V로  $V_s/2$ 인 95V에 근사하게 나오며, Energy recovery switch의  $V_{DS}$  전압은 40V~55V로  $V_s/4$ 인 47.5V에 근사하게 나타남을 알 수 있다.

### 3. 결론

본 논문에서는 제안회로를 이용하여 낮은  $V_{DS}$  전압을 갖는 소자로 PDP 구동회로를 구성하는 방법을 제시하였다. 제안된 회로는 각 소자의  $V_{DS}$  전압이 반으로 감소하여 낮은 기생 용량을 가지는 소자를 사용할 수 있으며 신뢰성 향상을 기대할 수 있다. 최종적으로 제안된 회로의 타당성 검증을 위해 제안된 회로를 실 용량에 맞게 설계 및 제작하여 42인치 PDP를 구동하였으며 그 결과 실험 과정에서 보였듯이 각 소자들의  $V_{DS}$  전압이 이론에서 보인 것처럼 반으로 감소함을 실험 결과를 통해 검증하였다.

이 논문은 LG전자(주)의 산학 협력 연구비 지원에 의하여 연구되었음

### 참고 문헌

- [1] Chung-Wook Roh, Hye-Jeong Kim, Sang-Hoon Lee, and Myung-Joong Youn, "Multi-Level voltage wave-shaping display driver for AC plasma display panel application", IEEE Journal of Solid State Circuits, Vol.38, No.6, June 2003.
- [2] Chung-Wook Roh, "Novel Plasma Display Driver with Low Voltage/Current Stresses", IEEE Transactions on Consumer Electronics, Vol. 49, No. 4, pp.1360-1366, November 2003.
- [3] L.F. Webber, "Plasma Display Device Challenges," Asia Display '98 Digest, pp.15-271.