

## 초소형 CMOS RF 전압제어발진기 IC 신제품 개발을 위한 신뢰성 평가 프로세스 개발

박부희\*, 고병각\*, 김성진\*\*, 김진우\*\*\*, 장중순\*, 김광섭\*, , 이해영\*\*

\* 아주대학교, 산업공학과

\*\* (주)기가레인

\*\*\* (주)대우일렉트로닉스

### Abstract

신제품으로 개발 중인 초소형 CMOS RF 전압제어발진기(VCO) IC 에 대한 공인된 시험 규격은 현재 개발되어 있지 않다. 또한 제조업체들은 고유의 시험방법을 보유하고 있을 것이나 공개하지 않고 있는 실정이다. 한편 일부 해외 제조업체에서 국제 규격인 IEC 또는 JEDEC 을 기준으로 시험방법을 제시하고 있지만, 이러한 시험규격들은 개별 부품을 솔더링하는 하이브리드 공정을 이용하여 제작된 VCO 를 대상으로 한 것이다. 그러므로 CMOS 반도체 공정을 이용한 IC 형으로 개발 중인 VCO 를 평가하기에는 적합하지 않다.

이에 본 연구에서는 신개발 부품인 CMOS RF VCO IC 에 대한 신뢰성 시험 및 평가 기준을 수립하고, 신뢰성 확보를 위한 신제품 개발 단계에서의 신뢰성 평가 프로세스를 개발하고자 한다.

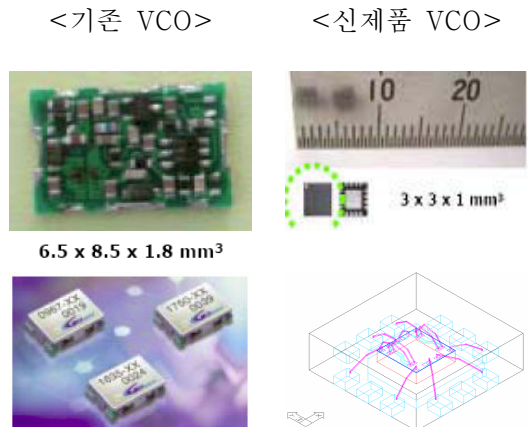
**keyword** : 신뢰성 평가 프로세스, 신뢰성 시험, 고장분석 프로세스, 고장메커니즘, 시험적합성, 신뢰성 설계, 2-단계 QFD, CMOS RF VCO IC

### 1. 서론

우리나라 전자제품의 수출량이 증가 하지만 적자폭도 함께 증가하는 이유는 신뢰성이 요구되는 핵심 부품이 선진국으로부터 수입되고 있기 때문이다. 더욱이 중국 등의 추격으로 생산 경쟁력이 줄어드는 상황을 극복하기 위해서는 핵심 부품의 개발과 신뢰성 설계기술의 확보가 무엇보다 중요하다. 즉, 전자 부품의 고기능, 소형화에 따른 신제품 개발시에는 설계단계에서의 신뢰성 확보가 매우 중요하다. 이는 아이템의 신뢰성이 설계단계에서 확보되어야만 제품 생산의 비용을 줄이며 동시에 품질과 신뢰성 향상을 도모할 수 있기 때문이다. 그러므로 신제품 개발단계에서 고장 검출을 위한 신뢰성 평가 방법이나 신뢰성 설계를 위한 신뢰성 평가 프로세스의 개발이 매우 필요하다.

현재 국내 G社에서 신제품으로 개발 중인 초소형 CMOS RF VCO IC 는 하이브리드 공정을 이

용한 기존 제품의 성능을 유지하면서, 집적화 및 저가격화를 위하여 범용화된 CMOS 반도체 공정을 이용한 IC 형 멀티밴드 VCO 를 개발하고자 한다 [그림 1]. 개발 중인 신규 부품은 CMOS IC 형으로써, 그 재료, 설계 및 공법 측면에서 매우 새로운 신제품이라고 할 수 있다. 그러므로 제품 개발에 따른 신뢰성 확보와 이를 보증하기 위한 신뢰성 평가는 양산단계 이전에 검증되어야 할 과제이고, 이러한 필요성에 의해 본 연구를 수행하게 되었다.



[그림 1] 신제품 CMOS RF VCO IC

신제품 개발 및 설계단계에서 신뢰성 평가의 목적은 아이템의 잠재적 약점과 예상하지 못한 상호작용에 의한 고장을 추출하는 것이다. 더 나아가서는 추출된 고장에 대한 메커니즘과 원인을 규명하여 개선대책을 수립하고 설계에 반영하여 고장 없는 아이템을 개발하도록 하는 것이다. 이러한 목적을 달성하기 위하여 실시되는 평가를 고장메커니즘 기반의 신뢰성 평가라고 한다[10-12]. 여기서 고장메커니즘이란 JIS Z 8115 에 의하면 「물리적 · 화학적 · 기계적 · 전기적 · 인간적 원인 등으로 아이템이 고장을 일으키는 것」으로 정의된다. 이러한 고장메커니즘을 기반으로 하는 신뢰성 평가 방법에는

- 고장메커니즘을 발생시키는 고장유형을 우발고장

과 마모고장으로 구분하고, 고장메커니즘을 유발시키는 부하의 성질에 따라 기계 · 열 · 전기 및 화학 등으로 분류하여 신뢰성을 평가하는 방법[9].

- 아이템의 요구 기능이나 성능에 대한 외부의 스트레스와 사용 및 환경조건의 변화에 따라 발생하는 고장메커니즘을 예측하고, 리스크를 분석하여 신뢰성을 평가하는 방법[12][25][26][29].
- 2-단계 QFD 기법을 이용하여 상관관계에 따른 우선순위를 부여하여 주요한 잠재 고장메커니즘과 시험법을 도출하여 신뢰성을 평가하는 방법[8].

등이 있다.

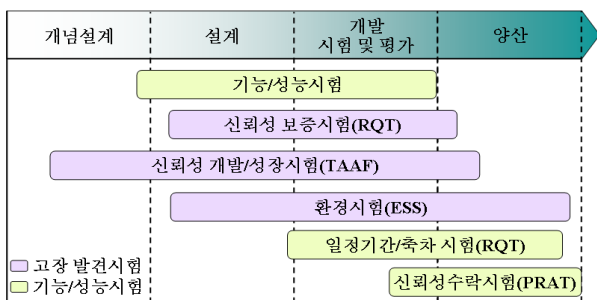
따라서 본 연구에서는 신제품 개발에 따른 신뢰성 설계를 위하여 고장메커니즘 기반의 신뢰성 평가 프로세스를 제안하고자 한다. 즉, 신개발 부품인 CMOS RF VCO IC의 사용 및 환경조건 변화에 따른 취약점과 고장을 검출하고 제거하기 위한 고장메커니즘 기반의 신뢰성 평가 프로세스를 2-단계 QFD 기법을 이용하여 수립하고자 한다.

본 연구 목적을 위하여 2장에서는 일반적인 제품 개발 및 양산 단계에서의 신뢰성 평가체계와 절차 등에 대해 고찰하고, 3장에서는 개발단계에서 고장메커니즘 기반의 신뢰성 평가 프로세스를 제안한다. 그리고 4장에서는 개발단계에서의 신뢰성 평가 프로세스를 적용한 CMOS RF VCO IC 개발 사례를 제시한다.

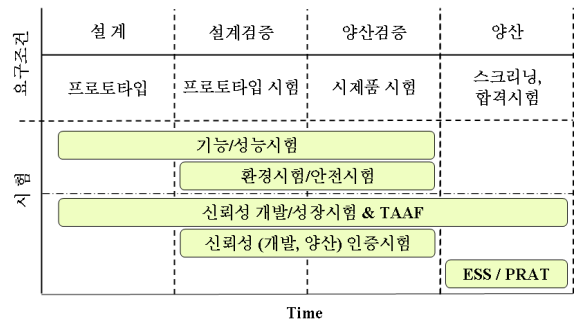
## 2. 제품 개발 및 양산 단계에서의 신뢰성 평가

일반적으로 제품 개발은 상품기획, 개념설계, 예비설계 및 상세설계를 거쳐 양산에 이르게 된다. 이 과정에서 기능 · 성능시험, 환경시험 안전시험 및 신뢰성 시험을 실시하며, 시험 중 나타난 설계 결함은 설계변경을 통하여 시정조치를 한다.

[그림 2]는 NASA에서, [그림 3]은 RAC에서 제시하고 있는 제품 개발 및 양산과정에서 실시되는 신뢰성 시험 체계이다.

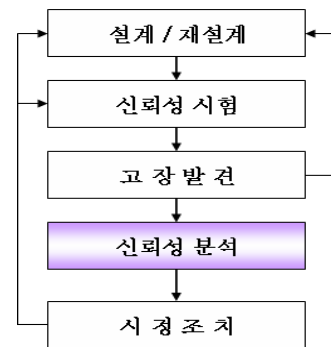


[그림 2] NASA의 신뢰성 시험 체계



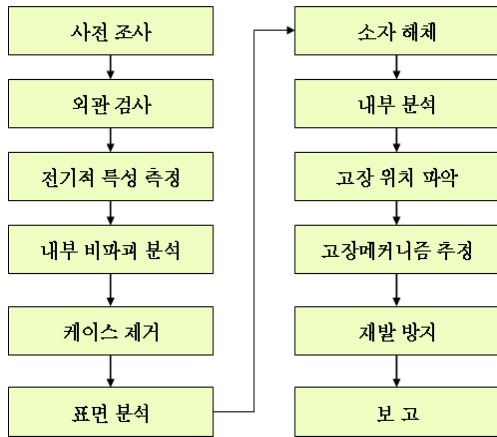
[그림 3] RAC의 신뢰성 시험 체계

특히 신제품 개발 및 설계단계에서의 신뢰성 평가 목적은 설계마진, 내환경성, 잠재적 약점과 예상하지 못한 상호 작용을 평가하여 개발 위험을 최소화 하는 것이다. 이를 위한 신뢰성 평가 방법에는 MIL-HDBK-189 에서 제시하는 신뢰성 성장관리 모형이 있다. 이는 시험, 분석 및 시정조치(Test, Analyze, and Fix : TAAF) 프로세스에 의하여 설계 및 제조상의 결함을 발견하고 이를 시정 조치함으로써 시간이 지남에 따라 신뢰성이 향상되는 과정으로 정의된다 [그림 4].



[그림 4] TAAF 프로세스(MIL-HDBK-189)

TAAF 프로세스 중 신뢰성분석 단계는 고장분석 단계라고 할 수 있다. MIL-STD-338 에서 고장분석은 보고된 고장을 확인하고 고장모드 또는 메커니즘을 규명하기 위해 전기적 특성, 물리 · 금속 · 화학적인 분석기술에 의하여 고장발생 후에 고장원인을 조사하는 것으로 정의하고 있다. 한편 JIS Z 8115 에서는 개발단계에서의 사전분석에서 고장발생 후의 사후분석까지를 포함한 광의적인 의미로 고장분석을 정의하고 있다. 다음 [그림 5] 는 기술표준원에서 제시하고 있는 일반적인 전자부품의 고장분석 프로세스이다.

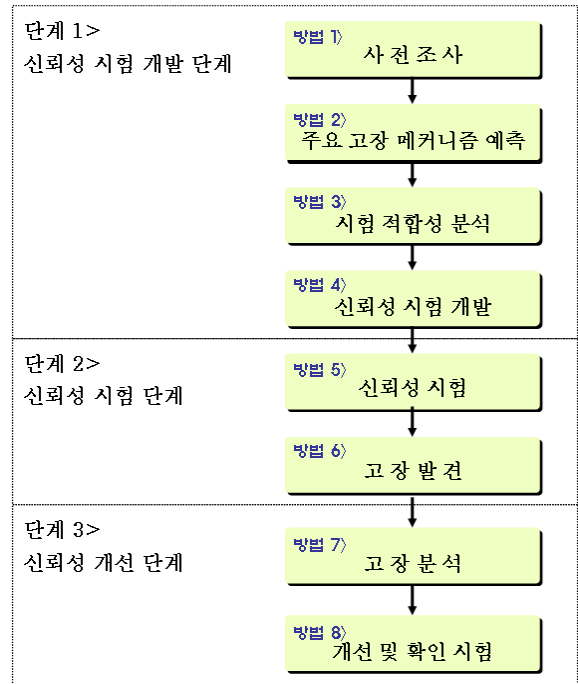


[그림 5] 전자부품의 고장분석 프로세스(ATS)

본 연구에서는 신제품 개발단계에 적합한 신뢰성 평가 프로세스 수립을 위하여 신뢰성 설계와 리스크를 최소화하기 위한 방법인 신뢰성 성장관리 모형과 신뢰성 향상을 위한 고장 분석 프로세스를 기초로 신뢰성 시험 개발, 시험 및 개선의 단계로 구성된 프로세스를 전개하고자 한다. 특히 신뢰성 시험 개발 단계에서는 양산단계 이전에 실시되어야 할 신뢰성 시험을 중심으로 제품의 취약점이나 고장을 잘 검출해 낼 수 있는 시험을 선정해야 한다. 위에서 살펴본 바에 의하면, 양산이전의 개발/설계 단계에서 실시되어야 할 신뢰성 시험에는 기본적인 기능 및 성능 시험과 고장발견을 위한 환경시험과 보증시험이 있다. 이러한 시험들은 고장 없는 제품을 개발하기 위한 신뢰성 설계를 위하여 필수불가결한 업무이다. 그러나 이러한 시험항목들은 매우 다양하여 설계/개발 단계에서 모두 적용하기에는 많은 인원과 시간 그리고 비용이 소요되므로 최적화된 시험이 요구된다. 여기서 최적화된 시험이란 대상 아이템에서 발생 가능한 고장을 추출할 수 있는 시험을 의미한다. 이에 본 연구에서는 최적화된 시험을 실시하고자 고장메커니즘 기반의 2-단계 QFD 기법을 적용하여 최적 시험항목을 결정하고자 한다. 그리고 이를 업체에서 적용 가능하도록 업무 프로세스로 수립한다.

### 3. 신제품 개발을 위한 신뢰성 평가 프로세스

고신뢰성 확보를 위한 신제품 개발단계에서의 신뢰성 평가 프로세스를 수립하기 위하여 신뢰성 성장관리 모형을 기반으로 신뢰성 시험 개발 단계와 신뢰성 시험 및 분석 단계 그리고 신뢰성 개선 단계로 구성하고 [그림 6] 과 같이 제안한다.



[그림 6] 제안된 신뢰성 평가 프로세스

신뢰성 시험 개발 단계에서는 아이템의 취약점과 고장을 검출하기 위한 시험항목을 결정한다. 이러한 신뢰성 시험항목 결정은 고장메커니즘 기반의 2-단계 QFD 기법을 이용하여 결정하며, 고장메커니즘 기반의 2-단계 QFD 기법은 다음과 같이 2 단계로 실시한다.

- 1 단계 : 주요 고장메커니즘 예측  
 기능, 성능 그리고 사용/환경조건과 고장메커니즘과의 상관관계를 분석하여 주요 고장메커니즘을 추출한다. 주요 고장메커니즘 평가 매트릭스를 작성한다.
- 2 단계 : 시험 적합성 분석  
 주요 고장메커니즘과 여러 시험항목들과의 상관관계를 분석한다. 시험 적합성 평가 매트릭스를 작성한다.

신뢰성 시험 개발 단계에서 신뢰성 시험항목이 결정되면 실제 시험을 실시하고 결과를 해석하는 신뢰성 시험 단계를 진행한다. 여기서 시험 결과 해석이란 아이템의 기능 및 성능 특성의 이상 유무를 확인하여 고장 발생 여부를 확인하는 것이다. 이때 고장이 발견되면 고장분석을 통해 원인을 알아내고 개선책을 수립하도록 하는 신뢰성 개선 단계를 진행한다. 그리고 고장 개선책 적용 후에는 고장개선 유무를 재현시험을 통해 확인하도록 한다.

위에서 제안된 3 단계의 신뢰성 평가 프로세스는 실무 추진이 용이하도록 여덟 가지 방법으로 구성하였고, 각 추진 방법의 상세한 내용은 [그림 7]과 같다.



[그림 7] 신뢰성 평가 프로세스의 상세내용

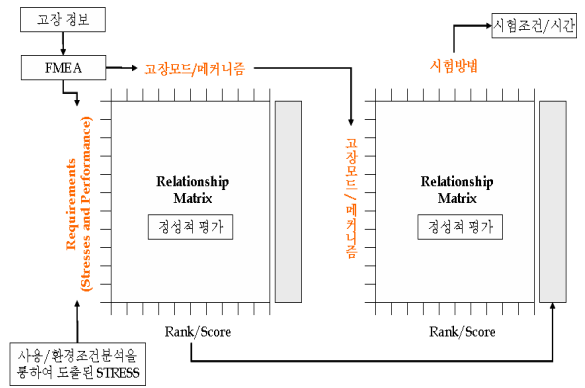
**방법 1> 사전조사**

사전조사 단계에서는 평가 대상의 구조, 재질 및 공법을 조사하고, 적용되는 환경 및 사용조건을 조사한다. 조사된 내용은 부품분석표와 환경 및 사용 조건표로 작성한다. 사전 조사된 정보의 정확성과 유용성 여부에 따라 고장메커니즘 예측력이 결정된다. 그러므로 효과적인 고장메커니즘 기반의 신뢰성 평가를 위해서는 사전조사가 매우 중요하다.

**방법 2> 주요 고장메커니즘 예측**

2-단계 QFD 기법 중 1단계인 주요 고장메커니즘 예측을 위해서는 아이টে에 대한 각 부문의 전문가들로 이루어진 전문가 위원회를 구성한다. 구성된 위원회 회의에서 사전 조사된 아이টে의 기능, 성능 그리고 사용/환경조건과 고장메커니즘과의 상관관계를 분석하여 주요 고장메커니즘을 추출한다. 주요 고장메커니즘 예측의 결과는 주요 고장메커니즘 예측표로 작성하여 정보화 한다.

주요 고장메커니즘 추출은 2-단계 QFD 기법을 이용한 주요 고장메커니즘 평가 매트릭스를 작성하여 수행한다 [그림 8] 참조. 주요 고장메커니즘 추출표에서는 세로축을 신뢰성 요구항목으로 가로축을 고장메커니즘으로 하여 매트릭스 표를 작성하고, 신뢰성 요구항목별 고장메커니즘의 상관관계를 점수화하여 주요 고장메커니즘을 순위화 한다. 신뢰성 요구항목은 성능, 내환경조건 및 수명으로 구성되어 각 항목별 조건을 기입하고, 고장메커니즘은 잠재고장에 의해 도출된 고장메커니즘을 기입한다. 이때 상관관계는 매우상관(◎, 5점)-상관(○, 3점)-보통(△, 1점)-상관없음(공란, 0점) 으로 표기하고, 점수는 고장메커니즘별 상관점수를 합산하여 산출한다. 산출된 결과를 가지고 주요 항목을 도출한다.



[그림 8] 2-단계 QFD 기법을 이용한 잠재 고장 메커니즘 및 시험 적합성 평가 매트릭스

**방법 3> 시험 적합성 분석**

시험 적합성 분석은 [그림 8] 2-단계 QFD 기법의 2단계를 이용하여 주요 고장메커니즘과 시험항목과의 상관관계를 평가하여 최적의 시험항목을 결정한다. 이 때 시험 적합성 평가 매트릭스를 작성하여 실시하게 된다. 방법 2 에서 추출된 주요 고장메커니즘은 시험 적합성 평가 매트릭스의 가로축에 순위화 하여 기입하고, 가로축에는 관련 시험방법을 기입하여 상관관계를 평가한다. 상관관계 평가는 방법 2 와 동일하게 실시하며 주요 고장메커니즘의 점수와 상관관계 점수를 곱한 점수를 순위화 한다.

**방법 4> 신뢰성 시험 개발**

신뢰성 시험 개발 단계에서는 방법 3 에서 결정된 시험항목에 대해 조건, 수준 그리고 방법을 구체화한다. 구체화 방법은 사전조사에서 조사된 자료와 정보를 기본으로 해당 아이টে에 대한 각 시험별 국제/국가/기관 규격과 선진업체 규격을 벤치마킹하여 전문가 위원회에서 결정한다.

**방법 5> 신뢰성 시험**

신뢰성 시험 우선순위 및 절차를 고려하여 계획서를 작성하고 시험을 실시한다. 필요에 따라서는 시험 지그 및 장비도 별도 제작하여 사용한다.

**방법 6> 고장발견**

신뢰성 시험 전후에는 전기적 특성, 외관 및 육안 검사 등을 실시하여 시험에 대한 합부 판정을 한다. 이 때 합격 판정시에는 평가를 종료하고, 불합격 판정시에는 고장의 유무, 모드 및 현상을 파악한 후 방법 7의 고장분석 단계를 진행한다.

**방법 7> 고장분석**

고장분석 단계에서는 신뢰성 시험 불합격 및 고장에 대한 원인을 분석하는 단계이다. 고장 현상과 원인 파악을 위해서는 물리 · 금속 · 화학적인 분석기술을 적용한다. 일반적으로 특성 및 외관검사에서 시작하여 비파괴검사, 파괴검사 순으로 분석을 실시한다. 분석 방법과 결과가 정확할수록 고장 개선대책 수립이 용이하므로 분석 기술을 향상시키도록 한다.



**방법 8> 개선 확인 시험**

고장분석 결과에 따라 고장 개선대책을 수립한다. 개선대책을 적용하여 샘플을 재제작하고 재현시험을 실시한다. 재현시험 합부에 따라 대책 적용의 적합 여부를 결정한다. 재현시험 결과 합격이면 대책을 아이টে에 적용하고, 불합격이면 재현시험이 합격될 때 까지 방법 6~8 을 반복하여 수행한다.

**4. 신뢰성 평가 프로세스의 적용사례**

본 장에서는 3 장에서 개발된 신뢰성 평가 프로세스에 의거 신제품 COMS RF VCO IC 신뢰성 평가 프로세스 적용사례를 제시한다.

**방법 1> 사전조사**

**아이템 분석 :** 연구 대상 VCO IC 에는 CMOS 형 반도체 칩에 FET, TR, 인덕터가 내장된 플라스틱 몰딩 패키지이다. 아이টে에 대한 구조와 재질 및 공법은 <표 1> 과 같이 분석표로 작성했다.

**환경 및 사용 조건 :** CMOS RF VCO IC는 주로 핸드폰에 적용되는 부품으로 핸드폰의 사용 및 환경조건을 조사하여 잠재고장을 예측하거나 시험조건을 결정할 때 적용하고자 한다. 이에 국내 핸드폰 제조업체로는 S社와 L社, 그리고 미국의 제조업체로는 M社의 사용 및 보관 환경을 다음 <표 2>과 같이 조사하였다.

<표 1> 아이টে 분석표

실제 구조 및 구성	부품/구조 명칭	재질 및 공법	
	Chip	Si	
	Metalization	Al	
	Device Oxide	FET	
	Device	Capacitor,	
		Resistor,	
		FN Diode	
	Device-Substrate Oxide Interface		
	Chip-Lead	Au Wire Soldering	
	Lead	Copper	
	Package	Epoxy Molding Compound	

<표 2> 핸드폰의 환경 및 사용 조건표

환경 및 사용 조건	S社	L社	M社
온도	-40℃ ~ 125℃	-40℃ ~ 125℃	-55℃ ~ 125℃
습도	0~90%RH	5~90%RH	0~90%RH
동작 온도	-20℃ ~ 50℃	-20℃ ~ 50℃	-0℃ ~ 55℃
습도	0~90%RH	5~90%RH	0~90%RH

**방법 2> 주요 고장메커니즘 예측**

주요 고장메커니즘 예측은 전문가 회의에서 브레인스토밍 방법으로 실시하였다. 본 과제의 개발 부품의 대표적인 고장 메커니즘은 칩 파손, 와이어 피로-파괴, 패키지 균열 및 파괴, 정전기파괴 및 전

기적 과부하, 마이그레이션, 박리 등이 있다. <표 3> 과 <표 4> 는 고장메커니즘 예측표와 주요 고장메커니즘 평가 매트릭스이다.

<표 3> 고장메커니즘 예측표

NO.	참고고장부위	고장메커니즘
1	Die	Die Fracture
	Metalization	Corrosion Electromigration Hillock Formation Contact Spiking Via Crack / Fatigue
	Device Oxide	EOS(Electrical Overstress) ESD(Electro Static Discharge) TDDB
	Device	Secondary Breakdown Ionic Contamination Surface Charge Spreading
	Device-Substrate Oxide Interface	Hot Electrons
2	Chip-Lead	Wirebonded Interconnections Kirkendall Voiding Excessive Intermetallics ( Flexure / Shear ) Fatigue
3	Lead	Corrosion Dendrite growth Whisker
4	Package	Delamination Popcorning Void

<표 4> 주요 고장메커니즘 평가 매트릭스

참고고장부위	1		2		3	4
	Die Metallization		Die Device-Oxide		Die-Lead Wire-bonded Interconnections	Package
고장 메커니즘	Via Crack, Fatigue	Corrosion	EOS ESD	TDDB	Fatigue	Delamination
요구 항목 (성능 및 내환경조건)						
성능	1		3	1	1	
내환경 조건	동작온도 Min : -20℃ Max : +50℃	5		5	5	3
	습도 Min : 0%RH Max : 95%RH		5	3		3
수명	3	5	5	3	3	
Score	9	10	11	9	9	6

**방법 3> 시험 적합성 분석**

2-단계 QFD 기법을 이용한 시험 적합성 평가 매트릭스를 작성하여 시험 적합성 분석을 수행하였다 <표 5>.

<표 5> 시험 적합성 평가 매트릭스

No.	시험 항목		ESD	Autoclave (PCT) Pressure Cooker Test	온도변화 (TCT) Temperature Cycle Test	HAST (HTHB)	Pre-Conditioning Test
	고장메커니즘	중요도					
1	EOS / ESD	11	55				
2	Corrosion	10		50			30
3	Via Crack, Fatigue	9			45		
4	TDDB	9	27	27			27
5	Delamination	6			18		18
Total Score			82	77	63	57	18
Ranking			1	2	3	4	5

**방법 4> 신뢰성 시험 개발**

신뢰성 시험 개발 단계에서는 각 시험별 국제/

국가/기관 규격과 선진업체 규격을 벤치마킹하여 전문가 위원회에서 결정하였다. <표 6~8>은 본 과제 수행시 조사되어 벤치마킹된 시험비교표이고, <표 9>는 개발된 VCO IC의 시험기준이다.

**<표 6> 관련 국제/국가/기관 규격표**

IEC	IEC 60068-1	Environmental testing Part 1: General and guidance
	IEC 60068-2	Environmental testing Part 2
	IEC 60749	Semiconductor devices - Mechanical and climatic test methods
MIL-STD	MIL-STD-202	Test Methods for Electronic and Electrical Component Parts
	MIL-STD-750	Test Methods for Semiconductor Devices
	MIL-STD-883	Test Methods and Procedures for Microelectronics
JESD	JESD 22 Series	J Test Methods
EIAJ	EIAJ ED-4701	Environment and Durability Testing Methods for Semiconductor Devices
	EIAJ ED-4701-1	Environment and Durability Testing Methods for Semiconductor Devices(Supplement 1)
	EIAJ ED-4701-2	Environment and Durability Testing Methods for Semiconductor Devices(Supplement 2)
	EIAJ ED-4701-3	Environment and Durability Testing Methods for Semiconductor Devices(Supplement 3)
	EIAJ ED-4701-4	Environment and Durability Testing Methods for Semiconductor Devices(Supplement 4)
CECC	CECC 90000	General Specification Monolithic Integrated Circuit
	CECC 90100	Environmental testing Part 2

**<표 7> 시험항목별 규격 비교표**

시험항목	규격	IEC 60749	MIL 883B	JESD 22	EIAJ 4701
온도 변화 시험 (TCT) Temperature Cycle Test	III 1.1	1010.7	A104-A	B-131	
초고속 스트레스 시험 HAST	-	-	A101-A	B-122	
Autoclave (PCT)	-	-	A102-B	B-123	
ESD	-	3015.7	A114 / A115 C101	C-111	
Preconditioning Test	-	-	A112 / A113	-	

**<표 8> 시험항목별 업체 비교표**

조건	National		Hitachi				
	조건	Motorola	National	Hitachi	Mitsubishi	Oki	Toshiba
1	For Level 1 packages (no drypack): 키에 보관 온도 : 30 °C 습도 : 85% RH	85 °C, 85%RH, 168h or 336h					
2	For all dry packed packages: 키에 보관 온도 : 30 °C 습도 : 85% RH	85 °C, 30%RH, 168h					
3	Wave Soldering	최저온도 (°C) : -65 최고온도 (°C) : +150	-65 +150	최저보관온도 최고보관온도	-65 150	-65 +150	
4	Convection/IR Reflow Soldering	유지시간 (min)		5-15-30	10	30	30
5	Vapor Phase Soldering	사이클 수	1000	1000	5	10	500
관련 규격	JEDEC-IPC9-STD-01 JEDEC-IPC9-STD-01E JEDEC-JESD22-A112 IPC-SM-786A EIAJ B-101A	EIAJ ED-4701: B-131, 105 MIL-STD-883: 1010.7 MIL-STD-750: 1051.2 MIL-STD-202: 102A IEC-Pub. 60749: III.1 IEC-Pub. 60088: 2-14 JESD22: A104-A					

**<표 9> CMOS RF VCO IC의 시험기준**

시험항목	시험조건	
Autoclave 시험, PCT Pressure Cooker Test	온도 : 121 °C 습도 : 100%RH 시간 : 168hrs	
온도 변화 시험, TCT, Temperature Cycle Test	최저온도 : -55 °C, 최고온도 : +150 °C 유지시간 : 30min 사이클수 : 500cycles	
HAST 시험, HTHB High Temperature High Humidity Bias Test	온도 : 130 °C 습도 : 85%RH Bias : 정격 시간 : 168hrs	
프리컨디셔닝 시험 Preconditioning Test	온도 변화 시험(TCT)	최저온도 : -55 °C 최고온도 : +150 °C 유지시간 : 30min 사이클수 : 5 cycles
	고온 처리 (Bake Out)	온도 : +125 °C 유지시간 : 24hrs
	고습 처리 (Soaking) JEDEC Level II	온도 : 85 °C 습도 : 60%RH 시간 : 168hrs
	리플로우 (IR Reflow)	온도 : 235 °C 사이클수 : 3 cycles
정전기과파 시험, ESD Electrostatic Discharge Test	MM 모델, C : 200pF R : 0Ω, Polarity = ± Interval : 1sec, 사이클수 : 5 cycles	

**방법 5> 신뢰성 시험**

4모델 총 124개 시료에 대해 PCT, TCT, HAST, 프리컨디셔닝 및 ESD 시험을 실시하기로 하고, <표 10> 과 같이 신뢰성 시험 계획서를 작성하여 시험을 실시하였다.

**<표 10> 신뢰성 시험 계획서**

구분	계 획	7월				8월				9월				
		1W	2W	3W	4W	1W	2W	3W	4W	1W	2W	3W	4W	
PCT	계 획													
	실 격													
TCT	계 획													
	실 격													
HAST	계 획													
	실 격													
Precon.	계 획													
	실 격													
ESD	계 획													
	실 격													

**방법 6> 고장발견**

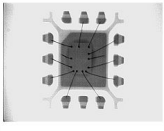
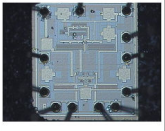
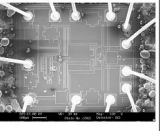
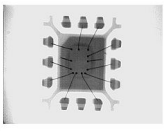
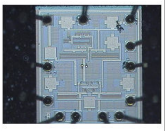
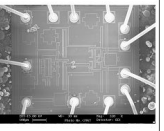
5가지 항목의 신뢰성 시험 실시 결과 PCT, TCT, HAST 및 프리컨디셔닝 시험에서 모두 합격하였다.

그러나 ESD 시험에서 3모델에 대한 시료 6개 모두 EIA/ JESD22-A115-A 규격의 Class A(ESD 펄스 200V 또는 그 이하에서 고장 발생함)에 상응하는 수준임을 알 수 있었다. 그러므로 본 연구에서 개발된 VCO IC 는 정전기적 특성에 취약하다고 판정되었다.

**방법 7> 고장분석**

방법 6의 신뢰성 분석 결과 정전기적 특성에 대한 취약점을 발견하였고, 이를 분석하기 위해 비파괴검사로 X-Ray 촬영을 파괴검사로 광학현미경과 전자현미경으로 관찰하였으나 특이한 점은 발견하지 못하였다<표 11>. 그러나 설계 검토를 통해 구조적으로 ESD 에 취약점을 발견하였다.

<표 11> 고장분석을 위한 비파괴/파괴검사

구분	비파괴 검사 X-Ray	파괴검사	
		광학현미경(OM)	전자현미경(SEM)
A Type			
			

**방법 8> 개선 및 확인시험**

위의 과정들을 통해 본 개발품이 정전기적 특성에 취약하다는 것을 발견하였고, 이를 개선하기 위해 RF ESD PAD의 재설계를 실시하였다. 현재 재설계를 반영한 2차 시료를 제작 중에 있으며 향후 재평가를 실시하여 신뢰성 확보 유무를 판정할 예정이다.

**5. 결론**

본 연구에서는 신개발 부품인 초소형 CMOS RF VCO IC의 신뢰성 설계를 위한 신뢰성 평가 프로세스 수립하기 위하여 신뢰성 성장관리 모형과 고장분석 프로세스를 기초로 신뢰성 시험 개발, 시험 및 개선의 3 단계로 구성된 프로세스를 제안하였다. 특히 제품의 취약점이나 고장을 잘 검출해 낼 수 있는 시험을 선정하기 위하여 고장메커니즘 기반의 2-단계 QFD 기법을 이용하였다. 그리고 제안된 신뢰성 평가 프로세스에 의해 부품 개발을 진행하였으며 신뢰성 평가 결과 취약점을 도출할 수 있었다. 발견된 취약점을 개선하기 위하여 고장분석 후 대책을 수립하였고, 현재 2차 시료를 제작 중에 있다. 향후 재평가 후 신뢰성 이상 유무를 판단하여 신뢰성 설계에 반영할 예정이다.

**참고문헌**

[1] Agency for Technology and Standards (ATS) (2003), Reliability Glossary.  
 [2] B. Purvee, R. Susko, J. Cullen, J. Veshinsky (1999), Use Condition Based Reliability Evaluation: An Example Applied to Ball Grid Array Packages. *Sematech RTAB*.  
<http://www.sematech.org/docubase/document/3813axfr.pdf>  
 [3] BS 2011, Basic Environmental Testing Procedures.  
 [4] IEC 60384-4(QC 300300), Fixed capacitor for use in electronic equipment-Part 4: Sectional specification: Aluminum electrolyte capacitors with solid and non-solid electrolyte.

[5] IEC Pub. 60721, Part 3. Classification of groups of environmental parameters and their severities.  
 [6] IEC 60068, Basic Environmental Testing Procedures.  
 [7] JIS C 0010, Environmental Testing Part 1: General and Guidance IEC 68-1  
 [8] J. W. Evans and J. Y. Evans (1997), Reliability assessment for development of microtechnologies, *Microsystem Tech., Volume 3, Number 4*, pp 145 - 154.  
 [9] K. Upadhyayula, A. Dasgupta (1998), Physics-of-failure guidelines for accelerating qualification of electronic systems. *Quality and Reliability Engineering International* 14 : 433-447.  
 [10] L. Oshiro, R. Radojcic (1997), A Design Methodology for CMOS VLSI circuits. *IRW Final Report 97*.  
 [11] M. Pecht (1996), Why the Traditional Reliability Prediction Models Do Not Work - Is There an Alternative?, *Electronics Cooling*, Vol 2, pp 10-12  
 [12] M. Pecht, A. Dasgupta(1995), Physics of failure. An approach to reliable product development. *IRW Final Report 95*.  
 [13] M. Pecht, L. T. Nguyen, E. B. Hakim (1995), Plastic-Encapsulated Microelectro-nics, John Wiley & Sons, New York.  
 [14] M. Ohring(1998), Reliability and Failure of Electronic Materials and Devices, Academic Press.  
 [15] MIL-STD-202F, Test Methods for Electronic and Electrical Component Parts.  
 [16] MIL-STD-750D, Test Methods for Semiconductor Devices.  
 [17] MIL-STD-883E, Test Method Standard Microcircuits.  
 [18] MIL-STD-810F, Environmental Test Methods and Engineering Guidelines.  
 [19] MIL-PRF-19500, Performance Specification, Semiconductor Devices, General Specification for.  
 [20] Mitsubishi, Reliability of Semiconductor Device  
<http://www.mitsubishichips.com/Global/reliability/>  
 [21] Motorola, Motorola Reliability Report for the LCX Product Family  
[http://www.eetkorea.com/ARTICLES/2000MAY/2000MAY15\\_AMD\\_PD\\_AN1.PDF](http://www.eetkorea.com/ARTICLES/2000MAY/2000MAY15_AMD_PD_AN1.PDF)  
 [22] National, Reliability Programs  
[http://www.national.com/quality/reliability\\_programs.html](http://www.national.com/quality/reliability_programs.html)  
 [23] Oki, Quality and Reliability Data Book  
<http://www2.okisemi.com/site/company/QualityReliability.html>  
 [24] R. Blish, N. Durrant (2000), Knowledge-Based Reliability Qualification Testing of Silicon Devices. *Sematech RTAB*.  
<http://www.sematech.org/docubase/document/3958a>

2005 한국경영과학회/대한산업공학회 춘계공동학술대회  
2005년 5월 13일 ~ 14일, 충북대학교

xfr.pdf

[25] R. Blish, N. Durrant (2004), Comparing the Effectiveness of Stress-based Reliability Qualification Stress Conditions. *Sematech RTAB*.  
<http://www.sematech.org/docubase/document/4510atr.pdf>

[26] R. Blish, S. Huber, N. Durrant (1999), Use conditions based reliability evaluation of new semiconductor technologies. *Sematech RTAB*.  
<http://www.sematech.org/docubase/document/3810axfr.pdf>

[27] Samsung, Quality and Reliability Handbook.

[28] Toshiba, Semiconductor Reliability Handbook(Integrated Circuit).

<http://www.semicon.toshiba.co.jp/eng/prd/common/data/ic.html>

[29] W. H. Gerling, A. Preussgeri, F. W. Wulfert.(2002) Reliability Qualification of Semiconductor Devices based on Physics-of-Failure and Risk and Opportunity Assessment. *Quality and Reliability Engineering International Qual. Reliab. Engng. Int.* 18: 81-98