

차세대 CMOS dual metal gate용 Mo계열 합금 전극에 관한 연구

오태관, 이진우, 김지영*

국민대학교 신소재공학부, *국민대학교 신소재공학부 교수

MOSFET(Metal Oxide Semiconductor Field Effect Transistor)소자의 정보 처리 속도를 증가시키기 위해서는 게이트 캐패시턴스의 증가가 무엇보다도 중요하다. 지금까지 게이트 캐패시턴스를 증가시키기 위해서 꾸준히 게이트 유전박막인 SiO₂의 두께가 감소되어 왔으며, 앞으로 예상되는 65nm급 저전력 동작 MOSFET에서는 1.3nm의 SiO₂에 해당하는 유전박막(EOT, the equivalent gate oxide thickness)을 필요로 하고 있다.^[1] 그러나 이런 유전박막 두께의 감소로 게이트 유전박막과 poly-Si의 계면에서 depletion 현상^[2]과 게이트 전극의 저항을 줄이기 위한 Poly-Si의 doping 농도 증가에 따른 dopant penetration 현상^[3]을 초래하게 된다. 따라서 이러한 문제점을 해결하려는 대안으로 기존의 Poly-Si 게이트 전극의 대체 물질로 여러 가지의 metal gate의 연구가 많이 진행되고 있다. 본 연구에서는 Mo 계열의 합금형태로는 nitride, silicide, carbide, 그리고 3원계인 MoSiN의 특성을 조사하였으며, dual metal gate electrode로의 사용 가능성을 알아보기 위해 flat band voltage의 tunability에 대한 연구를 진행하였다.

[참고문헌]

1. International Technology Roadmap for Semiconductors, Semiconductor Industry Association, (2003)
2. Lee W-C et al, "Enhancement of PMOS device with poly-SiGe gate." IEEE Electron Dev Lett, 20(5), 232-234, (1999)
3. Momose, H.S. et al, "Study of the manufacturing feasibility of 1.5-nm direct-tunneling gate oxide MOSFETs: uniformity, reliability, and dopant penetration of the gate oxide" Electron Devices, IEEE Transactions on ,Volume: 45, Issue: 3, Pages:691-700, (1998)