

FPGA를 이용한 다중 채널 음성 픽업 시스템 설계에 관한 연구

주형준⁺·전재국⁺⁺·김세영⁺⁺⁺·김기만⁺⁺⁺⁺

Design of Multi-channel Speech Pickup System using FPGA

Hyung-jun Ju⁺, Jae-kuk Jeon⁺⁺, Se-young Kim⁺⁺⁺ and Ki-man Kim⁺⁺⁺⁺

Abstract : Recently the telematics system is used widely. Users want to high quality communications. Since the primary advantage of using an array is to enhance a desired signal and reject jamming interferences, array signal processing is essential to satisfy unmet demand of user. In general, beamforming is a spatial filtering operation performed on the data received by an array of sensors. So we propose the beamformer design that use FPGA for real time processing. And we use zero-padding interpolation for high resolution data.

Key words : Delay-and-sum, Beamformer, FPGA, Interpolation.

1. 서론

지난 수년간 무선 통신은 여러 분야에서 커다란 발전을 거듭해왔다. 그러나 이러한 무선 통신은 여러 주위 환경의 잡음이나 간섭에 의해 통신의 질이 격하되는 경우가 발생한다. 본 논문에서는 이러한 주변 잡음을 제거하고 통신의 질을 향상시키기 위한 방법으로 센서의 어레이를 이용하여 빔 형성기를 설계하였다. 빔 형성기는 공간적 필터의 개념으로써 원하는 신호의 위치로 빔 이득을 집중시켜 주위의 잡음을 제거하는 기법이다. 설계된 빔 형성기는 zero-padding 보간법을 사용하여 입력 데이터의 해상도를 높임으로써 더욱 향상된 결과를 얻게된다[2]. 또한 실시간 데이터 처리와 구현된 하드웨어의 집적성을 위하여 FPGA(Field programmable Gate Array)로써 시스템을 구현하였다.

2. Delay-and-Sum 빔 형성기

2.1 Delay-and-Sum 빔 형성기

빔 형성에는 다른 방향의 잡음으로부터 대상 신호를 증폭, 추출하기 위해 어레이 패턴과 각각의 센서에서 수신된 신호간의 위상 차이를 구하여야 한다. 본 논문에서는 빔 형성의 대표적인 알고리즘인 Delay-and-Sum 빔 형성을 사용한다. 이는 신호가 센서에 도달하는 전파시간으로 신호원을 간단히 구하는 기법이다. 시간 지연을 가지고 입력된 신호들은 해당하는 지연 동작을 거친 후 가중치를 곱하고, 모든 신호들을 더함으로써 빔 출력을 얻을 수 있다. 그 관계식은 식(1)과 같다.

$$\tilde{y}_i[n] = \frac{1}{N} \sum_{i=0}^{N-1} y_i[n + D_i] = y[n] + v[n] \quad (1)$$

여기서 i 는 센서 넘버이며, D 는 시간지연, $v[n]$ 은 부가잡음이다.

2.2 보간법

빔 형성 성능 향상을 위해 데이터의 해상도 향상이 필요하다. 보간법은 주어진 점들을 통과하는 함수를 구하고 이웃한

위치에서의 값을 찾아내는 계산과정이다. 본 논문에서 사용된 보간법은 zero-padding 기법이다. zero-padding 기법은 각각의 샘플 데이터 사이에 원하는 수만큼의 '0' 의 값을 배치시킨다. 그리고 그것의 출력은 다시 저역통과 필터를 통해 원래의 샘플 사이의 값을 보정하게 된다. 시간영역에서 샘플들 사이에 '0' 의 값으로 분리되는 간격은 식(2)와 같다.

$$T_s/D = 1/(D \times f_s) \quad (2)$$

여기서 D 는 zero-padding의 인수 성분이다. 결국, 보간법에 의해 과샘플링 되어 그 샘플율은 $f_s \times D$ 가 된다.

2.3 빔 형성기 구성

Delay-and-Sum 빔 형성기는 앞서 설명된 zero-padding에 의한 보간법과 Delay-and-Sum 알고리즘을 함께 수행함으로써 좀 더 향상된 성능으로 설계할 수 있다. 그 구조는 fig. 1과 같다.

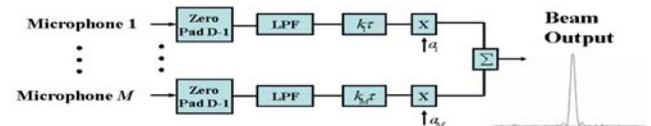


fig. 1. Delay-and-Sum Beamformer Block Diagram.

3. Delay-and-Sum 빔 형성기의 FPGA 설계

앞서 논의된 보간 필터링을 거친 Delay-and-Sum 빔 형성기를 실제적용을 위한 방법으로 FPGA를 이용하여 구현하였다. 수신 입력은 4채널로 데이터를 취득하도록 구성하였다. 설계된 빔 형성기의 시스템 블록 다이어그램이 fig. 2에 나타나있다.

+ 주형준(한국해양대학교 전파공학과),E-mail:juice9@bada.hhu.ac.kr, Tel: 051)410-4918

++ 전재국(한국해양대학교 전파공학과),E-mail:j2kai@hanmail.net, Tel: 051)410-4918

+++ 김세영(한국해양대학교 전파공학과),E-mail:sgtg-fm@nate.com, Tel: 051)410-4918

++++ 김기만(한국해양대학교 전파공학과),E-mail:kimkim@mail.hhu.ac.kr, Tel: 051)410-4423

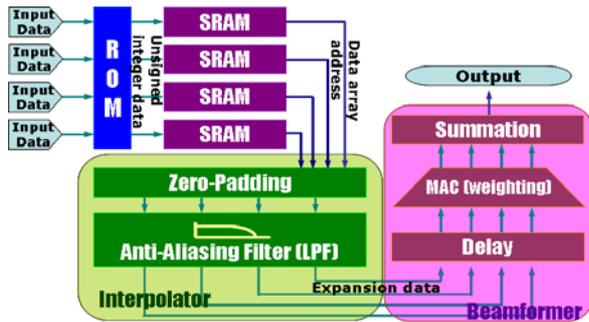


Fig. 2. system Block Diagram of Delay-and-Sum Beamformer .

설계된 빔 형성기를 FPGA에 이식하기 위해 사용된 칩은 ALTERA사의 Cyclone EP1C6Q240 칩이다. 사용된 칩은 5980 LE와 20개의 램 블록, 92160 전체 램비트, 2개의 PLLS, 그리고 사용자 가능 입출력 핀이 최대 185개이다. 설계된 빔 형성기는 JTAG을 통해 칩으로 다운로드 시켰다. Fig. 3은 빔 형성기에서 4채널로 입력된 신호가 보간법을 거친 출력을 보여준다. 4채널에서 각각 지연을 가진 신호를 확인할 수 있으며, 출력 데이터는 샘플링 주파수 및 양자화 해상도가 상승되었음을 확인할 수 있다.

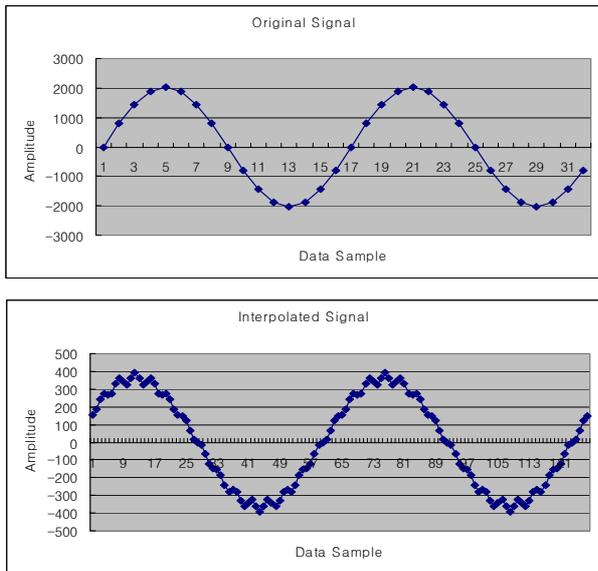


Fig. 3. Processing Result of Zero-Padding Interpolated Sine Signal on Designed System.

본 논문에서 설계된 FPGA를 통한 빔 형성기의 최종 출력력은 Fig. 4와 같다. 신호원 30°에서 빔 이득이 가장 높은 것을 확인할 수 있으며, 이는 시뮬레이션 값과도 차이가 나지 않는 결과이다.

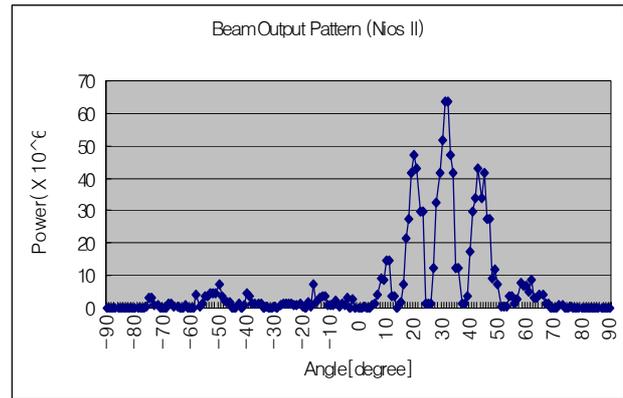


Fig. 4. Output Beam Patter using FPGA.

4. 결론

본 논문에서는 다중 채널 음성 픽업 시스템 설계에 대해 연구하였다. 주변 잡음을 제거하고 사용자의 음성만을 취득하기 위해 보간 필터를 갖는 Delay-and-Sum 빔 형성기를 이용하였다. 실시간 처리와 실제 적용을 위해 ALTERA사의 Cyclone 칩을 이용하여 FPGA를 구현하였으며 그 결과를 확인하였다. 향후 과제로서 실제 통신 환경에서의 실시간 실험이 필요할 것이다. 또한 LE를 줄임으로써 좀 더 많은 채널로 데이터를 수집하여 성능을 개선해야 할 것이다.

참고문헌

- [1] Paul Graham and Brent Nelson, "FPGA-Based Sonar Processing," *Proceedings of the 1998 ACM/SIGDA sixth international symposium on Field programmable gate arrays* (Monterey, CA, USA, 1998), pp.201-108.
- [2] U. Meyer-Baese, *Digital Signal Processing with Field Programmable Gate Arrays*, Springer, pp.79-113, 2001.
- [3] Richard O. Nielsen, *Sonar Signal Processing*, Artech House, Inc, pp.22-81, 1991.
- [4] Russell J. Petersen , Brad Hutchings, "An Assessment of the Suitability of FPGA-Based Systems for Use in Digital Signal Processing," *Proceedings of the 5th International Workshop on Field-Programmable Logic and Applications*, p.293-302, September, 1995