

멀티미디어 프로세서 아키텍처에 관한 연구

*박 춘 명, *이 택 근
*충주대학교 전기·전자 및 정보공학부 컴퓨터공학과

A Study on Multimedia Processor Architecture

*Chun-Myoung Park, *Taek-Keun Lee
*Dept. of Computer Engineering, School of EEIE, Chungju National University
E-mail : cmpark@chungju.ac.kr

Abstract

This paper present a method of constructing the multimedia processor architecture. The proposed multimedia processor architecture be able to handle each text, sound, and video in one chip. Also it have interactive function that is a characteristics of multimedia.

Specially, the proposed multimedia processor be able to addressing nodes in memory map without software, and it is completely reconfigurable depend on data.

Also it as able to process time and space common that have synchronous/asynchronous and it is able to protect continuous and dynamic media bus collision, and local and overall common memory structure.

The proposed multimedia processor architecture apply to virtual reality and mixed reality.

I. 서론

1980년대 이후 마이크로컴퓨터 아키텍처, 그래픽처리, 디지털오디오신호처리, 통신 부품 등 이른바 IT 관련의 핵심들은 VLSI의 진전과 더불어 급속히 발전되어 왔다.^[1-3]

통계에 의하면 매 4년 주기로 마이크로컴퓨터의 성능이 3배씩 발전되었다고 한다.

특히, 최근에 인간과 컴퓨터 사이의 인터페이스(HCI)가 중요한 요인으로 그 비중이 커짐에 따라 그래픽을 렌더링하고, 그래픽의 실시간 처리, 인터랙티브 기능의 그래픽 표시기와 같은 특별한 기능을 수행할 수 있으며, 각종 멀티미디어의 미디어들을 효율적으로 다룰 수 있는 기능을 가지는 프로세서의 필요성이 대두되었다.^[4-7]

즉, 효율적인 고속 렌더링을 수행하기 위해서는 DDA(Digital Differential Analyzer), 문서 매핑, 명암 기법, 숨은표면제거기술, 색혼합 등과 같은 그래픽 기능을 1개의 프로세서에서 처리할 수 있는 프로세서 아키텍처가 필요하게 되었다.

또한, 좀 더 정교한 오디오신호처리 등도 1개의 프로세서 안에서 처리할 수 있는 좀 더 고효율의 프로세서 아키텍처가 필요하게 되었다.

따라서 이러한 문제점들을 해결하기 위해 최근에 소프트웨어와 하드웨어 개발자들은 멀티미디어 프로세서에 관심을 갖게 되었다.

일반적으로 멀티미디어 프로세서는 다중작업, 가상현실(VR: Virtual Reality)^[8-10]과 같은 응용에 필요한 병렬처리, 엔터테인먼트 또는 교육용 타이틀의 상호대화식표현, 비디오 텔레컨퍼런싱, 비디오저작, 인공위성의 채널로 부터의 실시간 데이터 압축과 암호화 등과 같은 다중처리를 구현할 수 있는 기능을 집적한 프로세서로 정의한다.

즉, 멀티미디어 프로세서는 1개의 칩속에 텍스트, 그

래픽, 비디오, 오디오 등과 같은 여러 매체를 구현할 수 있는 프로세서로 정의한다.

특히, 멀티미디어 프로세서 특징 중에 한가지는 실시간 다중그래놀라와 같은 하이브리드 처리를 들 수 있다.

따라서, 성공적인 멀티미디어 중심의 프로세서 설계는 근본적으로 어떻게 컴퓨터 그래픽스와 비디오 간의 매핑을 효과적으로 실현해야 하는지에 의존한다.

최근의 프로세서의 발전은 다음과 같이 요약할 수 있다.

1980년대 중반까지는 고전적인 설계 기법에서 분기한 ASIC에 기초를 둔 다음의 3가지 형태가 있다.

- (1)SIMD 구조안에 다중의 PE를 갖는 병렬처리아키텍처
- (2)함수기반의 아키텍처
- (3) RISC에 내포된 단일 칩 아키텍처

한편, 최근에는 메모리의 가격이 급격히 떨어지면서 소프트웨어 설계는 프로그램 크기에 크게 신경을 쓰지 않아도 되었지만, 하드웨어는 프로그램 크기 제한을 고려하여야 한다.

가장 중요한 설계 기술은 가장 적은 패키지 크기와 제한된 게이트의 수에 가능한 한 많은 함수를 실현하고 축약하는 것이라고 할 수 있다.

즉, 낮은 집적도의 LSI 환경에서는 멀티미디어 프로세서는 고효율을 생성할 수 가 없었으며, 결과적으로 이는 그래픽, 오디오, 비디오 등의 회로에 대한 하드웨어를 각각 독립적으로 발달하게 하는 원인이 되었다.

따라서, 본 논문에서는 이러한 기존의 멀티미디어 프로세서의 단점을 보완하고 고효율의 다중 멀티미디어 처리를 가능하게 하고, 또한 독립적인 쓰레드의 요구를 충족시킬 수 있는 멀티미디어 프로세서 아키텍처 구성에 대한 한가지 방법을 제안하였다.

본 논문의 서술과정은 다음과 같다.

II장에서는 일반적인 멀티미디어시스템의 계층 구조와 이를 구성하는 내용과 제안한 멀티미디어 프로세서 아키텍처에 대해 서술하였다.

그리고 III장에서는 멀티미디어 가속기를 구성하기 위해 완전한 그래프 네트워크와 이를 구현하는데 기본이 되는 PE(Processing Element)에 대한 구조를 설명하였다. 그리고, 이들 PE를 사용하여 최종 멀티미디어 프로세서의 구현에 대해 논의 하였다.

마지막 IV장에서는 본 논문에서 제안한 멀티미디어 프로세서 아키텍처에 대한 특징을 논하였으며 향 후

연구과제를 기술하였다.

II. 멀티미디어 프로세서 아키텍처

일반적으로, 멀티미디어 시스템은 실시간 다중그래놀라와 상호대화식 처리를 수반한다.

지금까지는 벡터를 생성하고, 다각형을 채움으로 스펀처리, 텍스트 매핑 회로, 숨겨진 표면제거제어기, 픽셀에 대한 논리 및 산술 연산 유닛, 프레임 버퍼 인터페이스를 수행하는 기록 가능한 저장프로그램, DDA를 갖는 부동소수점연산 프로세서로 구성되는 그래픽 가속기 등과 같은 ASIC안에 그래픽 기능을 포함시켰으며 이러한 구조들은 크게 변화하지는 않았다.

그러나 위에서 언급한 부분에서 그래픽 가속기는 주로 SIMD 구조로 변화되어 발전되어 왔다.

또한, 사운드 합성과 사운드처리함수는 전문가와 소비자들을 위해 ASIC안에 포함되었으며, 특히 3D 오디오 가속기는 최근에 중요한 연구 대상으로 대두되고 있다.

일반적으로 멀티미디어 아키텍처에 대한 계층 블록도는 다음 그림2-1과 같이 표현 할 수있다.

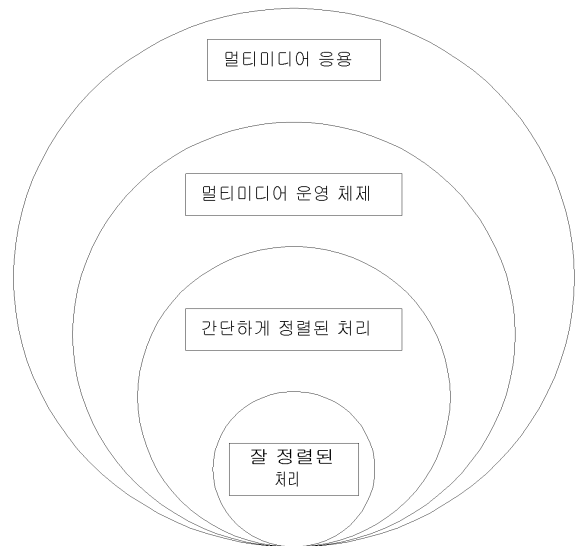


그림 2-1. 일반적인 멀티미디어시스템 계층 구조
Fig. 2-1. A Hierarchical structure of the generalized Multimedia System

본 논문에서 제안한 멀티미디어 프로세서 아키텍처에 대한 블록도는 다음 그림2-2와 같으며, 이를 통해

멀티미디어 시스템에 대한 다중 함수들은 1개의 칩 위에 구현되어질 수 있으며 이들 각각은 서로 독립적이다.

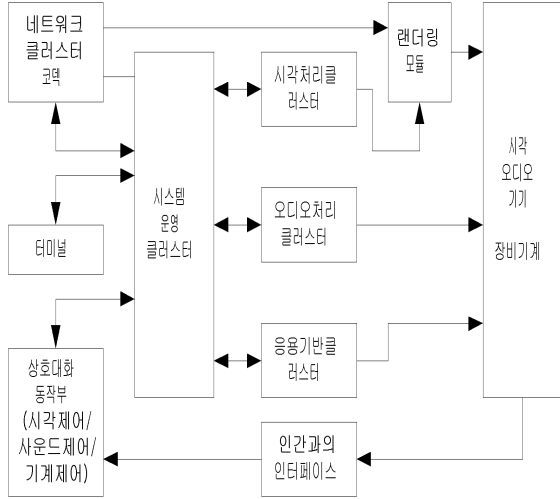


그림 2-2. 제안한 멀티미디어 프로세서 아키텍처 블록도

Fig. 2-2. Block Diagram of the proposed Multimedia Processor Architecture.

그림2-2에서와 같이 제안한 멀티미디어 프로세서 아키텍처는 크게 그래픽, 오디오, 코덱, I/O 인터페이스의 4개 부분으로 구성되어 있으며 이들을 통해 다음과 같은 것들을 구현할 수 있다.

- (1) 멀티미디어 가속기
- (2) 그래픽 렌더
- (3) 오디오 렌더
- (4) 통신 코덱 프로세서
- (5) 사용자 상호대화식 처리 매니저

III. 멀티미디어 가속기

일반적인 응용을 위한 단일 프로세서 아키텍처를 갖는 마이크로컴퓨터의 보급에도 불구하고, 병렬처리 아키텍처는 고효율 그래픽을 위해 제안되었으며 이와 같은 설계는 그동안 크게 변화하지 않았다.

일반적으로 단일 칩의 수행 능력은 4년마다 3배씩 개선되는 것으로 조사되었다.

이러한 개선률은 실시간과 향후 요구되는 가상현실의 응용을 위한 실제적인 렌더링을 구현하기에는 불충분하다.

3.1 완전한 그래프 형태의 재구성 가능한 내부 결선 네트워크신호 메시지 정의

지난 수년동안 행렬, 파이프라인 개념의 네트워크는 병렬처리응용을 수행하기 위한 가장 좋은 내부 결선 네트워크로 생각되어 왔다.

한편, SIMD와 MIMD 아키텍처는 특별하고 유일한 알고리즘(예, 수학적 모델링)으로 정의된 기하학적 모델을 위한 고효율을 얻기 위한 것으로 사용되어 왔다.

그러나, 비동기 사건 형태의 다양하고 연속적인 데이터로 구성된 멀티미디어 응용을 처리하는 데는 지금까지의 고정된 내부 결선의 네트워크로 이를 구현하는 것에는 한계가 있는 단점이 도출되었다.

이러한 단점을 극복하기 위해서, 완전한 그래프 또는 재구성이 가능한 처리 형태로 구성된 아키텍처가 필요하게 되었다.

완전한 그래프 형태의 네트워크의 장점은 다음과 같이 요약된다.

- 소프트웨어 없이 메모리 맵의 노드 어드레싱
- 데이터 형태에 의존하는 완전한 재구성 가능한 아키텍처
- 동기/비동기를 갖는 시간 공유와 공간 공유 처리
- 연속적임과 동적인 매체 데이터의 버스 충돌에의 자유로움
- 지역적임과 전반적인 공유 메모리 구조로 부터의 버스 충돌에의 자유로움

본 논문에서 사용되는 완전한 그래프 네트워크의 병렬처리에 대한 블록도 다음 그림3-1과 같다.

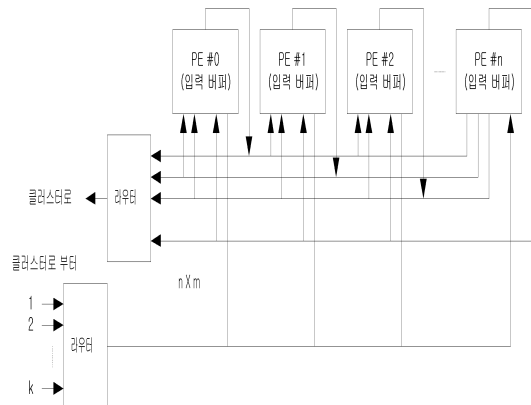


그림 3-1. 완전한 그래프 네트워크의 병렬처리에 대한 블록도

Fig. 3-1. Block diagram for parallel processing complete graph network

3.2 처리기(Processing Element)

본 논문에서 제안한 멀티미디어 프로세서 아키텍처에 사용되는 PE의 블록도는 그림3-2와 같다.

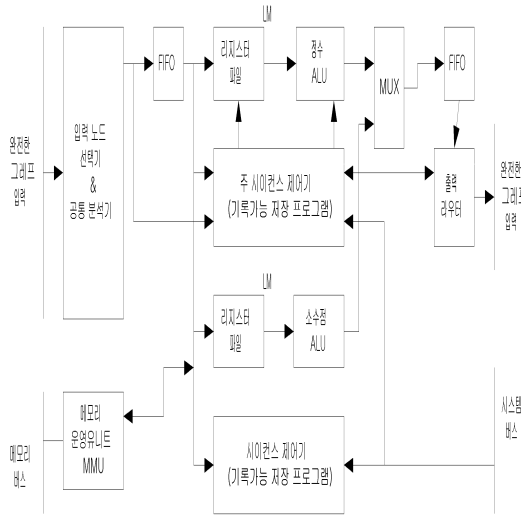


그림 3-2. 멀티미디어 프로세서의 PE의 블록도
Fig. 3-2. Block diagram for PE of multimedia processor

그림3-2에서와 같이 사용한 PE는 크게 형태A와 형태B의 2가지 형태로 분류할 수 있다.

형태A는 기록 가능 저장 프로그램, 레지스터 파일을 갖는 4개의 부동소수점 처리기로 구성되며, 이들 부동소수점 처리기는 2개의 승산기, 1개의 가산기/감산기와 1개의 제산기로 구성된다. 또한, 형태B는 기록 가능 프로그램, 정수 ALU, 지역 메모리, 메모리 처리 유닛, 내부 결선 네트워크와 라우터로 구성된다. 그리고 1개의 노드는 각각 형태A와 형태B의 PE인 2개로 구성된다.

IV. 결론

본 논문에서는 고효율 멀티미디어 프로세서 아키텍처 구성에 대한 한가지 방법을 제안하였다.

제안한 방법은 기존의 멀티미디어 프로세서의 단점들인 각종 텍스트, 사운드, 비디오 등의 미디어 들을 1개의 칩 속에서 처리할 수 있도록 하였으며, 또한 멀티미디어의 특성인 상호대화식 처리도 가능하게 하였다.

특히, 완전한 그래프에 기반을 둔 네트워크를 지향

하므로 소프트웨어 없이 메모리 맵의 노드 어드레싱을 가능하게 하였으며, 데이터 형태에 의존하는 완전한 재구성이 가능하며 동기/비동기를 갖는 시간 공유와 공간 공유 처리가 가능하다. 또한, 연속적임과 동적인 매체 데이터의 버스 충돌을 방지할 수 있으며 지역적임과 전반적인 공유 메모리 구조로부터의 버스 충돌도 방지할 수 있을 것으로 사료된다. 또한, 가상현실과 차세대 가상현실인 혼합현실에도 적용할 수 있으리라 사료된다. 향후 연구과제로는 형태A의 PE를 구성하고 가산기, 감산기, 승산기 및 제산기의 효율적인 구성이 요구되며 현재 연구 진행 중에 있다.

참고문헌

- [1] Escalance hardware Overview, talisman graphics and Multimedia System, Microsoft Corporation. version 3, 12 July 1996.
- [2] K. diefendorff and P. K. Dubey, How Multimedia Workloads Will Change Processor Design, IEEE Computer, vol.30, pp.43-45, 8 Sept. 1997.
- [3] Murphy, Multimedia Devices, Prentice-Hall, 1999.
- [4] J. Jayasinghe and O. Herrmann, Two level pipeline of Systolic array graphics engines. In: Advances in computer graphics and CAD, Springer, Berlin Heidelberg New York, 1991.
- [5] A. Karm, Multimedia Modeling, World sciene, 1998.
- [6] Gary Cooper, Multimedia, Libraies Unil. 1998.
- [7] A. Dix, J. Finaly, G. Abowd, and R. Beal: *Human-Computer Interaction*, Prentice-Hall Europe, 1998.
- [8] N. I. Durlach and A. S. Mavor: *Virtual Reality: Scientific and Technological Challenges*, National Academy Press, 1995.
- [9] S. Vedula, P. W. Rander, H. Saito, and T. Kanade: "Modeling, combining, and rendering dynamic real-world events from image sequences," Proc. 4th Conf. on Virtual Systems and Multimedia, vol.1, pp.326-332, Gifu Japan, Nov. 1998.
- [10] T. Starner, S. Mann, B. Rhodes, J. Levine, J. Healey, D. Kirsh, R. Picad, and A. Pentland: "Augmented reality through wearable computing," Presence: Teleoperator and Virtual Environments, vol.6, no.4, pp.386-398, August 1997.