

# BCD 기술을 이용한 고전류 및 Low Drop Out-voltage Regulator IC 설계에 관한 연구

\*박태수, 최인철, 이조운, 구용서  
서경대학교 전자공학과

e-mail : alamo@skuniv.ac.kr, redmoon1052@empas.com, ljw4831@empas.com, yskoo@skuniv.ac.kr

## A study on the design of High current and Low Drop Out-voltage Regulator IC using BCD Technology

\* Tae-su Park, In-chul Choi, Jo-woon Lee, Yong-seo Koo  
School of Information and Electronic engineering  
Seokyeong University

### Abstract

In this paper, the design of high current and high performance Regulator IC using BCD Technology are presented.

We design the 5A class regulator IC including the VDMOS Pass Tr. of N-sink array structure. Also, to obtain the high current and low power characteristics, the PMOS and BJT device are adapted for the Pass Tr. It is shown that simulation results of Regulator IC with VDMOS Pass Tr. have the  $I_{out}=4.5092A$ ,  $LDO=7.3mV$ .

### I. 서론

Regulator는 George Porter (Continental Device) 의 3단자 Regulator 최초 개발 발표 이후, 사용의 용이성과 저단가등의 장점 등으로 인하여 TV, HDTV, DVD, 노트북, Automobile, 휴대폰 등 모든 가전, 정보통신 기기의 핵심부품으로 사용되고 있다.

현재까지 가장 널리 쓰이고 있는 Regulator IC 로는, NPN darlington 구조를 사용하는 Standard Regulator라

볼 수 있다. 그러나, Regulator의 성능향상을 위하여는 Pass Tr. 에 걸리는 전압 강하가 작아야하며 (Low Drop Out voltage), 적은 전력소모 특성을 가져야 한다. 이와 같은 맥락에서 개발된 Regulator가 Quasi LDO 이다.

기존의 Regulator는 비교적 전류 특성이나, 저전압전원, 저전력소모에 자유로웠으나, 최근들어 시스템등이 저전압 전원을 사용하게 됨에 따라 PMOS LDO pass tr.을 탑재한 regulator등의 IC 가 요구되어지고 있다.

또한 , Battery powered system 이나 Automobile 등의 핵심부품으로 사용되는 고부가가치의 Regulator 에서는 10 A 내외의 고전류 특성이 요구되고 있다.

따라서, 본 연구에서는 국내에서의 개발이 미진한 고전류 Regulator IC 설계에 초점을 맞추어, N-sink array 방식의 VDMOS 소자를 고안하여, 이를 Pass Tr. 로 사용함으로써 약 5 A내외의 전류 특성을 갖는 Regulator IC 를 설계하고자 한다.

또한, 저 전류, 저 전압강하 특성을 갖는 다양한 응용분야에도 적용될 수 있도록, BJT LDO 및 PMOS LDO Regulator IC 등도 동시에 설계하고자 한다.

## II. Regulator IC 설계

### 2.1 Regulator IC 동작원리

Linear Regulator는 정보통신 시스템에 요구되는 모든 Power Supply의 기본적인 블록이다.

기본적인 구성 그림1. 과 같은 오차 증폭기와 기준 전압 회로, Pass Tr.로 이루어져 있다.

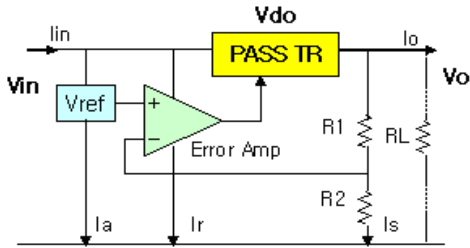


그림 1. Regulator IC 기본 구성도

동작원리는 오차 증폭기와 기준 전압 회로는 출력전압 값의 변화를 검출하여, 항상 일정한 DC 값을 갖도록 하는 역할을 (Sense/Control Circuitry) 하며, Pass Tr.은 입력, 출력, Error Amp.의 출력 등 3부분의 변화에 의한 전압 제어 전류원 역할을 함으로써 전류 값과 Rload 값에 의해 출력전압을 출력하는 구조로 되어 있다. Regulator의 출력은 식(1)과 같이

$$V_{out} = V_{ref} \left(1 + \frac{R_1}{R_2}\right) \quad \text{식(1)}$$

표현 할 수 있다.

### 2.2 Regulator IC 설계

#### 2.2.1 밴드갭 기준 전압 회로

기준 전압 회로를 공급전압, 온도, 공정 변화에 무관하게 일정한 전압을 얻고자 그림 2. 처럼 밴드갭 기준 전압 회로로 설계하였다.

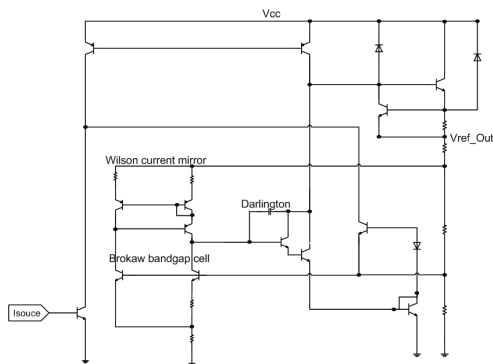


그림 2. 밴드갭 기준 전압 회로

설계한 기준전압회로는 크게 Start-up 회로, Wilson 전류 거울, Brokaw bandgap cell, Darlington, 등으로 구성되며, 동작 원리는 다음과 같다. Wilson current

mirror 는 아래쪽의 Brokaw bandgap cell에 같은 양의 전류를 공급하면 두 트랜지스터의 베이스-에미터 전압의 차이  $\Delta V_{be}$ , 그리고 Darlington의 베이스-에미터 전압이 합쳐져서 출력단에 일정한 전류를 공급하게 되고, 이 전류와 다른 인자들이 곱해져 최종 기준회로의 출력인  $V_{out}$ 으로 나오게 되며, 이때 이 회로는 2.51V의 출력을 갖도록 설계하였다.

#### 2.2.2 Error Amp. 회로

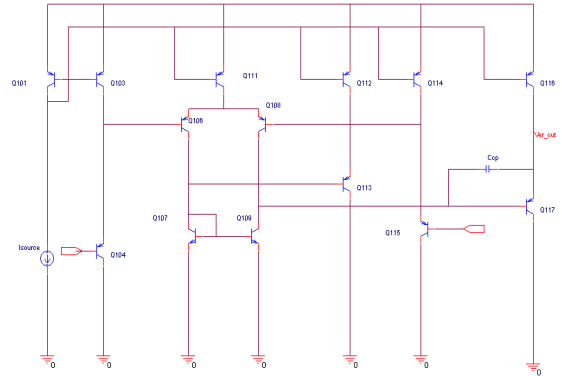


그림 3. 오차 증폭기 회로도

오차 증폭기는 입력단을 차동 (Q104,Q105,Q106,Q115) 은 pnp cascade 구성으로 높은 입력저항( $\approx 2M\Omega$ )를 얻기 위함이고, 에미터 폴로워 구조에서 밀리 캐패시터가 존재 하지 않는 점을 이용하여, 아주 좋은 high frequency 응답을 얻을 수 있는 cascade 구성방법을 사용하여 설계하였다.

AC 시뮬레이션 결과 DC gain=65.5dB, Phase Margin=62° 특성을 볼 수 있었다.

## III. VDMOS 설계

### 3.1 N-sink - type VDMOS 기본구조

본 논문에서는 기존의 Vertical 형태의 VDMOS와는 달리 N-sink array 형태로 설계하였다.

기본 구조의 단면도는 그림 4. 로 볼 수 있다.

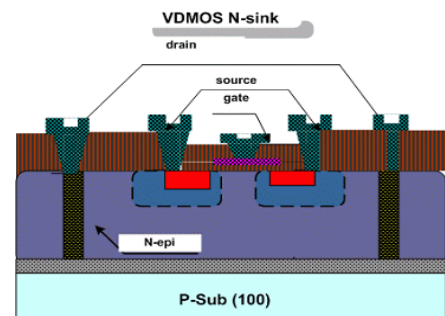


그림 4. N-sink 형태의 VDMOS 기본 구조

3.2 N-Sink - type VDMOS

VDMOS의 공정은 ISE사의 TCAD 중 2차원 시뮬레이터인 Dios를 사용하였다. P-type의 Sub를 사용하였고, 좀 더 나은 전류 구동 능력과 저항 감소를 위해 매물층을 형성하였다. 또한, VDMOS의 구조상 Bottom쪽에 Drain이 있는 단점을 보완하기 위하여 N-sink 공정을 이용, Drain영역을 수평 구조로 형성하였다. 전류 구동 능력에 대한 비교를 위해서 N-sink array 구조를 2, 5의 array 구조를 갖는 VDMOS를 시뮬레이션 하였다. VDMOS의 공정 과정은 그림 5.와 같다.

VDMOS process flow chart (n-sink 공정)

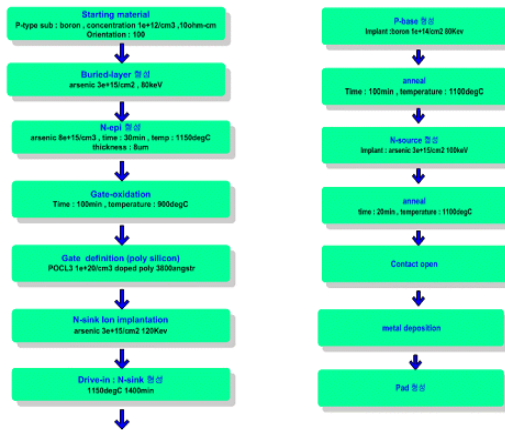
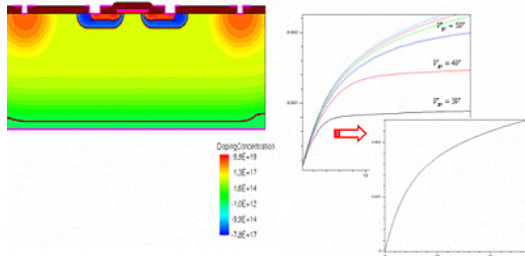


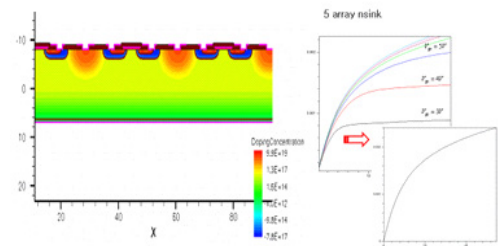
그림 5. N-Sink array VDMOS process flow chart

3.3 N-sink Array 에 따른 소자 시뮬레이션 및 결과분석



(a) 도핑 농도 (b) I-V 특성 곡선

그림 6. Two array N-Sink 공정의 도핑 농도 & I-V 특성 곡선 (Current 값은 0.8mA/μm)



(a) 도핑 농도 (b) I-V 특성 곡선

그림 7. Five array N-Sink 공정의 도핑 농도 & I-V 특성 곡선 (Current 값은 2.2mA/μm)

그림 6., 그림 7. 에서와 같이 N-Sink array가 증가함에 따라 전류가 증가함을 볼 수 있으며, 본 논문에서는 Five array N-sink 구조를 갖는 VDMOS 소자를 Pass Tr.로 구현하였다.

N-Sink array 에 따른 VDMOS	$I_D$ (mA/μm), $V_{GS} = 9V$
Two N-Sink array	0.8 mA
Five N-Sink array	2.2 mA

표 1. N-Sink array 에 따른 VDMOS

IV. Pass Tr. 에 따른 Regulator IC 시뮬레이션 및 Layout

4.1. Pass Tr. 에 따른 Regulator IC 시뮬레이션

4.1.1 Pass Tr.이 NPN Darlington 구조

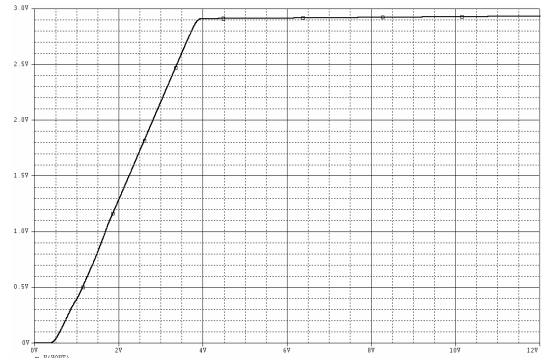


그림 8. DC 시뮬레이션 결과

Pass Tr. 이 NPN Darlington 구조인 경우, DC 시뮬레이션 결과  $V_{out}=2.90V$ ,  $LDO=1.02V$ 가 나타났다.(그림 8.)

4.1.2 Pass Tr.이 PNP 구조

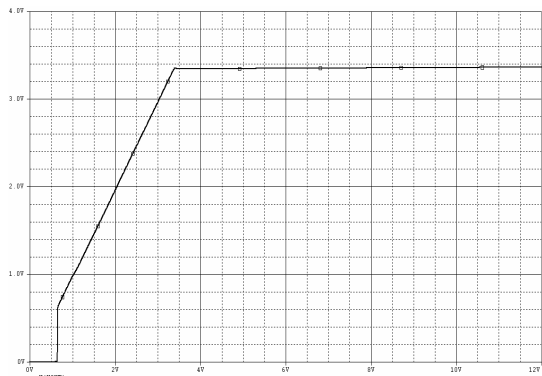


그림 9. DC 시뮬레이션 결과

Pass Tr. 이 PNP 구조인 경우, DC 시뮬레이션 결과  $V_{out}=3.35V$ ,  $LDO=70.1mV$ 가 나타났다.(그림 9.)

4.1.3 Pass Tr.이 PMOS 구조

참고문헌

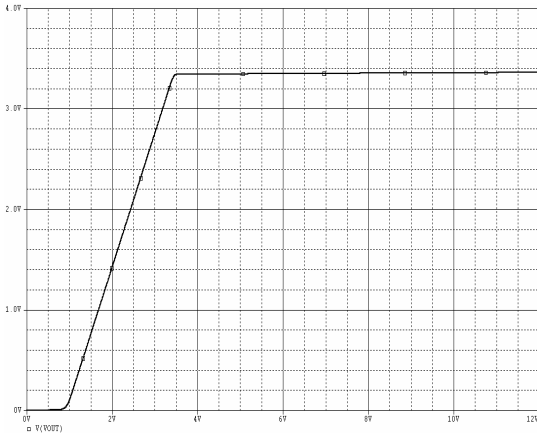


그림 10. DC 시뮬레이션 결과

Pass Tr. 이 PMOS 구조인 경우, DC 시뮬레이션 결과  $V_{out}=3.33V$  ,  $LDO=139.4mV$ 가 나타났다.(그림 10.)

4.1.4 Pass Tr.이 VDMOS 구조

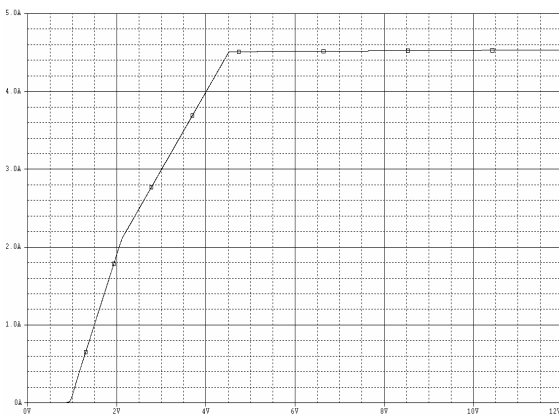


그림 11. DC 시뮬레이션 결과

Pass Tr. 이 VDMOS 구조인 경우, DC 시뮬레이션 결과  $I_{out}=4.49A$  ,  $LDO=6.5mV$ 가 나타났다.(그림 11.)

V. 결론

본 연구에서는 N-sink array 구조의 5A급 VDMOS 소자를 고안하여, 이를 Pass Tr. 로 사용한 고전류 Regulator IC 설계를 수행하였으며 아울러, 저 전류 및 저 전압 강하 특성을 갖는 BJT LDO 및 PMOS LDO Regulator IC 등도 동시에 설계하였다.

시뮬레이션을 한 결과, PNP구조의 경우  $V_{out}=3.42V$ ,  $LDO =70.1mV$  나타났으며, VDMOS 구조는  $I_{out}=4.49A$ ,  $LDO=6.5mV$ 의 값을 보여줌으로써, 기존의 PMOS Pass Tr.을 내장한 Regulator IC 와 비교하여 보다 우수한 특성을 얻을 수 있었다.

[1] Voltage references : from diodes to precision high-order bandgap circuits / Rincon-Mora, Gabriel A / IEEE Press (TK454 .R54 2002)

[2] Rey-Tauriac, Y., Taurin, M., Lhermite, H., Bonnaud, O., " Reliability oriented process and device simulations of power VDMOS transistors in Bipolar/CMOS/DMOS technology " Physical and Failure Analysis of Integrated Circuits, 2003. IPFA 2003. Proceedings of the 10th International Symposium on the , 7-11 July 2003 Pages:29 - 35

[3] Pavlovic, Z., Manic, I., Prijic, Z., Stojadinovic, N., " Influence of channel dopant concentration and temperature on low-voltage VDMOS transistor ON-resistance " Semiconductor Conference, 1998. CAS '98 Proceedings. 1998 International , Volume: 1 , 6-10 Oct. 1998 Pages:153 - 156 vol.1

[4] Liu Sanqing, Cao Guangjun, Ying Jianhua, Xu Yanzhong, Qin Zuxin, " Design of double diffused structure power ICs " Semiconductor Conference, 1995. CAS'95 Proceedings., 1995 International , 11-14 Oct. 1995, Pages:363 - 366.

[5] Berta, F., Hidalgo, S., Godignon, P., Rebollo, J., Millan, J., " A simplified low voltage smart power technology " Electrotechnical Conference, 1991. Proceedings., 6th Mediterranean , 22-24 May 1991 Pages:263 - 266 vol.1

**Acknowledgement**

본 논문은 IT-SoC 사업단 및 ETRI의 지원으로 수행 되었으며, IDEC의 지원 장비를 활용하였습니다.