

CMOS 단일 전원 OPAMP IC 레이아웃 설계

장순석*, 김유리아**

조선대학교 전자정보공과대학 정보제어계측공학과

CMOS Single Supply Op Amp IC Layout Design

Sunsuk Jarng *, Yuriae Kim**

Information Control Instrumentation Engineering Department

Chosun University

E-mail : *ssjarng@chosun.ac.kr

Abstract

According to miniaturization trend of rehabilitation medical equipment such as hearing aid, study to replace previous complex system with semiconductor SOC (System-on-Chip) chip becomes lively. In this study, after investigating of existent hearing aid performance in circuit design approach, low electric power consuming, single power supply (1.4V battery) CMOS OP AMP was designed. Analog circuit design tools such as Hspice and Cadence were used for circuit simulation and implementing layout design. This study shows technical methods particularly for layout design. The work is done in pmos and nmos active element layout design in addition to passive element design such as resister, capacitor and inductor.

I. 서론

보청기에 사용되는 OP-AMP 는 낮은 전압, 단일전원, 높은 이득, 낮은 에너지 손실 등의 요구사항을 충족시키도록 설계된다. 마이크로폰에서의 입력신호는 1mV 보다 더 작은 신호이어서, OP AMP 는 작은 신호에도 매우 민감하도록 설계, 제작되어야 한다. 또 한, OP AMP 는 마이크로폰 출력 에너지의 왜곡과 낭비를 피하기 위해 매우 낮은 출력 임피던스를 가지도록 rail-to-rail 출력스윙을 설계해야 한다.

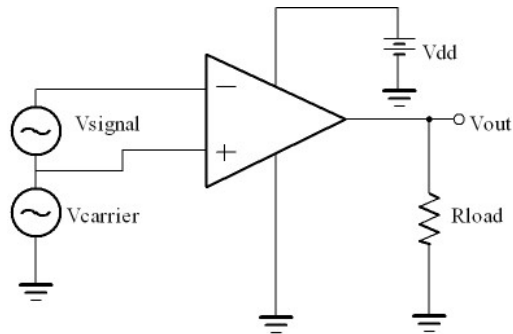


그림 1. 단일 전원 OP AMP

OP AMP 에는 입력단계, 이득단계, 출력단계로 이루어져 있다. 입력단계는 N 채널 차동 입력을 가지며 이득 단계에서는 많은 양의 전류의 공통소스 P 채널 트랜지스터를 가진다. 입력단계, 이득단계, 출력단계의 세 단계를 각각의 회로로 구성하고 각각의 회로에 대한 시뮬레이션을 한 다음, 최종단계에서 각각의 회로들을 모두 합쳐 하나의 회로로 만들고 자 한다.

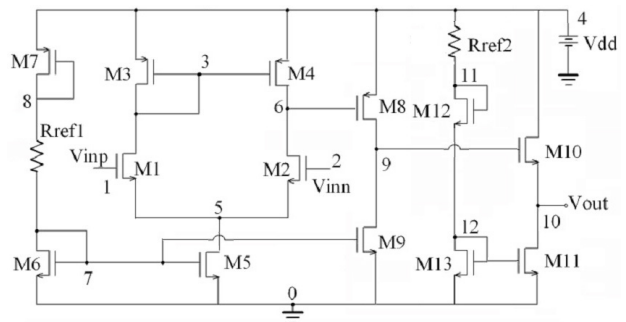


그림 2. OP-AMP 의 최종 내부 회로도

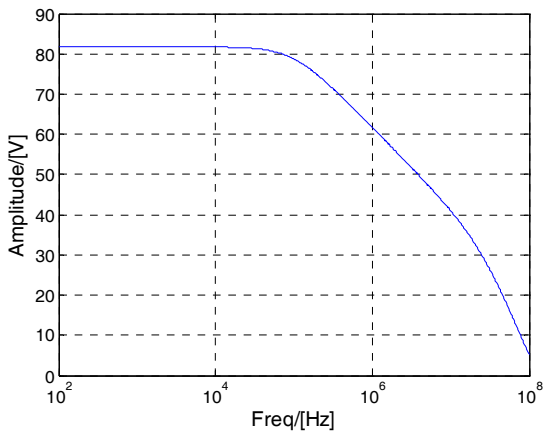


그림 3. 진폭에 대한 주파수 응답 시뮬레이션 결과

```
.SUBCKT pmos1 VGG
*.PININFO VGG:I
MM0 GND! VGG VDD! VDD! pmos_lv
W=1.7u L=240.00n
```

그림 5. Schematic 후 추출한 Netlist File

다음으로 Back-end design 을 수행하였다. Layout 은 칩 설계의 물리적인 공정으로 metal, nwell 등의 소자를 물리적으로 이용해 위에서 설계한 회로처럼 동작하도록 설계하였다. layout 을 할 때 아남 0.25um 공정을 사용하여 layout 을 하였다.

II. PMOS 설계와 NMOS 설계

2.1 PMOS 설계

Schematic 은 칩의 도면을 작성하는 단계로서 pmos 를 그려 주는데 출력을 없애고 pmos 에 채널 길이(W)와 길이(L)의 값을 입력하였다. 여기에 입력된 값은 나중에 layout 을 할 때 이와 똑같은 값과 길이를 사용하게 된다.

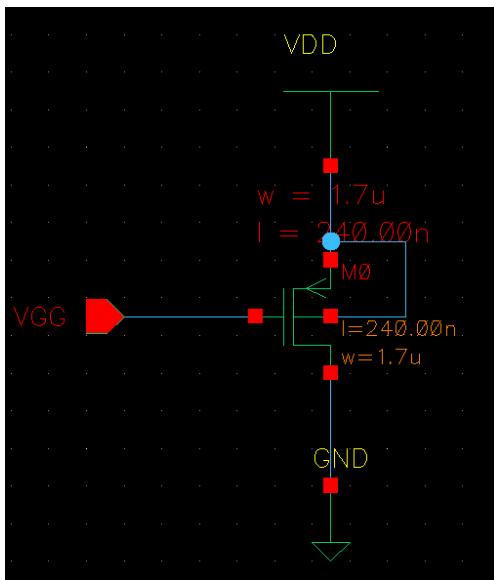


그림 4. Schematic 창에 그린 pmos

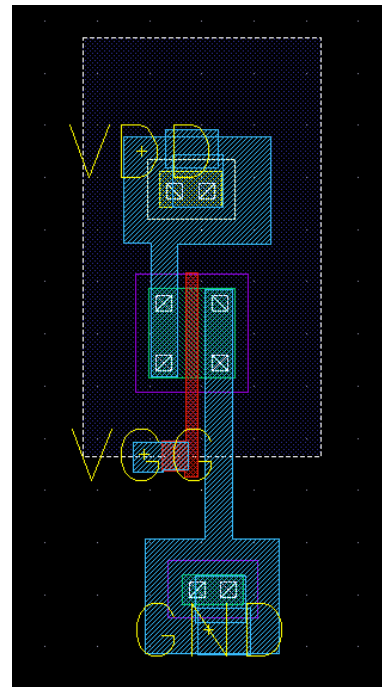


그림 6. Pmos Layout

Layout 을 하고 난 후 공정에 맞게 설계가 잘 되었는지 알아보기 위해서 DRC 를 해주었다. Tech File 로는 아남 0.25um 로 사용하였으므로 DRC 를 하게 되면 아남 0.25um 공정의 Design Rule 에 맞게 설계되었는지 체크하게 된다.

Cadence Schematic tool 을 사용하여 Hspice Netlist(.sp)파일을 생성해 주고, Netlist 파일을 통해 회로가 올바르게 동작하는지 검증 하였다.

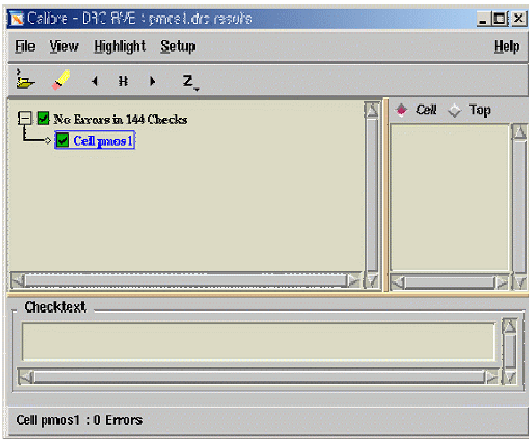


그림 7. DRC 최종 수행 결과

```
.SUBCKT pmos1
** N=4 EP=0 IP=0 FDC=1M0 GND 4 VDD
VDD pmos_lv L=2.4e-07 W=1.72e-06
AD=1.204e-12 AS=1.204e-12PD=4.84e-
06 PS=4.84e-06 $X=4690 $Y=716
```

그림 8. layout 후 추출한 netlist file

DRC 가 끝난 후 LVS 를 실행 하였다. LVS 를 체크 함으로써 Schematic 후 나온 *.sp 파일과 Layout 설계파일(.gds)과 비교해서 잘못된 부분은 없는지 검증하였다. LVS 를 실행 후 에러가 발생한다면 schematic 과 layout 이 서로 맞지 않는다는 증거 이므로 다시 확인하고 에러의 원인을 찾아 수정을 한다.

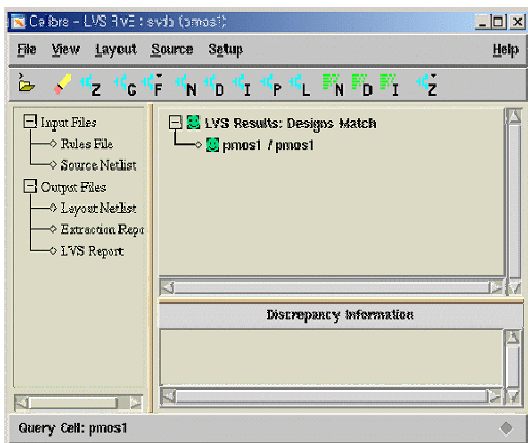


그림 9. LVS 결과

2.1 NMOS 설계

nmos 는 pmos 와 같은 방법으로 설계를 하였다.

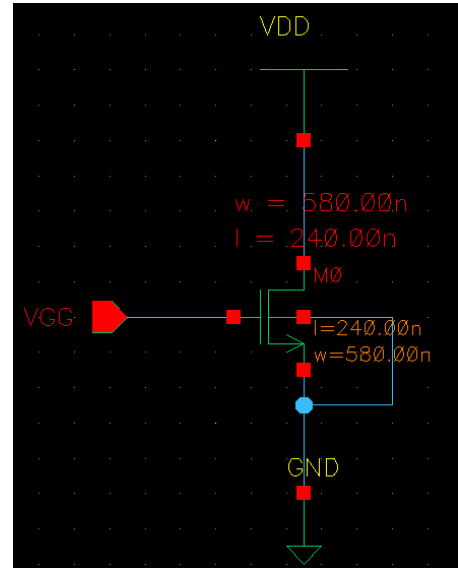


그림 10. NMOS Schematic

Schematic Hspice Netlist 를 추출 하였다.

```
.SUBCKT nmos VGG
*.PININFO VGG:I
MM0 VDD! VGG GND! GND! nmos_lv
W=580.00n L=240.00n
.ENDS
```

그림 11. Schematic 후 추출한 Netlist File

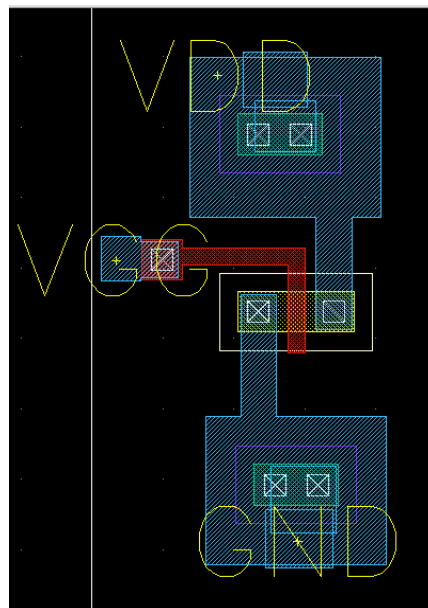


그림 12. nmos layout

pmos 와 마찬가지로 Front-end Design 이 끝난 후 Back-end Design 을 해준다.

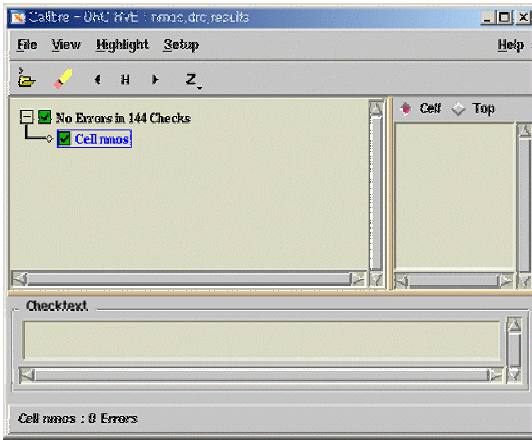


그림 13. nmos DRC 실행 결과

```
.SUBCKT nmos
** N=3 EP=0 IP=0 FDC=1M0 VDD VGG GND
GND nmos_lv L=2.4e-07 W=5.8e-
07AD=4.06e-13AS=4.06e-13 PD=2.56e-06
PS=2.56e-06 $X=2760 $Y=4090
```

그림 14. layout 후 추출한 Netlist File

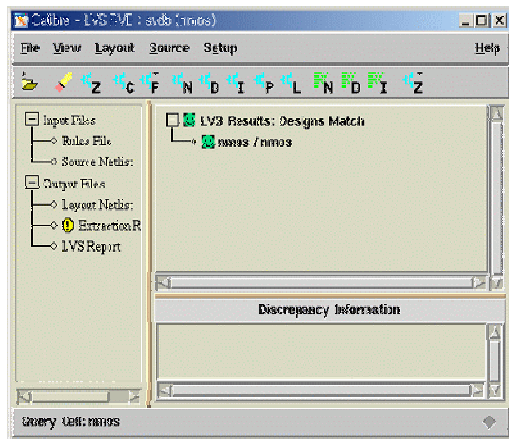


그림 15. nmos LVS 실행 결과

에서는 앞서 검증을 토대로 layout 에 들어가는 기본 요소인 pmos 와 nmos 를 설계해 보고, DRC(Design Rule Check), LVS(Layout Versus Schematic)을 통해 layout 측면의 검증까지 마쳤다. 계속해서 앞서 full schematic 을 하고 layout 하여 MPW 를 통해 얻을 수 있는 다이를 토대로 물리적 실험적 검증을 하고자 한다. 본 연구가 성공적으로 완료된다면 아날로그 보청기의 국산화에 한걸음 다가설 것이다.

감사의 글

본 연구는 2005 년도 하반기 IDEC (KAIST 반도체설계교육센터)의 반도체 설계 툴 지원을 받아 수행되었습니다.

참고문헌

- [1] Soon-Suck Jarng, LingfenChen, "ACMOS Single-Supply OP-Amp Design For Hearing Aid Application"
- [2] Christopher , Judy, "IC Layout Basics" Mc-Graw-Hill
- [3] 공진홍, "VLSI 설계, 이론과 실습" 홍릉과학출판사, p.537-554, 1998
- [4] "MPW Chip 설계강좌", 반도체설계교육전남대지역센터
- [5] "Cadence tool 교육", 반도체설계교육센터(IDEC)
- [6] DAVID A.JOHNS, "Analog Integrated circuit Design" WILEY
- [7] "CMOS Analog Circuit Design", Oxford University Press

III. 결론

본 연구의 최종적인 목표는 보청기 칩의 국산화이다. 따라서 Analog 보청기에 적용될 수 있는 OPAMP 를 이론과 시뮬레이션을 거쳐 검증한 바 있다. 본 논문