

# -60dB THD, 32ohm load, 0.7Vrms 출력의 저전력 CMOS class AB Stereo Audio Amplifier 설계

김지훈\*, 박상훈\*, 박홍준\*, 김태호\*\*, 정선엽\*\*  
포항공과대학교 전자·컴퓨터공학부, (주)펄서스테크놀로지

## Design of -60dB THD, 32ohm Load, 0.7Vrms Output Low Power CMOS class AB Stereo Audio Amplifier

Jihoon Kim\*, Sang Hune Park\*, Hong June Park\*, Tae Ho Kim\*\*, Sun Yeop Jung\*\*  
Department of Electrical and Computer Engineering, POSTECH\*  
PULSUS Technologies\*\*  
E-mail : jihoon@postech.ac.kr\*, lucky@postech.ac.kr\*, hjpark@postech.ac.kr\*  
taeho@pulsus.co.kr\*\*, sunj@pulsus.co.kr\*\*

### Abstract

본 논문에서는 class AB opamp 를 채용한 384kHz differential PWM 신호를 입력으로 하는 2-channel stereo audio amplifier 블록을 공급전압 3.3V 조건에서 SMIC 0.18um thick oxide 기술을 이용하여 설계한다. 여기서 class AB opamp 는 공정 변화에 따른 quiescent current 가 변하는 것을 최소화하기 위하여 adaptive load 를 사용하며, 전체적으로는 3 차 Butterworth lowpass filter 와 differential-to-single converter 로 구성된 2 개의 audio amplifier 와 출력전압이  $\frac{1}{2}V_{dd}$  인 common output 블록으로 구성된다. 이러한 설계를 통하여 32ohm 의 저항 load 를 구동할 수 있는 -60dB THD, 전체 quiescent current 2mA 대인 CMOS class AB stereo audio amplifier 를 구현하였다.

### I. 서론

최근 몇 년 사이 전자제품 시장이 mobile 중심으로 옮겨가면서 digital audio 기기도 MP3 플레이어, 휴대폰 등 mobile 기기가 시장의 주류로 자리잡은 상태다. 이러한 mobile audio 기기에 들어가는 부품 중에서도 audio amplifier 는 16ohm 또는 32ohm 등 작은 impedance 값을 갖는 load 를 효과적으로 구동하기 위하여 입력신호가 들어올 때에는 많은 양의 전류를 공급할 수 있어야 하고 오디오 입력이 들어오지 않을 때, 즉 quiescent 상태

가 되었을 때는 전류를 억제하여 전력소모를 최소화해야 한다. 이 점에 착안하여 본 논문에서는 전력 효율성 (power efficiency)이 높은 방식인 class AB 구조를 이용하여 common output block 을 포함한 32ohm 저항을 구동할 수 있는 audio amplifier 를 설계한다.

### II. Class AB Amplifier

그림 1(a)의 output stage 는 M3, M4 가 MOS diode 형태로 연결되어 있어서 M1 과 M3, M2 와 M4 로 각각 구성된 inverting amplifier 가 gain 이 작기 때문에 quiescent current 가 공정 변화에 둔감함을 보여준다. 그러나 이 inverting amplifier 가 gain 이 작으면 class B mode 에서 output transistor(Mp, Mn)을 구동하는 능력이 떨어지게 되고, 결과적으로 Mp, Mn 의 transconductance 가 떨어지게 된다. 이를 해결하기 위해 본 설계에서는 그림 1(b)와 같이 M5/M7, M6/M8 로 구성되는 adaptive load 구조를 사용한다. Adaptive load 는 M1 과 M2 의 mismatch 때문에 생기는 quiescent current 의 variation 을 억제하는 효과가 있다. Quiescent 상태에서 adaptive load 는 공정 변화에 둔감한 상태에서 적은 양의 quiescent current 를 생성하게 된다. 반대로 class B mode 일 경우 입력이 커지면 node A 에서 보이는 resistance 가 커지게 되고, 따라서 node A 에서의 voltage swing 이 증가하여 Mp 를 충분히 크게 구

동할 수 있게 된다. 이러한 원리는 node B 의 경우에도 똑같이 적용된다.

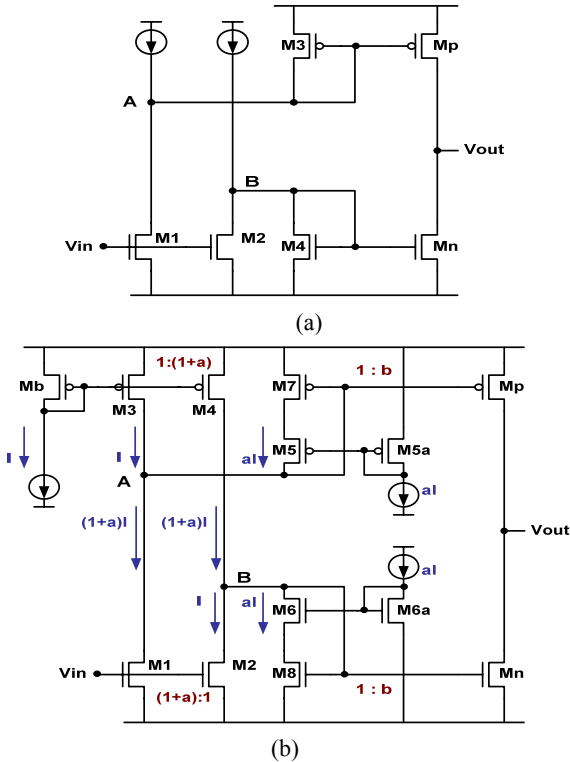


그림 1. (a) MOS diode 를 이용한 output buffer, (b) Adaptive load 를 이용한 output buffer

Adaptive load 의 동작을 살펴보면 quiescent 상태에서는 diode connected load(M6/M8, M5/ M7)가 Mp(Mn)과 더불어 b 만큼의 current gain 을 갖는 current mirror 를 형성하게 된다. Quiescent 조건에서 adoptive load 의 transconductance 가 작게 나오려면 MOS transistor M5~M8 이 saturation 영역에서 동작해야 하는데, 이를 위해 Vb1, Vb2 는 각각  $Vb1=V_{dd}-V_t-2V_{dsat}$ ,  $Vb2=V_{ss}+V_t+2V_{dsat}$  이 되어야 한다. 여기서  $V_{dsat}$  은 M5~M8 이 saturation 영역에 있을 때의 drain-source 전압이다. 이와 같은 bias 전압 Vb1, Vb2 는 일반적인 cascode scheme 으로 그림 1(b)와 같이 만들 수 있고, 본 설계에서는 constant-Gm bias scheme 을 이용하여 구현하였다. M5/M7, M6/M8 에 흐르는 biasing current 는 M1/M3, M2/ M4 로 구성되는 gain stage 를 흐르는 전류의 일부분이 된다. Gain stage 에 흐르는 전류의 크기가 I 일 경우 adaptive load 를 통해 흐르는 전류는 aI 가 되고 이때  $0 < a < 1$  이 된다. 이 때 adaptive load 의 전류 aI 의 크기는 M1 과 M2, M4 와 M3 의 channel width 를 (1+a):1 의 비율이 되도록 함으로써 결정할 수 있다. 여기서 a 값은 quiescent current 의 공정

변화에 대한 민감성을 결정하는데 있어 중요하다. a 값이 작으면 adaptive load 의 trans-conductance 값이 작아지고, M1/M3, M2/M4 stage 의 gain 은 증가해서 quiescent current 가 공정 변화에 대해 보다 민감해진다. 반대로 a 값이 커지면 quiescent current 가 공정 변화에 대해 둔감해지는 대신 M1/M3, M2/M4 stage 의 gain 이 낮아짐으로써 최종 출력의 distortion 이 커지는 문제가 생긴다. 즉, 전체 op amp 의 open loop gain 이 낮아지고 이 때문에 closed loop 를 만들었을 때 linearity 가 떨어지는 것이다. 이 두 가지 issue 를 해결하기 위해 a 값을 대체로 0.15 에서 0.25 사이에서 결정하며, 본 설계의 경우 최종 출력의 distortion 을 억제하기 위하여 a 값을 0.25 로 정하였다.

이번 audio amp 설계에 사용하는 op amp 는 그림 2에서 보인 바와 같이 크게 2-stage 로 구성한다. 첫번째 단은 rail-to-rail folded cascode op amp 로 구성하고, 두번째 단은 noninverting gain stage 와 class AB buffer 로 구성된 class AB output stage 로 구성된다. 여기서 주파수 안정성을 보장하기 위하여 최종 출력단과 첫번째 단 op amp 의 출력 사이에 compensation capacitor (Cc)와 negative real zero 저항(Rz)을 연결한다. 이렇게 설계된 class AB amplifier 는 다음에 보일 active filter 및 전체 블록에서의 common output block 에 쓰인다.

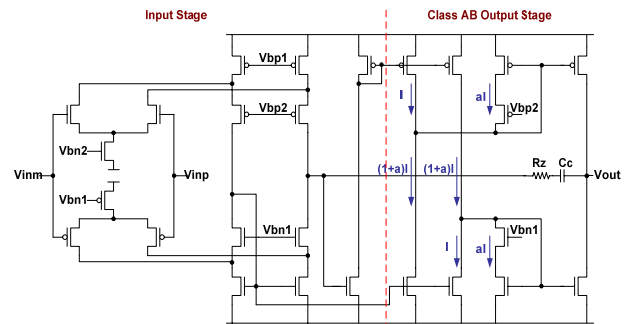


그림 2. Adaptive load output buffer 를 이용한 class AB op amp

### III. 1-channel Audio Amplifier

본 설계에서 구현하는 audio amplifier 에 쓰이는 active lowpass filter 는 다음과 같은 사양을 갖는다. 우선 384kHz 의 differential PWM 신호를 입력으로 하고 passband 는 20kHz, stopband frequency 는 300kHz 인 출력을 내보낸다. 그리고 passband 에서 -3dB 이하, stopband 에서 -60dB 이상의 attenuation 을 각각 보이고 -6dB 의 DC gain 을 갖는다. 이 같은 조건을 만족하고 실제 audio

application 에서 passband ripple 이 생기는 것을 방지하기 위하여 3 차 Butterworth 방식으로 설계한다. 다만 여기서 실제 chip 으로 구현하였을 때 20kHz 에서 -3dB 이상의 attenuation 이 생기는 것을 방지하기 위하여 실제 설계상에서는 passband frequency 를 30kHz 로 한다. 제시된 일련의 조건을 가지고 계산한 3 차 Butterworth lowpass filter 의 전달함수 H(s)는 다음과 같다.

$$H(s) = \frac{3.35 \times 10^{15}}{s^3 + 3.77 \times 10^5 s^2 + 7.11 \times 10^{10} s + 6.70 \times 10^{15}}$$

여기서 두 개 이상의 op amp 를 사용함으로써 전류 소모 및 면적이 늘어나는 것을 막기 위하여 그림 3 에 보인 회로와 같이 single amplifier biquad 구조로 active filter 를 설계하며, 앞 단에는 single 입력인 active filter 가 differential 입력을 받을 수 있도록 differential-to-single converter 를 추가한다. 여기서 differential-to-single converter 는 384kHz 라는 비교적 낮은 주파수에서 동작하면서도 Vss 에서 Vdd 까지 이르는 입력 swing 을 커버 할 수 있도록 그림 4 에 보인 바와 같이 rail-to-rail input stage 를 채용한 single-ended amplifier 를 사용한다.

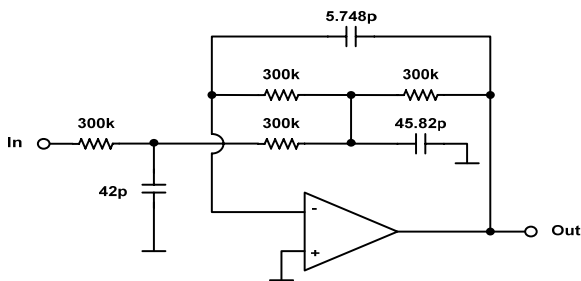


그림 3. Single Amplifier Biquad (SAB) 3 차 Butterworth Filter

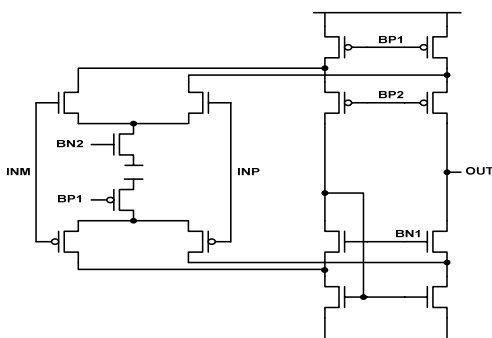


그림 4. Differential-to-Single Converter

앞에서 설명한 active filter 와 differential-to-single

converter 를 결합한 audio amplifier 는 그림 5 에서 보이는 바와 같다. 여기서 simulation 상으로 PWM 신호를 인가하기 위하여 ideal differential op amp 와 두 개의 inverter 를 이용하여 만든 ideal comparator 에 audio 입력 과 384kHz 의 triangle wave 를 인가하는 방법으로 PWM 신호를 발생시켰다.

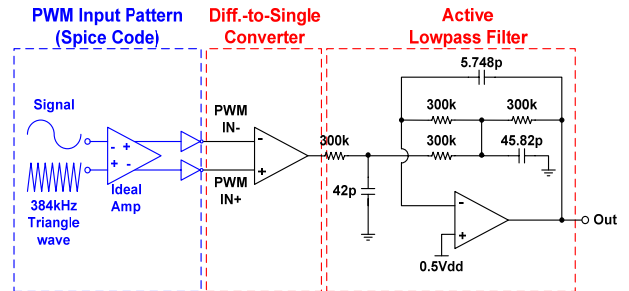


그림 5. Differential 입력을 갖는 1-channel audio amp

#### IV. 전체 블록 구현

앞에서 보인 1-channel audio amp 와 1/2 Vdd reference 전압을 buffering 하여 출력하는 common output 블록을 가지고 그림 6 과 같은 stereo audio amp 블록을 완성한다. 두 개의 1-channel audio amp 는 각각 right 및 left channel 을 구성하게 되고 각각 32ohm load 를 구동한다. 여기서 1/2 Vdd reference 는 common output 블록에서 MOS diode 두 개를 이용하여 발생시키고 이는 common output 및 right / left channel audio amp 블록에서 공통으로 사용한다.

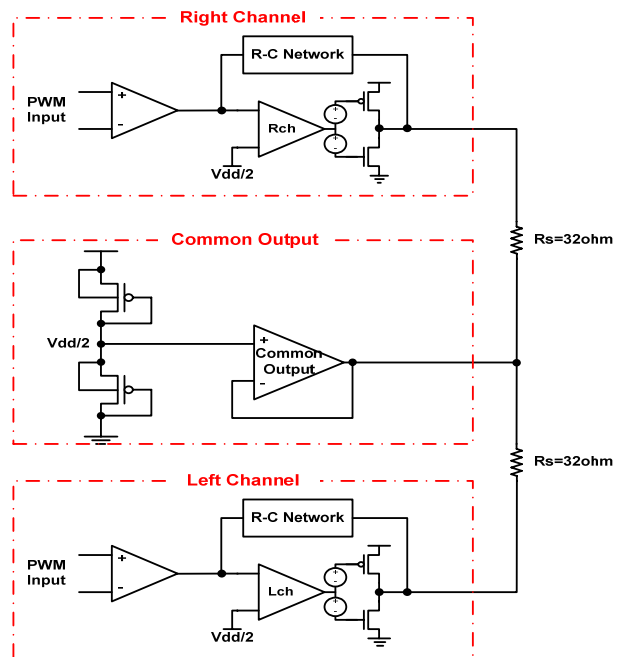


그림 6. 전체 블록 다이어그램

### V. Simulation 결과 및 Layout

그림 6에 보인 구조에 따라 설계 및 layout을 진행하여 시뮬레이션을 한 결과 20kHz, 0.7Vrms 입력에서 total harmonic distortion(THD)는 -62.3dB, signal-to-noise ratio(SNR)는 95dB를 나타내며, quiescent 상태가 되었을 때 소모전류는 right/left channel audio amp 및 common output 블록을 통틀어서 2.3mA를 나타낸다. 각 channel 별로 최대한 공급할 수 있는 output current는 right/left channel의 경우 각각  $\pm 35\text{mA}$ , common output 블록은  $\pm 70\text{mA}$ 이다. Passband frequency에서는 -0.4dB의 attenuation을, PWM 입력신호의 clock frequency(384kHz)에서는 -64.7dB의 attenuation을 보이며 quiescent 상태일 때의 noise voltage는 0.64mVrms를 나타낸다. 시뮬레이션 결과 파형 및 FFT 결과는 그림 7에 보인 바와 같으며 전체 layout을 그림 8에 나타내었다. Layout의 전체 면적은 963 $\mu\text{m}$  x 1489 $\mu\text{m}$ 이다.

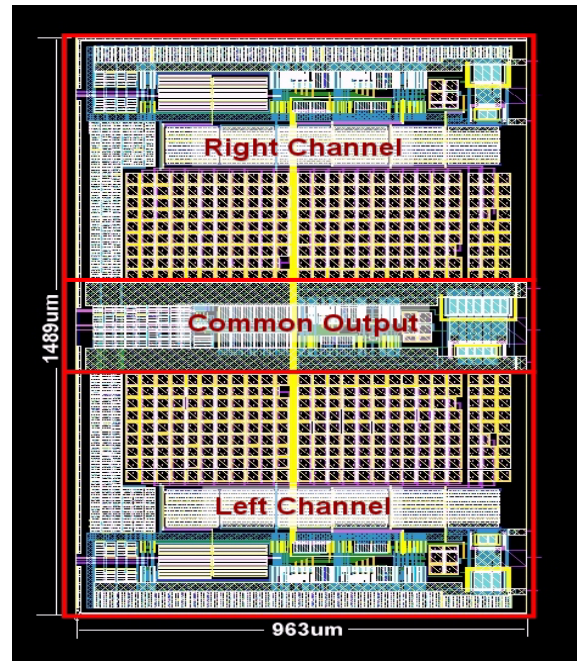
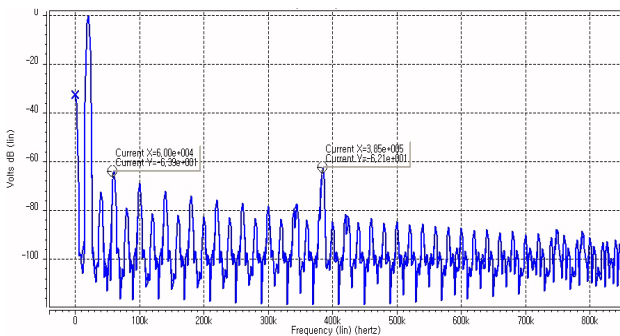
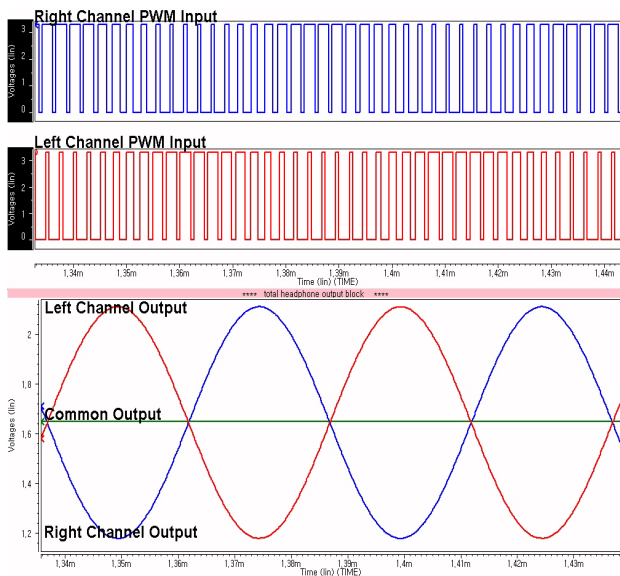


그림 8. 전체 블록 layout



(a)



(b)

그림 7. (a)시뮬레이션 FFT 결과 (b)입출력 파형

### VI. 결론

Class AB 구조를 이용하여 2개 channel audio amplifier 및 common output block으로 구성된 32ohm 저항을 구동할 수 있는 audio amplifier를 SMIC 0.18um thick oxide 기술을 이용하여 설계하였다. Class AB op amp는 adaptive load 구조를 사용하였으며, 2개 channel audio filter는 3차 Butterworth 방식으로 구현하였다. 이러한 일련의 설계를 통해 -62.3dB THD, 2.3mA quiescent current의 성능을 달성하였다.

### 참고문헌

- [1] F. You, S. H. K. Embabi and E. Sanchez-Sinencio, "Low-voltage class AB buffers with quiescent current control" IEEE JSSC, vol. 33, pp. 915-920, 1998
- [2] R. Hogervost, J.P. Tero, G. H. Eschauzier, and J. H. Huijsing, "A compact power-efficient 3V CMOS rail-to-rail input/output operational amplifier for VLSI cell libraries", IEEE ISSCC '94, Jan. 1994
- [3] R. van Dongen, and V. Rikkink, "A 1.5V class AB CMOS buffer amplifier for driving low resistance loads," IEEE JSSC, vol 30, pp. 1333-1338, Dec.1995
- [4] 박송배, "애널로그 IC 필터의 설계", 홍릉과학출판사, 1999