

# 혼합신호 회로를 위한 Specification 기반의 전류 테스트와 최적의 테스트 포인트 선택

장상훈\*, 이재민  
관동대학교 전자공학과

## Specification-based Current Test for Mixed-signal Circuits and Optimal Test Point Selection

Sang Hoon Jang\*, Jae Min Lee

Dept. of Electronics Engineering, Kwandong University

E-mail : capablue@kwandong.ac.kr

### Abstract

Testing of mixed-signal circuit has become a difficult task for test engineers and efficient test solution to these problems are needed. In this paper a new specification-based mixed-signal test method called TSS(Time Slot Specification) using high performance current sensors and a novel test point selection technique without heavy computational overhead are proposed. External output and power nodes are used for test points and accessed by the current sensors in the ATE.

### I. 서론

반도체 기술의 발전으로 디지털 회로와 마찬가지로 아날로그 회로와 혼합신호 회로의 복잡도가 크게 증가하고 이에 따른 테스트 또한 중요한 문제가 되고 있다[1]. 아날로그 회로나 혼합신호 회로의 테스트는 디지털 회로의 테스트와는 달리 충분히 검증되어 보편화된 고장 모델이 개발되어 있지 않고 테스트 기법도 디지털 방식에 비해 복잡하며 높은 고장 검출률이나 진단율을 얻는 것이 쉽지 않다. 지금까지 연구된 고장 검출 및 진단을 위한 방안으로서 디지털 영역에서 사용되는 내장 자체 테스트(BIST) 방식과 같은 구조적 테스트 기법을 사용하는 방식이 주로 소개되어 왔는데[2-3] 대부분 특정한 회로와 고장 모델에 대하여 유효성을 보이는 제한된 기능과 여러 방법들이 하드웨어 오버헤드가 크다는 약점과 특정 고장 모델에 대해서만 만족할만한 검출능력과

진단 능력을 보인다는 단점을 가지고 있다[4-7].

혼합신호 회로를 테스트하기 위한 BIST 방식의 경우 테스트 용이도(testability) 향상을 위한 회로를 피 테스트 회로 내부에 부가하여야 하는데 이렇게 할 경우 칩 면적의 증가, 정상동작의 성능 저하와 회로 복잡도 상승에 따른 테스트의 어려움 등 많은 문제점이 수반된다. 아날로그 회로나 혼합신호 회로의 테스트에 널리 사용되는 전류 테스트 기법을 적용할 때 부가회로로 전류감지기와 이것을 연결하는데 필요한 테스트 포인트의 위치와 개수를 결정하는 일은 테스트를 효율적으로 수행하기 위해 매우 중요하다[8].

본 논문에서는 아날로그 회로와 혼합신호 회로를 테스트하는데 유용한 TSS(Time Slot Specification) 및 MTSS(Modified TSS) 기법과 이 기법을 적용한 고감도 전류 감지기를 피 테스트회로 내부에 부가하는 대신 자동 테스트 장치(ATE)에 구성하여 테스트 포인트를 피 테스트회로의 외부단자만으로 사용하여 충분한 고장 검출율과 진단율을 얻을 수 있는 새로운 방법을 제안한다. 피 테스트 회로 외부에서 직접 연결할 수 있는 주 출력과 전원 단자들을 테스트 포인트로 사용하면 회로 설계가 간단해 지며 테스트에 드는 시간과 비용을 크게 절감할 수 있다. 벤치마크 회로에 대한 실험을 통하여 제안하는 방법의 타당성을 보인다.

### II. 전류감지기를 이용한 테스트

#### 2.1 전류감지기

전류감지기는 회로 사양(specification)을 벗어나는 고장이 발생했을 때 전류를 파라메타로 사용하여 테스트 동작을 수행한다. 피 테스트 회로 내에 고장이 발생하였을 때 정상전류와 고장전류값을 비교하여  $Go/NoGo$  출력력을 얻고 이를 통해 고장 유무를 확인할 수 있다. 그림 1의 내장 전류감지기는 아날로그 회로 내 테스트 노드로부터 전류를 감지하여 이것이 회로의 정상 동작 주파수에 대해 최소전류( $I_{min}$ )와 최대전류( $I_{max}$ ) 범위 내에 있는지(INSPEC), 벗어났는지(OFFSPEC)를 판단하여 그 결과를 플립플롭을 통해 디지털 논리값으로 출력한다.

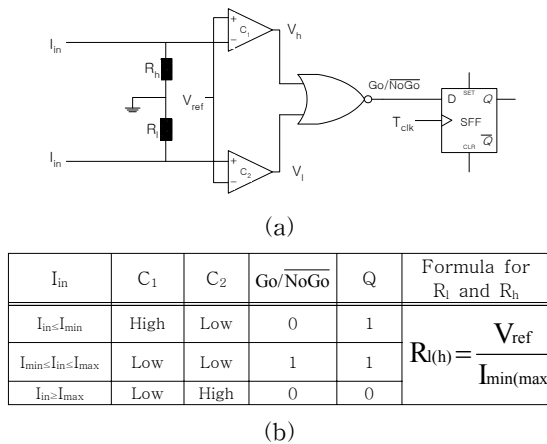


그림 1. 고감도 전류 감지기 (a) 회로도 (b) 동작표

### 2.2 specification 기반의 전류 테스트

전류감지기를 사용한 방식은 유용한 전류 테스트 기법이기는 하나 고장의 진단능력에는 한계를 보인다. 이런 문제점을 해결하기 위한 방안으로서 고장의 종류와 위치를 알아내기 위해서 신호변화를 구별하는 사양 기반(specification-based)의 기술인 TSS(Time Slot Specification) 사용하여 테스트 시뮬레이션 구간을 적절히 분할한 뒤, 분할된 구간 내에서 INSPEC과 OFFSPEC 상태를 판정하여 정상 신호와 비교한 후 고장유무를 판단한다. 그런데 TSS기법으로는 고장 신호가 INSPEC내에 머무는 고장들을 충분히 검출하지 못한다는 문제가 있다. 이를 해결하기 위해 앞서 제안한바 있는 MTSS기법을 사용할 수 있는데, 정상전류 값의 최대 값과 최소 값을 조정하면 정상 전류 구간 내에서 INSPEC으로 나타나는 고장들이 부분-INSPEC으로 나타나서 검출이 가능해진다[8].

아날로그 및 혼합신호 회로의 고장 모델로 강고장(catastrophic fault)과 약고장(parametric fault)이 주로 고려되고 있으며 여기서도 (a)소자의 단락고장(Class A 고장), (b)소자의 개방고장(Class B 고장), (c)+6 sigma 고장 (Class C 고장), (d)-6 sigma 고장 (Class D 고장)등을 고려한다.

### III. 테스트 포인트 선택

전류감지기를 사용하여 피 테스트를 테스트할 때 가능하면 적은 수의 테스트 포인트로 높은 고장 검출율과 고장 진단율을 얻는 것이 필요하다.

그림 2는 테스트 용이도를 위해 부가회로가 피 테스트 회로에 내장된 전형적인 BIST방식의 고장 진단구조이다[2,8]. 이러한 구조의 테스트 용이화 설계에서는 피 테스트 회로 내부의 노드들을 테스트 포인트로 사용하여 테스트함으로써 최적의 테스트 포인트를 구하는 과정이 복잡하고 높은 고장 검출율이나 진단율을 얻기 위해 다수의 테스트 포인트가 필요하게 된다.

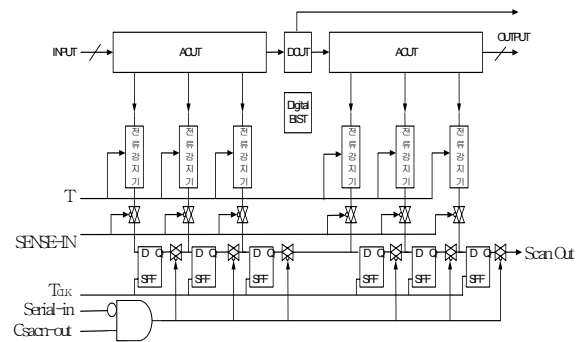


그림 2. BIST 방식의 고장 진단 구조

최적(최소)의 테스트 포인트는 테스트에 드는 시간을 줄여줄 뿐만 아니라 테스트 용이도를 향상 시키는데 필요한 부가하드웨어의 크기를 줄여 테스트 비용을 낮추는 데도 기여한다. 특히 피 테스트 회로 내부에 내장된 테스트회로는 회로의 성능감소, 칩 면적 증가, 입출력 핀 증가, 전력소모량 증가 및 회로 복잡도 향상등 많은 단점을 수반한다. 이러한 문제를 해결하기 위해서 여기서는 전류 테스트를 위한 전류감지기를 피 테스트회로 내부에 부가하지 않고 이를 ATE에 구성하여 회로를 테스트 하도록 한다. 테스트 포인트로 선택할 외부 단자는 주 출력 단자와 전원단자들이다. 이러한 외부 테스트 포인트로 테스트하는 방식은 내부 노드를 테스트 포인트로 테스트 하는 방식에 비해 테스트 포인트의 수가 적으며 최적의 테스트 포인트를 찾는 알고리즘이나 계산 과정을 거의 필요로 하지 않는다.

### IV. 고장 진단 구조와 테스트 장치

그림 3는 전류감지기를 ATE에 내장시키고 피테스트 회로의 외부 단자를 테스트 포인트로 사용하여 고장검출과 진단을 행하는 테스트 구조를 나타낸 것이다.

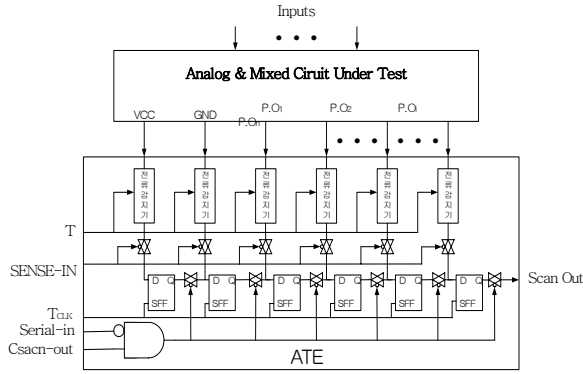
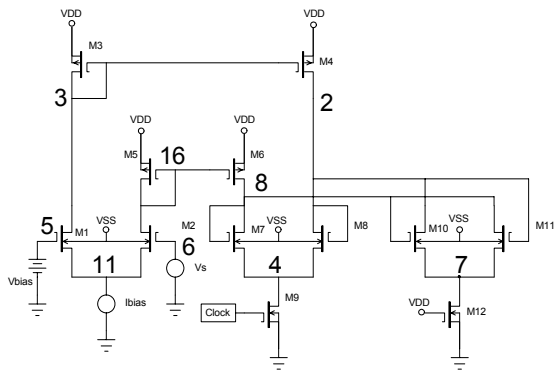


그림 3. 전류감지기를 내장한 ATE와 고장 진단 구조

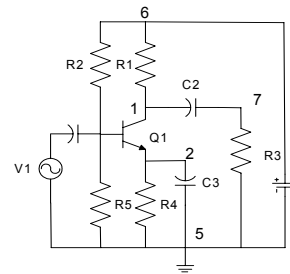
먼저 테스트 입력이 ATE에 의해 피테스트 회로에 인가되고 static 플립플롭들이 LOW로 리셋 된다. 이 때 Tclk 신호를 HIGH로, Cscansignal을 LOW로 주면 레지스터 체인을 비활성으로 만든다. 다시 Sensesignal을 HIGH로 하면 전류감지기의 출력이 static 플립플롭의 입력으로 인가되면서 테스트가 본격적으로 이루어진다. 선 테스트(pre-test) 단계에서는 최초 또는 희망하는 time slot이 끝날 때 Tclk 신호가 동작한다. 전류감지기에 의해 INSPEC / OFFSPEC이 결정되고 플립플롭에 래치 된다. 플립플롭 체인으로 구성된 LIFO내에 저장된 내용이 스캔 출력되고 플립플롭이 리셋된 뒤 다시 같은 테스트 과정을 다음 time slot에서 반복하게 된다.

### V. 실험 및 검토

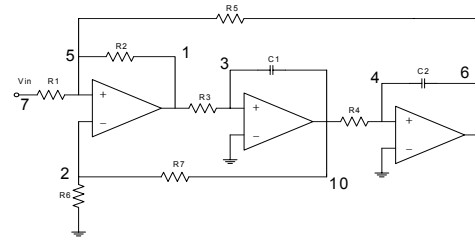
제안한 피 테스트 회로의 외부 단자를 테스트 포인트로 사용하여 충분한 고장 검출율과 진단율을 얻을 수 있는지 그림 4의 3가지 벤치마크 회로들에 대해 MTSS기법을 적용하여 강고장과 -6-sigma 및 +6-sigma 약고장을 대상으로 실험하였다.



(a) 비교기



(b) 1단 증폭기



(c) state-variable filter

그림 4. 벤치마크 회로

각 벤치마크 회로에 동일한 입력 조건을 인가하고 주 출력과 전원단자에 대해서 SPICE 시뮬레이션을 행하였다. 표 1에 1단 증폭기, 필터, 비교기에 대한 시뮬레이션 결과를 강고장과 약고장을 구별하여 고장 검출율과 고장 진단율을 %로 나타내었다.

표 1. 벤치마크 회로에 대한 실험 결과

(a)

테스트 포인트	1단 증폭기					
	검출율(%)			진단율(%)		
고장 타입	강고장	약고장	합	강고장	약고장	합
전원(node 6)	100	100	100	0	31.3	13.6
주출력(node 7)	100	93.8	97.2	55	31.3	16.6
			100			22.2

(b)

테스트 포인트	비교기			
	검출율(%)		진단율(%)	
고장 타입	강고장	합	강고장	합
전원	100	100	22.9	22.9
주출력(node 2)	100	100	29.2	29.2
주출력(node 8)	85.4	85.4	20.8	20.8
		100		37.5

(c)

테스트 포인트	필터					
	검출율(%)			진단율(%)		
고장 타입	강고장	약고장	합	강고장	약고장	합
전원(node 7)	100	88.9	94.4	38.9	22.2	30.6
주출력(node 6)	100	100	100	16.7	5.6	11.1
			100			36.1

1단 증폭기에 대해서 고장 검출율은 전원과 주출력에서 각각 100%와 97.2%을 얻었고 고장 진단율은 22.2%를 얻을 수 있었다. 비교기의 경우 전원과 주출력에서 각각 100%와 85.4%의 고장 검출율을 나타내었다. 필터는 전원과 주출력 단자를 통해 100%의 높은 고장 검출율과 36.1%의 고장 진단율을 얻을 수 있었다. 실험 결과를 분석해 보았을 때 강고장과 약고장에 대해서 전원과 주출력의 진단율은 전원단자가 강고장 보다 약고장에 대해 주출력보다 높은 진단율을 보여 주었고 반면 강고장에 대해서는 주출력 쪽이 전원보다 진단율이 높게 나타남을 알 수 있었다.

일반적으로 약고장은 강고장에 비해 테스트 포인트로의 고장 전달 효과가 적어 검출이나 진단이 용이하지 않다. 그러나 제안한 MTSS기법을 이용했을 때 이러한 까다로운 약고장들이 지연고장의 형태로 검출되며 비교적 높은 고장 검출율을 얻을 수 있다. 그림 5는 state-variable filter에서 R6의 +6-sigma고장이 테스트 포인트 1(노드 6)에서 지연고장의 형태로 검출됨을 보인 것이다.

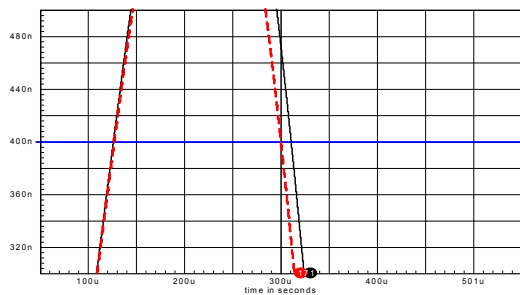


그림 5. 지연고장 형태로 검출된 R6의 약 고장

## VI. 결 론

아날로그 회로와 혼합신호 회로의 테스트에 효과적으로 적용할 수 있는 고감도 전류감지기를 사용한 사양기반(specification-based)의 고장 검출 및 진단 기법을 제시하였다. 테스트 용이도를 향상시키기 위한 부가 회로는 피 테스트 회로에 내장하는 대신 ATE에 수용하여 내장 하드웨어 오버헤드를 최소화할 수 있는 장점을 갖는다. 이는 TSS 및 MTSS기법을 적용할 때 테스트 포인트를 피 테스트 회로 외부단자를 이용하기 때문이다.

제안한 방법은 테스트 포인트를 외부단자인 주출력단자와 전원단자를 선택하여 사용하였을 때 내부 테스트 포인트를 쓰는 테스트 포인트의 수에 비해 적고 테스트 포인트를 선택하는 알고리즘이나 계산하는 부담이 거의 없는 장점을 갖는다. 또한 강고장에 대해 높은 고장 검출율을 가질 뿐만 아니라 약고장에 대해서도 매우 효과적임을 시뮬레이션을 통하여 알 수 있었으며 고장 진단

기능에 있어서도 상당한 효과를 보였다. 또한 전원단자에서의 약고장에 대한 고장 진단율이 주출력 단자보다 좋았으며 주 출력단자에서는 강고장에 대한 고장 진단율이 높게 나타났다.

MTSS기법의 특징을 고려하여 약고장에 대한 진단율이 좋은 전원단자 또는 강고장에 대한 진단율이 좋은 주 출력 한 곳만을 테스트 포인트로 정하여 각기 다른  $I_{max}$ 와  $I_{min}$ 값을 갖는 전류 감기지로 테스트를 하거나 전원과 주 출력 두 곳을 같은 방법으로 테스트하는 방안에 대한 검토가 다음 연구에서 필요하다.

## 참고문헌

- [1] Linda S. Milor, "A tutorial introduction to research on analog and mixed-signal circuit testing," *IEEE Trans. Cir. and Syst.*, vol. 45, no.10, pp.1389-1407, October 1998.
- [2] C. L. Wey and S. Krishnan, "Built-In-Self-Test(BIST) structures for analog circuit fault diagnosis with current test data," *IEEE Trans. Instrum and Meas.*, vol.41, no. 1, pp.535-539, Aug. 1992.
- [3] L. T. Wurtz, "Built-In-Self-Test structure for mixed mode circuits," *IEEE Trans. Instrum and Meas.*, vol. 42, no. 1, pp. 25-29, Feb 1993.
- [4] Jihong You, E. Sanchez-Sinencio, Jose Pineda deGyvez, "Analog system-Level fault diagnosis based on a symbolic method in the frequency domain," *IEEE Trans. Instrum and Meas.*, vol.44, no. 1, Feb. 1995.
- [5] M. Aminian and F. Aminian, "A comprehensive examination of neural network architectures for analog fault diagnosis," *Proceeding of International Joint Conference on NeuralNetworks*, Volume 3, pp. 2304-2309, 2001.
- [6] Jacob A. Abraham et al., "Quasi-Oscillation Based test for Improved Prediction of Analog Performance Parameters," in *Proceedings of IEEE ITC*, pp. 252-261, Oct. 2004.
- [7] G. Huertas, et al., "Practical oscillation-based test in an analog macrocell," *IEEE Design & Test of Computers*, Vol. 19, No 6, pp. 73-82, Nov-Dec. 2002
- [8] Sang-Hoon Jang and Jae-Min Lee, "Analog circuits test with high testability and low Built-In hardware overhead", *Proceedings of IEK Semiconductor Society Summer Conference*, pp.1-14, June 2005
- [9] M. Soma, "Challenges in analog and mixed-signal fault models," *IEEE Cir. and Dev. Magazine*, pp.16-19, Jan. 1996.