

고속 저전력 프리스케일러를 사용한 2.5GHz CMOS PLL 주파수합성기 설계

강 기섭, 오 근창, 이 재경, 박 종태, 유 종근
인천대학교 전자공학과

Tel: 032-770-8450, Fax: 032-764-2371, E-mail: subi3733@paran.com

Design of a 2.5GHz CMOS PLL Frequency Synthesizer Using a High-Speed Low-Power Prescaler

K. S. Kang, G. C. Oh, J. K. Lee, J. T. Park, C. G. Yu
Department of Electronics Engineering, University of Incheon

Abstract

This paper describes a PLL frequency synthesizer for wireless LNA applications. The design is focused mainly on low-power and low-phase noise characteristics. A 128/129 dual-modulus prescaler has been designed using the proposed TSPC D flip-flops for high-speed operation and low-power consumption. The designed synthesizer includes all building blocks for elimination of external components, other than the crystal. Its operating frequency can be programmed by external data. The frequency synthesizer has been designed using a 0.25 μ m CMOS process parameters. It operates in the frequency range of 2GHz to 3GHz and consumes 3.2mA at 2.5GHz from a 2.5V supply.

I. 서론

위상동기루프(phase-locked loop) 회로는 통신 시스템 [1], 마이크로프로세서 [2], 디스플레이등 많은 응용 분야에서 시스템 구성에 필수적으로 사용되어왔다. 최근 Wireless LAN (WLAN) 의 사용자가 늘어남에 따라 IEEE 에서는 새로운 WLAN 표준인 802.11g를 제안하였다. 802.11b 의 낮은 데이터 전송율에 대한 대안

본 논문은 정보통신부의 출연금으로 수행한 IT SoC 핵심 설계 인력양성 사업의 수행결과입니다. IDEC 지원에 의해서도 일부 수행되었음.

으로 등장한 802.11g는 앞으로 802.11a 와 함께 WLAN 의 대표적 표준으로 자리잡게 될 것이다 [3]. 따라서 본 논문에서는 802.11g 표준을 사용하는 WLAN 응용을 위한 PLL 주파수 합성기를 최소의 전력소모 특성을 갖도록 설계하였다.

저전력 소모 특성을 얻기 위해 본 논문에서는 고주파에서 동작하는 VCO(Voltage Controlled Oscillator) 와 프리스케일러의 저전력 설계에 중점을 두었다. VCO의 경우 802.11g가 요구하는 위상잡음 특성을 유지하면서 전력소모를 최소화 하도록 설계하였다. 프리스케일러 설계의 경우 고속 동작과 저전력 특성을 만족하기 위해 D-플립플롭의 설계가 중요하다. 기존의 TSPC D-플립플롭들은 [4],[5] 출력단의 글리치, 비대칭적인 전파지연시간, 클럭의 프리차지구간에서 내부 노드의 불필요한 충전전으로 인해 소비 전력이 증가하는 단점이 있다. 본 논문에서는 이러한 단점을 개선한 새로운 동적 플립플롭을 제안하였다. 제안한 플립플롭은 방전억제방식을 사용하여 글리치를 최소화하였고 대칭적 전파지연시간을 만들어줌으로써 속도를 향상시켰으며, 불필요한 방전을 제거하여 저전력 특성을 얻을 수 있었다.

II. 회로 설계

설계된 주파수 합성기 회로의 블록다이어그램을 그림 1에 보였다. 설계된 회로는 N-counter, R-counter 를 포함한 Dblock과 PFD(Phase Frequency Detector), Charge Pump, Loop Filter, VCO , 프리스케일러 등으로 구성된다. Dblock은 PLL의 동작 주파수를 프로그램하기 위해 사용되며, 외부 데이터에 의해 프로그램

된다. PFD는 출력 f_R 과 f_N 을 비교하며, Charge Pump는 PFD에서 입력되는 신호에 의해 전류를 Loop Filter에 공급하여 VCO의 발진주파수를 조절한다. 프리스케일러는 VCO의 높은 발진 주파수를 낮춰주는 역할을 한다.

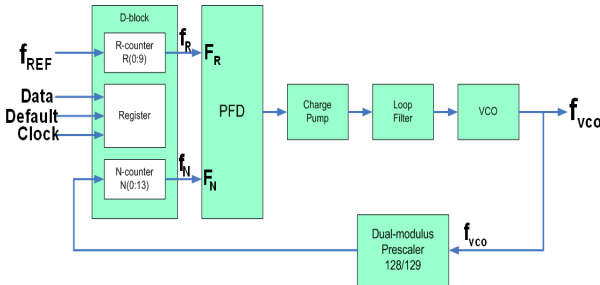


그림 1. 설계된 주파수 합성기의 블록다이어그램

2.1 프리스케일러

그림 2는 본 논문에 적용된 128/129 분주 프리스케일러의 블록도이다. 프리스케일러는 크게 두 블록으로 나누어 지는데, 고속 동작이 요구되는 4/5 분주회로와 비동기식 32 분주회로로 구성된다. 클럭이 4/5 분주 동기식 카운터에 인가되면 클럭에 대한 4/5분주 신호가 출력되고 이 신호는 다시 32분주 카운터의 입력이 된다. 따라서 프리스케일러는 주 클럭 신호를 128 또는 129분주하여 최종 출력으로 내보내는 것이다. 따라서 4/5분주 동기식 카운터의 최대 동작 주파수가 프리스케일러의 최대 동작 주파수를 결정하게 된다. 블록도에서 Select(S)신호에 의해 동기식 4/5분주 카운터의 분주비가 선택되며 프리스케일러는 128 또는 129분주 동작을 하게 된다.

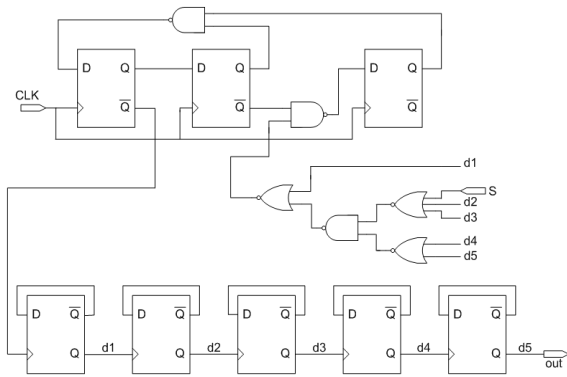


그림 2. 설계된 128/129 분주 프리스케일러 블록도

그림3은 프리스케일러에서 사용된 제안된 TSPC D-플립플롭을 나타낸다. PMOS 두 개를 사용하여 A 노드를 충전시키고, 방전은 하나의 NMOS 트랜지스터를 통해 이뤄지도록 첫번째단과 둘째단의 방전 트랜지스터를 분리하여 구성하여서 불필요한 방전현상을 억제함으로써 소비전력을 개선하였다.

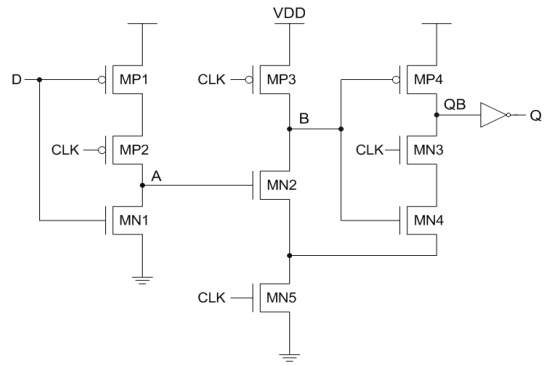


그림 3. 제안된 TSPC D-플립플롭

2.2 VCO

고주파에서 낮은 위상 잡음 특성을 갖는 LC-tank 형태의 VCO를 사용하였다. 제어 전압에 의하여 capacitance 값이 변화하여 발진 주파수를 결정한다.

그림 4는 설계된 VCO 회로도이다. 인덕터의 내부저항 값을 보상하기 위하여 cross-coupled 된 NMOS, PMOS를 같이 사용하였으며, 가변 capacitor는 MOS varactor를 사용하였다 [6].

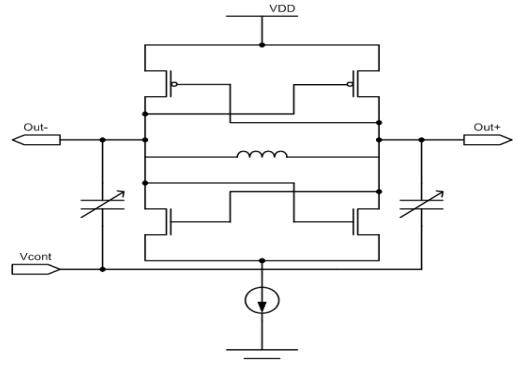


그림 4. 설계된 VCO 회로도

2.3 PFD

PFD는 두 개의 D-F/F과 OR 게이트, 그리고 delay cell로 구성되며, N-counter의 출력과 R-counter의 출력을 비교하여 두 신호의 위상차에 해당하는 'UpB' 신호와 'DnB' 신호를 발생시켜서 Charge Pump에 전달한다. 'Dead Zone' 문제를 해결하기 위해 지연 셀을 사용하였다.

2.4 Charge Pump

설계된 Charge Pump 회로의 개념도를 그림 5에 보였다. Up 전류와 Down 전류의 부정합(mismatch)을 줄이기 위해 cascode 구조의 전류원을 사용하였으며, Up/Dn 스위치는 cascode 트랜지스터에 연결하였다. Charge sharing에 의한 에러를 감소시키기 위해 보조 트랜지스터와 스위치를 사용하였으며, Charge Pump의 전류량은 $100\mu A$ 이며 PLL이 locking 되었을 때는 $25\mu A$ 로 감소한다.

III. 모의 실험 결과

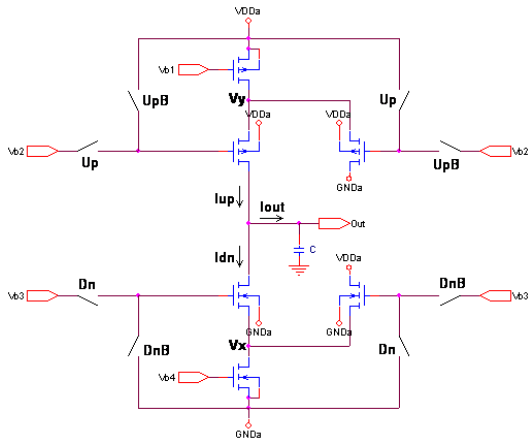


그림 5. Charge Pump 회로의 개념도

2.5 Loop Filter

Loop Filter는 2차 passive filter를 사용하였고, gate capacitance, n⁺-resistance등의 on-chip 소자를 사용하여 구현하였다. Loop Filter 설계 tool[7]을 사용하여 소자 값을 결정하였다.

2.6 Dblock

Dblock은 PLL의 RF 주파수를 프로그래밍하기 위한 것으로서 N-counter, R-counter, Shift Register, Latch 등으로 구성된다. 프로그램을 위해 외부에서 직렬로 Data, Clock 신호가 입력되면 Shift Register에 저장되고 (그림1 참조) 선택신호에 의해 N-latch 또는 R-latch에 저장된다. 만약 Default 신호가 인가되면 latch 값들은 default 값으로 자동 setting 된다. default 일 때의 값은 표1과 같다. N-counter는 프리스케일러와 연동하여 그림 6과 같이 동작한다.

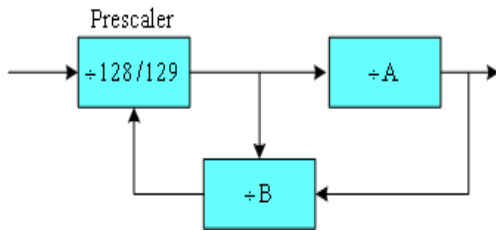


그림 6. N-counter 동작 개념도

B값에 해당하는 시간동안은 프리스케일러가 129 mode로 동작하고, A-B값에 해당하는 시간동안은 128 mode로 동작하게 된다.

표 1. Default = '0' 일 경우의 상태

Counter	Binary value	Description
A[6:0]	0001001	9
B[6:0]	1100010	98
R[9:0]	0000001001	10
CPCA[2:0]	011	CP_current=100 μ m

설계된 회로를 0.25 μ m CMOS 공정변수를 사용하여 HSPICE 및 Spectre 시뮬레이션을 하였다. 그림 7은 제안된 D-플립플롭을 모의 실험한 결과이다. Yuan이 제안한 플립플롭[4]과 Song이 제안한 플립플롭[5]에서는 그림 7의 동그라미 친 부분에서 글리치나 불필요한 충방전이 발생했으나 제안된 회로에서는 발생하지 않는다. 따라서 불필요한 충방전에 의한 전력소모를 최소화할 수 있다. 제안된 회로는 Song의 플립플롭에 비해 전력소모가 약 28% 작다.

또한, 제안된 회로는 A노드의 방전 path를 짧게 구성함에 따라 high-to-low 지연시간을 Song의 회로에 비해 줄였으며, 전체적으로 지연시간이 짧아져 좀 더 고속 동작에 적합한 성능을 보인다.

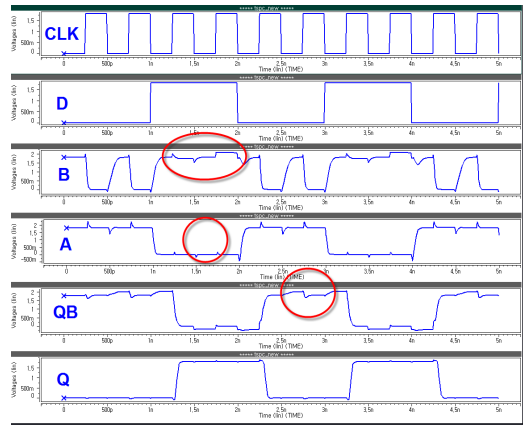


그림 7. D - 플립플롭 모의 실험 결과

제안한 플립플롭으로 구성된 프리스케일러의 최대 동작 주파수 128분주 파형이 그림 8이다. 클럭 주기 0.199nsec(약 5GHz)에 대해 0.199nsec \times 128=25.5nsec로 128분주를 확인할 수 있다.

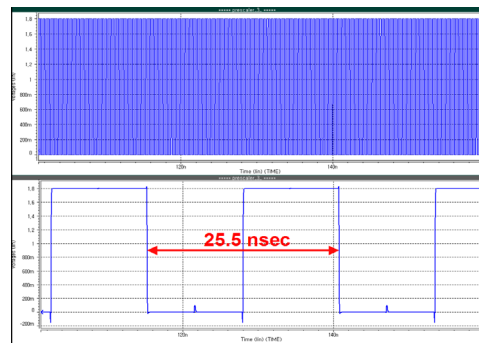


그림 8. 최대 동작 주파수에서의 128 분주 동작

설계된 VCO의 제어전압에 따른 발진 주파수 특성을 그림 9에 보였다. 제어전압이 0.8V에서 1.8V까지 변할 때, VCO의 발진 주파수는 선형특성에 가깝게 증가함을 볼 수 있다. 주파수 범위는 2.3GHz부터 3GHz이며

VCO 이득은 대략 700MHz/V 이다.

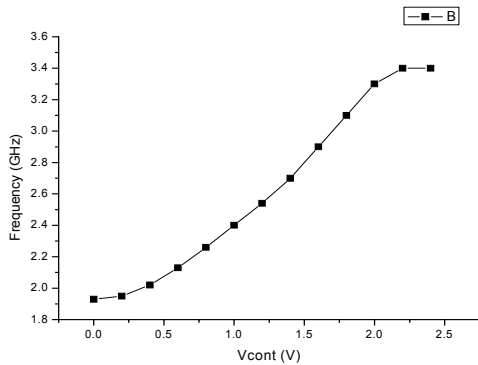


그림 9. 제어전압에 따른 발진 주파수 특성

VCO의 위상 잡음 특성을 그림 10에서 확인할 수 있다. Spectre를 사용하여 pnoise 특성을 확인한 결과이다. 3MHz offset에서 약 -120dBc/Hz의 위상 잡음 결과를 확인할 수 있다.

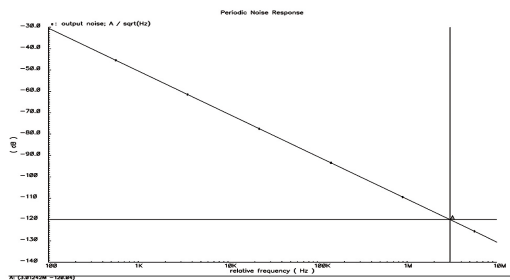


그림 10. VCO의 위상 잡음 특성

그림 11은 Default 신호를 인가하여 2.5GHz로 프로그래밍 했을 때 PLL 전체 회로의 시뮬레이션 결과이다. 첫 번째 파형은 R-counter를 통과한 기준 주파수 f_R 신호이고, 두 번째 파형은 N-counter를 통과한 f_N 신호이다. 이 두 파형을 비교하여 출력된 UpB 신호와 DnB 신호가 세 번째, 네 번째 파형에 나타내었다. UpB 신호가 나올 때 Loop Filter의 출력전압 파형의 상승을 세 번째 파형에서 확인할 수 있다.

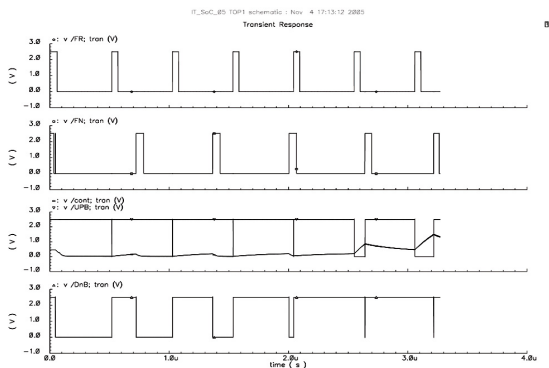


그림 11. PLL 전체회로 simulation 결과

표 2. 성능 요약

Process	0.25 μ m CMOS
Power Supply	2.5V
Frequency	2GHz ~ 3GHz
Bandwidth	200khz
Phase margin	56°
Current consumption	3.2mA

IV. 결론

본 논문에서는 WLAN 응용을 위한 주파수 합성기 PLL 을 적은 전력소모 와 낮은 위상잡음 특성을 갖도록 설계하였다. 모든 구성 소자를 on-chip화하여 외부 소자의 필요성을 제거 하였으며, 다양한 주파수에 동작이 가능하도록 외부 데이터에 의 동작 주파수를 프로그램 할 수 있도록 하였다. 고주파 동작에서 중요한 블록인 프리스케일러를 고속 동작이 가능하고 저전력 특성을 갖도록 하기위해, 저전력 소모 특성을 갖는 TSPC D-플립플롭을 제안하였다.

0.25 μ m CMOS 공정변수를 사용하여 HSPICE 및 Spectre 시뮬레이션한 결과, 설계된 PLL 은 표 2와 같은 성능을 보이며, 기존의 주파수 합성기[8]보다 낮은 전류소모특성을 보인다.

참고문헌

- [1] 김유환, "CMOS IF PLL 주파수합성기 설계," 대한 전자공학회 논문지, 제40권, SD편, 제8호, pp.56-67, 2003.
- [2] Ian A. Young, Jeffrey K. Greason and Keng L. Wong " A PLL Clock Generator with 5 to 110MHz of Lock Range for Microprocessors" *IEEE JSSC*, vol 27, no 11, November 1992.
- [3] Adem Aktas, Mohammed Ismail, *CMOS PLLs and VCOs for 4G Wireless*, Kluwer Academic Publishers.
- [4] J. Yuan and C. Svensson, "High-speed CMOS circuit technique", *IEEE JSSC*, vol. 24, no. 1, pp. 62-70, Feb. 1989.
- [5] M-S. Song, J-H. Hur, S-W. Kim, "안정적인 고속동작을 위한 다이내믹 D Flip-Flop", 대한전자공학회논문지 SD편, pp.1055-1061, 2002.12.
- [6] Pietro Andreani and Sven Mattisson " On the Use of MOS Varactors in RF VCO's," *IEEE JSSC*, vol.35, no.6, June 2000.
- [7] Loader: PLL Loop Filter Design, National Semiconductor.
- [8] S. Pellerano, et.al. "13.5mW, 5GHz WLAN, CMOS Frequency Synthesizer Using a True Single Phase Clock Divider," VLSI Circuits Symposium on 12-14 June 2003.