

EM 시뮬레이터를 이용한 LNA 설계

최문호, 김영석, 정성일*, 이한영**, 장석환***, 이종악***
충북대학교 전기전자공학부, 안소프테크코리아*, 대림대학**, 건국대학교 전자공학과***
e-mail : idcmh@diva.chungbuk.ac.kr, kimys@cbu.ac.kr, sijeung@ansoft.co.kr,
hylee@daerim.ac.kr, zenki96@yahoo.co.kr, jalee@konkuk.ac.kr

Design of LNA Using EM simulator

Moon-Ho Choi, Yeong-Seuk Kim, Sung-II Jung*, Han-Yeong Lee**,
Seuk-Hwan Jang***, Jong-Arc Lee***
Chungbuk National University, Ansoft KOREA*, Daelim College**,
Konkuk University***

Abstract

A low noise amplifier(LNA) using electro-magnetic field simulator is designed in standard 0.25um CMOS process. Integrated spiral inductor is simulated using EM field solver. Then LNA is simulated with active device, capacitor and simulated inductor by EM field solver. A S11 and S21 of -15.45dB and 17.8dB at 2.3GHz as simulation results was achieved. A Noise Figure is 2.92dB. And Measurements show a S11 and S21 of -12.4dB and 17.8dB at 2.3GHz. A Noise Figure of 3.3dB was achieved.

I. 서론

최근 무선통신 시장의 급속한 성장으로 RF 블럭에 대한 중요성이 매우 커지고 있다. 무선 통신 시장의 성장은 통신용 칩들의 가격 경쟁을 불러오고 있다. 이러한 경쟁은 RF 블럭과 디지털 블럭의 통합으로 진행되고 있다. RF 블럭과 디지털 블럭의 통합은 표준 CMOS 공정 안에서 집적을 통해 이루어진다.[1][2]

표준 CMOS 공정에서 RF 블럭 설계는 RF 블럭의 가장 중요한 디바이스인 인덕터에 의해 좌우된다. 표준 CMOS 공정에서는 인덕터의 RF 모델을 제공하지 않기 때문에 인덕터를 모델링의 과정을 통해 미리 인덕터의 정확한 RF 모델을 만들어본 후 실제 설계에 적용하여 시뮬레이션을 해야 한다. 이 경우 최소 한번 이상의 추가 공정이 필요하다. 게다가 표준 CMOS 공정의 경우 RF 블럭을 위한 deep well 공정을 지원하지 않아 기판이나 절연층을 통한 신호의 손실과 다른 블럭으로의 영향을 예측할 수가 없다.

본 논문에서는 인덕터의 정확한 모델링 과정을 Ansoft사의 EM 시뮬레이터인 HFSS로 시뮬레이션 한 후 이를 기존의 회로에 같이 결선하여 최종적으로 LNA를 Ansoft사의 Nexxim을 통해 HFSS로 시뮬레이션한 데이터와 통합 시뮬레이션 하였다. 2장에서는 HFSS와 Nexxim을 통한 시뮬레이션을 하고, 3장에서 설계된 LNA의 측정결과를 보며, 마지막으로 결론을 맺는다.

II. LNA 설계 및 시뮬레이션

그림 1은 이동통신기 고주파 블럭의 수신 단을 간략화 하여 나타낸 것이다. 수신 단은 크게 저잡음 증폭기, 믹서, 국부발진기로 구성된다. LNA는 이동통신기의 전체 수신감도에 가장 큰 역할을 하는 부분으로

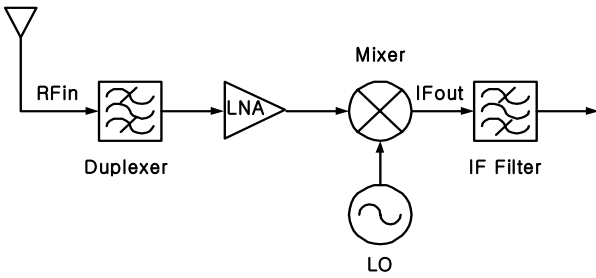


그림 1. 수신기의 구조

안테나 및 듀플렉서를 통해 큰 잡음 원에 노출된 매우 약한 송신신호(수 uV 정도)를 받아 원하는 주파수 대역의 성분만을 증폭시킨 후 다음단인 믹서에 전달하는 역할을 한다. 이 때 신호의 왜곡은 적게, 잡음 성분은 최대한 억제하도록 설계하는 것이 중요하다.

2.1 LNA 설계

본 논문에서 설계하고자 하는 LNA는 표 1과 같다.

표 1. LNA 설계 사양

항목	설계 사양
Frequency	2.3GHz~2.4GHz
S21	> 15dB
S11	< -10dB
잡음지수	< 3.5dB

LNA의 설계 사양은 무선통신환경에서 가장 많이 사용하는 2GHz 대역을 기준 주파수로 잡았다. 설계될 LNA는 2.3GHz~2.4GHz에서 동작하며, 대역폭 100MHz, S21 15dB이상, S11 -10dB이하, 잡음지수 3.5dB이하로 정하였다.

폭 넓은 대역폭, 높은 이득, 높은 역방향 아이솔레이션 특성을 갖는 캐스코드 타입의 LNA로 설계하였다. 그림 2는 일반적인 캐스코드 구조를 나타낸다.[3]

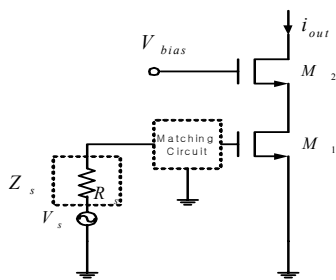


그림 2. 캐스코드 LNA 토폴로지

2.2 EM 해석을 통한 인덕터 시뮬레이션

표준 0.25um CMOS 공정으로 2.3GHz의 LNA의 설계를 위해 사용되어질 인덕터에 대한 고주파 모델링이 필요하다. 본 논문에서는 Ansoft사의 HFSS를 이용하여 시뮬레이션 하였다.

HFSS를 이용하여 시뮬레이션을 하기위해 사용될 인덕터를 layout하였고, GDS 파일 포맷으로 HFSS로 인덕터 layout을 옮겼다. 이때 파운드리 업체에서 제공해준 표준 0.25um CMOS 공정의 메탈과 유전체의 두께와 유전율을 가지고 stack-up 구조를 만들었다. 그림 3은 시뮬레이션할 인덕터의 layout을 보여준다. 인덕터의 core는 최상위 메탈을 사용하여 그렸으며, 1.5um의 두께를 갖는다. Q값을 높이기 위해 폴리실리콘을 Pattern Ground Shield를 하였다.[4] 그림 4는 그림 3의 인덕터를 HFSS를 이용해 S11과 S21을 시뮬레이션 한 결과이다.

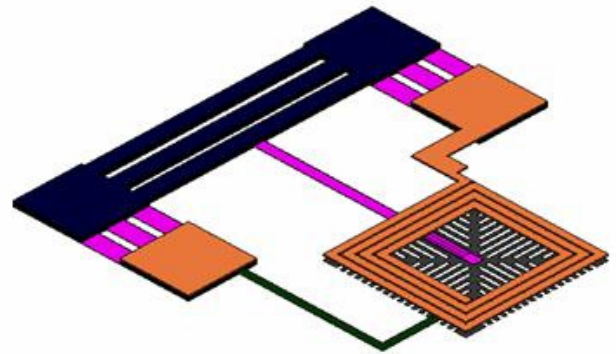


그림 3. 3.5턴 인덕터 layout

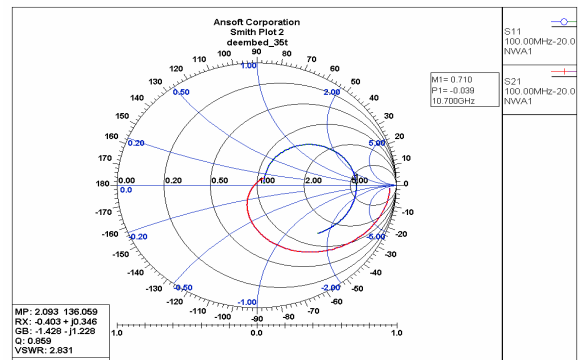


그림 4. 3.5턴 시뮬레이션 결과 (S11,S21)

표 2는 턴수에 따른 인덕터의 자기공진 주파수를 나타 내었다. 각 인덕터는 디임페드를 해 패드의 영향을 제거하였다. 그림 5는 각 턴수에 따른 인덕터의 Q값의 변화를 나타내었으며, 그림 6은 인덕터의 인덕턴스 값

표 2. 턴수에 따른 인덕터의 자기공진주파수

턴수	자기공진주파수
3.5턴	10.7GHz
4.2턴	9.1GHz
4.5턴	7.7GHz
6.5턴	4.9GHz

을 나타내었다. 턴수가 증가할수록 인덕턴스 성분은 증가하지만, 공진 주파수는 급격하게 하향하기 시작하면서 인덕터로서의 대역이 좁아지게 된다. 즉, 인덕터의 면적이 증가하면서 그라운드면과의 캐패시턴스 양의 증가로 인한 리액턴스값의 손실로 볼 수 있으며, 회로 설계시 자기공진 주파수 이하의 턴수에 대한 인덕턴스 값을 계산하여 적합한 주파수 대역에서 회로를 설계해야한다.

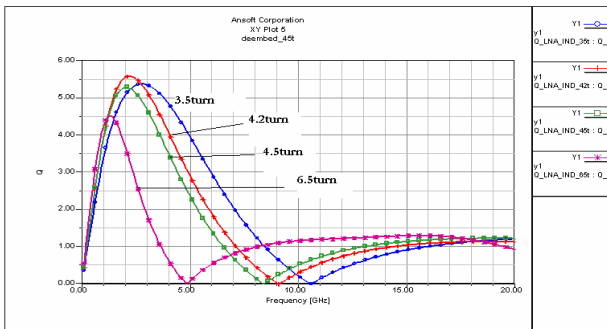


그림 5. 턴수에 따른 인덕터의 Q값

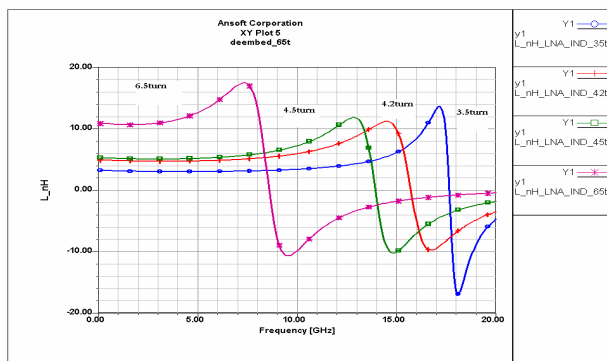
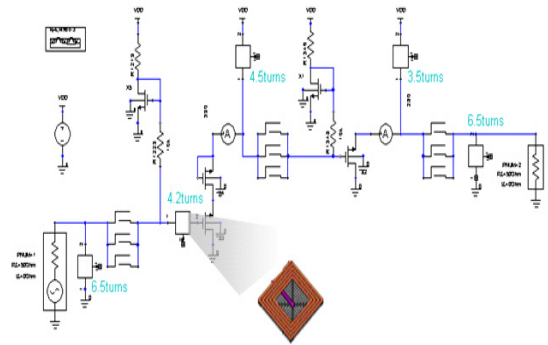


그림 6. 턴수에 따른 인덕턴스 값

그림 7은 LNA에 사용되어질 인덕터에 대한 모델을 HFSS를 이용해 시뮬레이션한 각 인덕터의 S-파라미터값을 가지고 Nexxim을 통하여 통합 시뮬레이션 하였다.



HFSS inductor S-parameter (de-embedded)

그림 7. LNA 통합 시뮬레이션 회로도

그림 8은 S21과 S11의 시뮬레이션 결과를 나타낸다. S21 17.8dB, S11 -15.45dB S22 -14.84 NF 2.95을 얻었다.

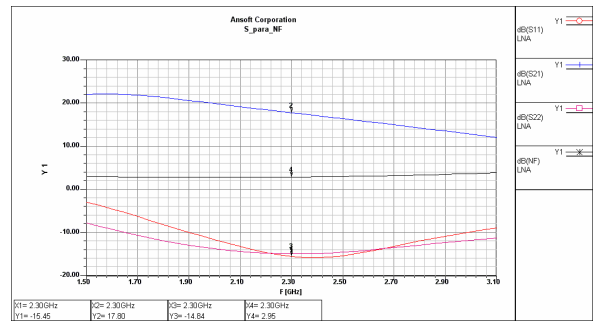


그림 8. 시뮬레이션결과

III. 제작 및 측정결과

시뮬레이션한 LNA를 그림 9와 같이 layout 하였고, 제작된 LNA는 그림 10에 나타내었다.

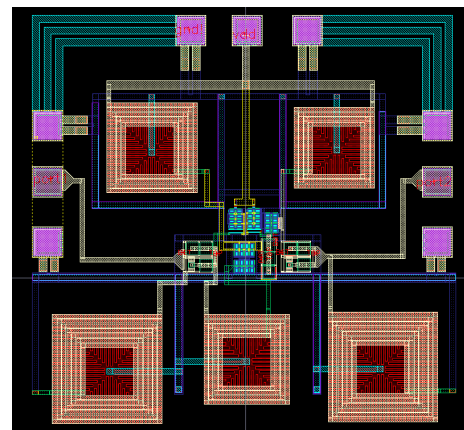


그림 9. LNA layout

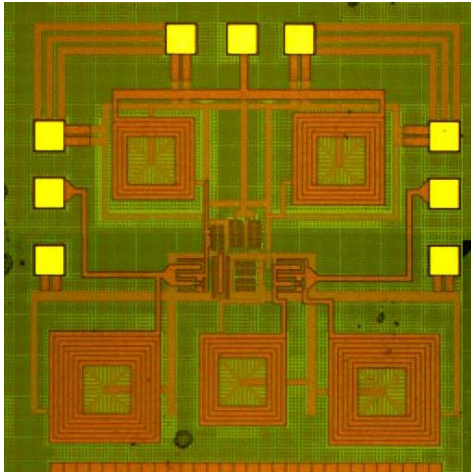


그림 10. 제작된 LNA

제작된 LNA는 Agilent 8510C Network Analyzer를 이용하여 측정하였다. 그림 11은 제작된 LNA의 측정결과와 시뮬레이션 결과를 나타내었다. 표 3에 측정결과와 시뮬레이션을 비교하였다.

표 3. 측정결과와 시뮬레이션 비교

항목	측정결과	시뮬레이션
S21 @ 2.3GHz	17.8dB	17.8dB
S11 @ 2.3GHz	-12.4dB	-15.45dB
NF @ 2.3GHz	3.3dB	2.95dB

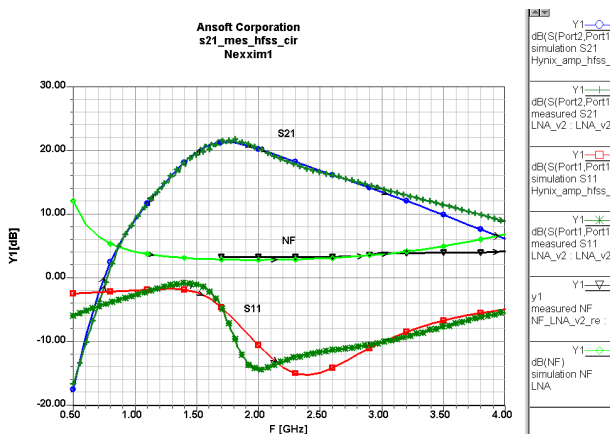


그림 11. 측정결과 vs 시뮬레이션

IV. 결론

표준 CMOS 공정에서 EM field 시뮬레이션을 사용해 LNA를 설계 및 제작 하였다. EM field 시뮬레이션을 통해 인덕터의 고주파 모델링을 수행하였으며, 수행결과와 회로를 함께 통합 시뮬레이션 하였다. 고주파 모델을 제공하지 않는 표준 CMOS 공정에서 EM field 시뮬레이션을 통해 측정치와 가장 근접한 결과를 얻을 수 있었다.

참고문헌

- [1] A.Abiya, A. Rofougaran, G. Chang, J. Rael, J. Chang, M. Rofougaran, and P. Chang., "The Future of CMOS Wireless Transceivers," *IEEE Dig. Int'l Symp. of Solid-State Circuits*, pp.118-119, Feb. 1997
- [2] J. Rudell, J.Ou, T.B.Cho, G Chien, F.Brianti, J. Weldon, and P. Gray, "A 1.9GHz Wide-Band IF Double Conversion CMOS Receiver for Cordless Telephone Applications," *IEEE Journal of Solid-State Circuits*, Vol. 32, pp. 2071-2088, December 1997.
- [3] D. Shaeffer and T. Lee, "A 1.5V, 1.5GHz CMOS LNA," *IEEE Journal of Solid-State Circuits*, Vol. 32, pp. 745-759, May 1997.
- [4] C. Yue and S. Wong, "On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RFIC's," *IEEE Journal of Solid-State Circuits*, Vol 33, pp. 743-751, May 1998