

# AMBA AHB와 AXI간 연동을 위한 Switch Wrapper의 설계

\*이정수, 장지호, 이호영, 김준성  
중앙대학교 전자전기공학부

e-mail : {xmxm2718, lhy8106, asura216}@wm.cau.ac.kr, junkim@cau.ac.kr

## A Switch Wrapper Design for an AMBA AXI On-Chip-Network

\*Jongsu Yi, Jiho Chang, Hoyoung Lee, JunSeong Kim  
School of Electrical and Electronics Engineering, Chung-Ang University

### Abstract

In this paper we present a switch wrapper for an AMBA AXI, which is an efficient on-chip-network interface compared to bus-based interfaces in a multiprocessor SoC. The AXI uses an idea of NoC to provide the increasing demands on communication bandwidth within a single chip. A switch wrapper for AXI is located between a interconnection network and two IPs connecting them together. It carries out a mode of routing to interconnection network and executes protocol conversions to provide compatibility in IP reuse. A switch wrapper consists of a direct router, AHB-AXI converters, interface modules and a controller modules. We propose the design of a all-in-one type switch wrapper.

### I. 서론

반도체 공정 기술의 향상으로 인해서 하나의 칩에 더 많은 양의 데이터를 병렬처리 할 수 있는 IP를 다수 사용할 수 있게 되었다. 이러한 multiprocessor

SoC에서의 성능은 processor의 성능에 의해서 제한을 받기도 하지만 processor와 메모리, IP들간의 통신 성능의 제한에 따라 더 큰 영향을 받게 된다. 특히 제한된 버스를 공유하여 사용하는 구조에서 많은 IP가 동시에 데이터를 주고받으려고 하는 경우에 전체적인 성능은 크게 떨어지게 된다. 현재까지의 대부분의 SoC를 구성하는 통신 방법들은 대부분이 버스 구조를 사용하고 있기 때문에 통신으로 인한 bottleneck이 문제가 되게 된다. 즉 집적도가 증가함에 따라, on-chip-bus를 위해서 내부 연결 라인의 수가 또한 증가하게 되어서 더 많은 파워 소모와 더 높은 예러율, 큰 신호의 전달 지연이 일어나게 된다. 현재의 SoC 버스 대부분은 공유된 버스 구조를 구현하기 위해 tri-state buffer 대신의 multiplexer를 사용하는 구조를 사용한다. Master 역할을 하는 IP가 버스 구조에서 slave인 모든 IP들에게 신호를 전달하기 때문에 multiplexer는 큰 커패시턴스를 감당해야 한다. 따라서 이것은 결과적으로는 부가적인 파워 손실이 된다. 또한 같은 버스에 사용되는 master 역할을 하는 IP는 효율성 제고와 함께 반복되는 arbitration을 피하기 위해서 그 수가 제한되게 된다. 때문에 그런 문제를 극복하기 위해 다중의 접근에 의한 영향을 최소화 하는 새로운 SoC망 구조를 필요로 하게 된다[1][2].

이러한 이유에서 새롭게 제안된 방식이 NoC

(Network-on-Chip)이다. NoC는 packet기반의 통신과 switch기반의 topology를 이용하여 보다 효과적인 on-chip 통신을 가능하게 해 주는 SoC 구조의 한 종류이며[3], AMBA AXI는 AMBA AHB을 개선하여 NoC 개념을 도입한 새로운 SoC interconnection network interface이다[4][5]. 본 논문에서 구현한 switch wrapper는 AHB나 AXI와 호환되는 IP들 간에 신호를 변환함으로써 통신이 가능하도록 연결해 주는 역할을 하며, SNA의 direct routing 개념을 도입하여 동일 switch wrapper에 연결된 IP에 대한 direct routing을 지원함으로써 더욱 높은 성능을 낼 수 있다. 본 논문에서는, 2장에서 AMBA AXI에 대하여 간단하게 알아보도록 하며, 3장에서는 본 논문에서 제안하는 switch wrapper의 설계에 대해서 설명하도록 한다.

## II. 배경

### 2.1 AMBA AXI

16/32비트 embedded RISC 마이크로프로세서 솔루션 업체인 ARM은 저가의 효율적인 고성능 RISC 프로세서와 주변기기, 시스템 칩 설계를 세계의 주요 일렉트로닉스 업체들에게 라이선스하고 있으며, 완벽한 시스템 개발에 필요한 지원도 포괄적으로 제공하는 대표적인 IP 제공 업체이다. 이러한 ARM에서는 차세대 SoC interconnection network interface로 AMBA 3.0을 발표하였다. AMBA 2.0이 ASB, APB, AHB의 3가지 on-chip-bus 기반의 protocol로 구성되었음에 비교하여[5] AMBA 3.0은 NoC 개념을 도입한 AXI protocol로 구성된다[4]. AMBA 3.0에서 제시하는 AMBA AXI protocol은 다음과 같은 특징을 가진다.

- 단방향 채널 아키텍처: AMBA AXI는 그림 1에서 보이듯이 address channel, read channel, write channel, write response channel의 4개의 채널들로 이루어진다. 각 채널들은 master interface와 slave interface를 구성하여 각 component의 데이터를 상호 독립적으로 전송한다. 이러한 채널간의 독립성은 transaction을 수행하는데 있어서 signal들을 독립적으로 인가할 수 있도록 함으로서 더욱 빠른 속도로 수행이 가능하도록 하며, master와 slave에 대한 설계의 용이성을 제공한다.
- Burst-based protocol: AMBA AXI는 burst-based protocol로서 master가 address 데이터를 전송하는데 있어서 필요한 모든 address를 전송하는 것이 아니라 데이터의 첫 address 데이터와 전송 데이터의 크기와

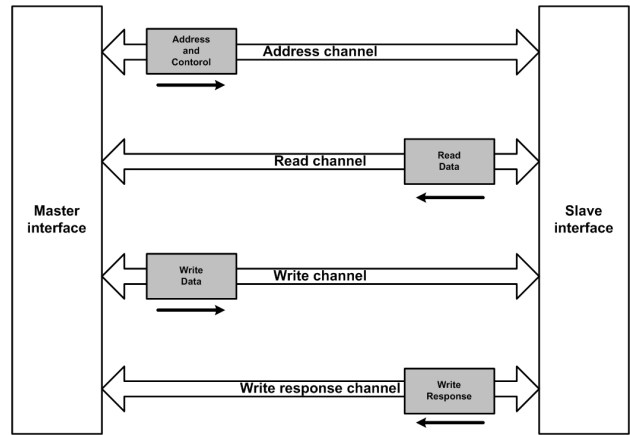


그림 1 AMBA AXI channels

개수를 전송한다. 이에 따라서 slave는 전송 받은 address를 기준으로 burst control signal들에 따라서 더 이상의 address 전송 없이 data를 연속적으로 전송하거나 전송 받게 된다. master에서 slave로의 address 전송이 생략됨으로서 clock의 절감효과가 있으며, component에서는 burst-mode를 사용함으로써 다음 데이터에 대한 예측이 가능하게 되어 더욱 빠르게 데이터를 처리할 수 있다.

- Transaction 단위의 out-of-order 지원: AMBA AXI protocol은 각각의 transaction에 ID를 부여함으로써 out-of-order를 수행하며, 단방향성 채널을 사용함으로써 데이터의 전송량을 높이고 짧은 시간에 수행함에 따라서 고성능과 절전효과 모두를 지원, 개선하였다.
- 향상된 융통성: AMBA AXI는 대칭 master 및 slave 인터페이스를 통해 point-to-point에서 멀티계층 시스템에 이르기까지 많은 분야에서 손쉽게 활용될 수 있다.

이상과 같은 특징을 가지는 AMBA AXI는 NoC 개념을 도입함으로써 기존의 on-chip-bus에 기반을 둔 SoC interconnection network interface에 비하여, 많은 개선 부분이 보이고 있다.

### 2.2 SNA

SNA는 컨트롤 신호와 데이터를 나누어서 전송하는 SNP 프로토콜을 사용하는 패킷 기반 on-chip-network이다[6]. SNA의 중요 개념은 slave IP에게 접근을 요구하는 여러 개의 master IP들에게 버스 구조처럼 단순하게 사용할 수 있으면서도 AMBA IP들과 SNP의 호환성을 유지시키는 다중의 통신 연결 경로를 제공하는 것이다. 다중 통신 연결 경로중 주목할 부분은

direct routing으로써 이는 동일 switch wrapper에 연결된 IP에 대하여 직접 통신을 하게 함으로써, network 성능을 향상시키게 된다. 본 논문에서는 switch wrapper를 설계하는데 있어 SNA의 direct routing 개념을 도입함으로써, 성능 향상을 꾀하고자 한다.

### III. Switch Wrapper 설계

Switch wrapper는 interconnection network와 두개의 IP 사이에 위치하여 IP로부터 AMBA AXI와 AMBA AHB에 호환되는 신호를 받을 수 있고 interconnection network으로 AXI에 호환되는 신호로 데이터를 전달하게 된다. Switch wrapper는 붙여진 IP에 대해 IDs(Identification numbers)와 주소를 저장하기 위해 레지스터를 가지고 있다. 만약 IP가 같은 switch wrapper에 연결된 것이 아닌 밖의 IP에게 접근한다면, switch wrapper는 interconnection network으로 request 신호에 보내는 IP의 ID를 더해서 request 신호를 보내게 된다. Interconnection network은 데이터를 받는 IP의 주소를 ID로 바꾸기 위해 look-up 테이블을 가지고 있고 이 때, ID는 arbitration에 사용된다. Switch wrapper는 또한 IP의 요구에 대한 데이터를 받는 IP의 주소를 찾아내고 주소가 연결된 IP의 것이라면 바로 IP로의 통신 경로를 설정하게 된다.

그림 2는 switch wrapper의 전체 개요도로서 인터페이스와 구성요소를 보여준다. 먼저 인터페이스를 보면, interconnection network 쪽은 AXI 프로토콜에 적합한 신호들로 정의되어 있고, IP쪽의 신호는 AXI와 AHB에 호환되는 신호들 중에 하나가 될 것이다. 이를 위하여 IP의 종류가 AXI와 AHB중에 어떤 프로토콜에 호환되는지 알리기 위한 신호가 첨가되어야 한다. 그

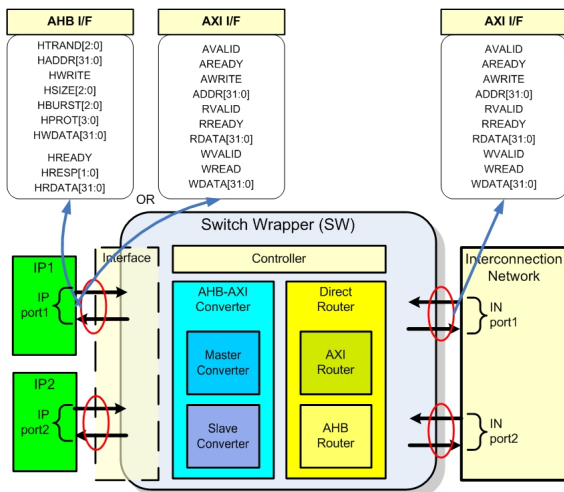


그림 2 Switch wrapper 전체 개요도

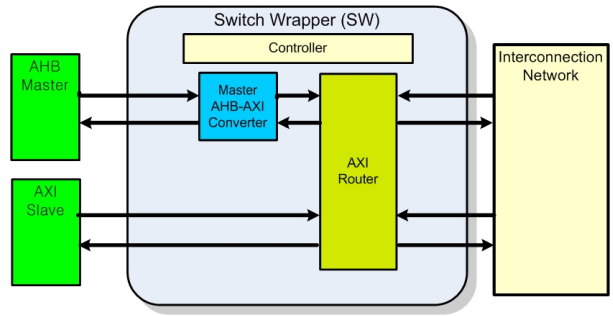


그림 3 AXI-AHB switch wrapper

리고 IP는 연결되어 있는 switch wrapper에게 그 정보가 포함된 신호를 보내게 된다. Switch wrapper는 interconnection network과 연결되는 쪽에 대해 두개의 AXI 통신 연결 경로를 가지고 있다. IP가 각자만의 interconnection network으로의 통신 연결 경로를 가지고 있기 때문에 두개의 IP가 동시에 통신하는 것이 가능하다. Switch wrapper는 하나의 switch, 2개의 AHB-AXI converter, 하나의 controller와 2개의 interface 모듈들로 구성되어 진다.

Switch wrapper는 IP의 종류에 따라서 다양한 결합이 생기게 된다. 우선 IP들은 AXI나 AHB에 호환되는 2가지의 종류가 있고, 각각의 IP는 역할에 따라서 데이터를 읽고 쓰는 역할을 하는 master IP와 데이터를 제공하고 저장하는 slave IP로 구별할 수 있다. 그림 3은 IP1이 AHB master이고 IP2는 AXI slave인 경우를 보여준다. 이러한 경우에 switch wrapper는 AHB가 master인 경우의 신호를 AXI에 호환되는 신호로 바꾸어 주는 converter와 AXI호환 신호를 기본으로 하는 router가 필요하게 된다. 만약 위의 경우에서 두개의 IP가 모두 같은 AHB인 경우는 master/slave 역할에 맞는 적당한 converter가 필요로 하고, direct routing을 위한 AHB호환 신호를 기본으로 하는 router와 interconnection network를 위한 AXI호환 신호를 기본으로 하는 스위치가 필요하다. 이처럼 switch wrapper는 각각의 경우에 따른 다른 구성요소가 필요로 하기 때문에 자원의 소모를 최소화 하고자 하면 단일성을 가지기는 힘들게 된다. 그리고 단일성을 유지하기 위해선 필요하지 않을지도 모르는 구성요소들을 모두 사용하게 되어서 많은 자원을 소모하게 된다. 쉽게 이용하기 위한 단일성과 자원의 소모는 tradeoff관계가 된다. 본문에서는 자원을 소모하더라도 쉽게 사용할 수 있도록 all-in-one 방식의 switch wrapper의 설계를 목표로 하였다.

그림 4는 AXI와 AHB신호에 호환되는 IP에 대하여 종류에 상관없이 연결하여 사용가능하도록 한 all-in-one 방식의 switch wrapper의 구성요소와 연결성을 나타낸다. all-in-one 방식의 switch wrapper는

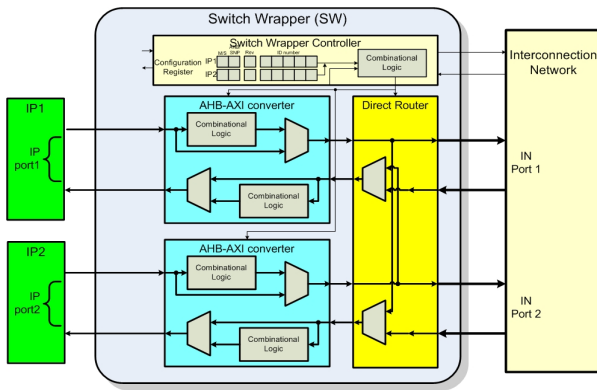


그림 4 All-in-one switch wrapper block diagram

controller에 연결된 IP의 통신 프로토콜의 종류(AXI 또는 AHB인지와 master역할인지 slave역할인지에 따른 종류)를 정의하기 위해서 레지스터를 가지고 있다. 레지스터의 값에 따라서 all-in-one 방식의 switch wrapper내부의 스위치나 AHB-AXI converter의 행동을 정의하게 된다.

AXI와 AHB에 대하여 각각의 신호를 사용하는 것은 많은 라인을 소비하기 때문에 외부의 인터페이스 신호를 제외하고 내부는 local 버스를 사용한다. 2개의 동일한 종류의 IP가 연결되어 있을 때, converter를 통하는 direct routing의 경우에는 쓸모없는 clock cycle을 소비한다. 본 논문에서는 2개의 동일 종류 IP간의 direct routing일 경우에 발생하는 쓸모없는 clock cycle을 방지하기 위해서 converter를 거치지 않는 bypass path를 사용하여 직접 연결하였다.

### V. 결론 및 향후 연구 방향

SoC 기술의 발전 및 시장의 요구 증대는 하나의 칩에 더 많은 양의 데이터를 병렬처리 할 수 있도록 IP를 다수 사용한 SoC 구조에 대한 필요성을 증대시키게 된다. 그러나 이러한 IP의 증가는 IP 단일의 성능보다 IP간의 통신에 의한 성능이 더욱 중요한 이슈로 떠오르게 하였으며, 이에 따라 기존의 SoC 개념에 네트워크 개념을 더한 NoC가 등장하게 되었다. AMBA AXI는 NoC의 요구에 따라 기존 AMBA AHB를 개선하여 NoC 개념을 도입한 차세대 SoC interconnection network interface이다. 그러나 아직 많은 부분에서 기존 AHB를 사용한 IP가 사용되고 있어 기존의 AHB 호환 IP에 대한 wrapper가 필요하다. 본 논문에서는 AXI와 AHB 간의 switch wrapper를 설계하였다. 본 논문에서 제안하는 switch wrapper는 성능의 향상을 위하여 SNA의 direct routing 개념을 도입하여 동일 switch wrapper에 연결된 IP에 대하여

direct routing을 지원한다. 또한 설계의 용이함을 위하여 all-in-one 방식의 switch wrapper를 설계하였다. 차후 연구를 통하여 VHDL 수준으로 개발을 완성하며, 시뮬레이션을 통하여 본 논문의 switch wrapper에 대하여 검증할 예정이다.

### 참고문헌

- [1] Bart Vermeulen, John Dielissen, Kees Goossens and Calin Ciordas, Bringing Communication Networks on a Chip: Test and Verification Implications, Communications Magazine, IEEE Volume 41, Issue: 9, Pages:74 - 81, Sept. 2003
- [2] L. Benini , G. De Micheli, Networks on chip: a new paradigm for systems on chip design, Design, Automation and Test in Europe Conference and Exhibition, 2002.
- [3] Pierre Guerrier, Alain Greiner, A generic architecture for on-chip packet-switched interconnections, January 2000, Proceedings of the conference on Design, automation and test in Europe
- [4] ARM IHI 0022A, "AMBA AXI protocol Specification", ARM 2003.
- [5] ARM IHI 0011A, "AMBA Specification (Rev 2.0)", ARM 1999.
- [6] Sanghun Lee, Chanhoo Lee, Hyuk-Jae Lee, A new multi-channel on-chip-bus architecture for system-on-chips, SOC Conference, 2004. Proceedings. IEEE International, (2004), Pages:305 - 308