

# 초광대역 시스템 Hopping Carrier 발생을 위한 0.18um 4.224GHz CMOS PLL 설계

이 재경, 강 기섭, 박 종태, 유 종근  
인천대학교 전자공학과

Tel: 032-770-8450, Fax: 032-764-2371, E-mail: ljk3535@incheon.ac.kr

## Design of a CMOS Charge Pump PLL of UWB System LO Generation

J. K. Lee, K. S. Kang, J. T. Park, C. G. Yu

Department of Electronics Engineering, University of Incheon

### Abstract

This paper describes a 4.224GHz CMOS charge pump PLL for Mode 1 MB-OFDM UWB hopping carrier generation. It includes a quadrature VCO of which the frequency range is from 3.98GHz to 4.47GHz(@ 0.4 to 1.5 V), a divider, a PFD, a loop filter, a charge pump, and a lock detector. Designed in a 0.18um CMOS technology, the PLL draws 6.6mA from a 1.8V supply. The phase noise of the designed VCO is  $-133\text{dBc}/\text{Hz}@3\text{MHz}$ .

### I. 서론

초광대역(UWB) 무선통신 기술은 기존 무선통신 시스템과의 간섭 없이 주파수를 공유할 수 있으며, 높은 보안성과 높은 데이터 전송 특성 그리고 해상도가 높기 때문에 정확한 거리 및 위치 측정이 가능하고, 다중경로 영향에 강한 특성을 갖는다. 이러한 장점 때문에 UWB 기술은 거리측정, 물체 위치 추적, 충돌방지, 침입감시 등의 레이더 분야와 WLAN, WPAN, Smart Home/Office 등의 무선 통신 분야, 그리고 의료용 검침기, 자동차용 센서, 생산 및 공업용 로봇제어 등 다양한 응용 분야에 적용될 예정이며, 향후 무궁무진한 응용분야의 핵심기술로 자리 매김할 것으로 기대된다.

IEEE산하 802.15.3에서는 사무실이나 가정과 같은 작은 공간에서 10m 정도의 근거리에서 있는 PC, TV, PDA, DVD, 디지털 카메라, 프린트 등의 정보기기들을 최소 100Mbps이상의 전송속도로 연결하기 위한 PAN 기술로 UWB 통신 방식을 채택하고, 2002년 11월부터 802.15.3a를 구성하여 표준화를 시도하기 시작하였다[1]. 현재 표준안은 Intel, TI 등에서 주도하고 있는 MBOA(Multi-

본 연구는 인천대학교 멀티미디어 연구센터의 RRC과제 지원과 IDEC 지원에 의해서도 일부 수행되었음.

Band OFDM Alliance) 진영의 MB-OFDM 방식의 제안서[2]와 Motorola 진영의 Direct Sequence 기술 기반의 single/dual-band 방식의 제안서[3] DS-UWB로 압축되고 있다.

이러한 추세에 따라, 본 논문에서는 UWB 시스템을 위한 RF Front-End 단 Direct Conversion Mixer에 필요한 LO(Local Oscillator) 신호 발생 PLL(Phase-Locked Loop)을 CMOS 회로로 설계하였다. 대표적인 RF Front-End 단 회로의 블록다이어그램을 그림 1에 보였다. 여기서 PLL은 VCO와 함께 신호 변환시 필요한 LO(Local Oscillator) 신호를 발생하고 안정화 시키는 역할을 한다.

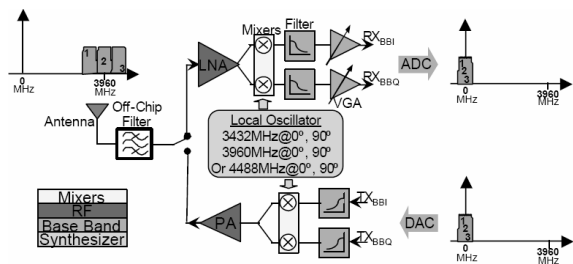


그림 1 RF Front-End단의 블록다이어그램

MB-OFDM에서 제안한 Mode 1 Device는 528MHz의 대역폭을 갖는 3개의 band를 사용하도록 되어있다. 각 band의 center Frequency는 3432MHz, 3960MHz, 4488MHz이다. 따라서 이 3가지 주파수를 합성하는 것이 필요하며 그림 2에서 볼 수 있듯이 기본 주파수로서 4224MHz의 주파수를 필요로 한다. 이에 본 연구에서는 3개의 carrier 주파수를 만드는데 필요한 기준주파수 4224MHz를 안정적으로 공급할 수 있는 PLL을 설계하였다.

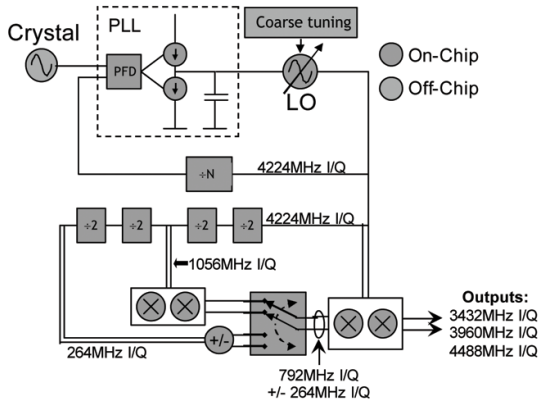


그림 2 주파수 합성기 블록다이어그램

## II. 회로 설계

본 논문에서 설계된 CMOS PLL 회로의 블록다이어그램을 그림 3에 보였다. 설계된 회로는 VCO, 주파수 분주기(Counter, CML Latch, MS Latch), Bias회로, Charge Pump, Phase Detector, Lock Detector 등으로 구성된다. 주파수분주기 블록은 PLL의 동작 주파수를 feedback 시켜 기준 주파수와 비교하기 위해 사용되며, RF 신호의 분주를 위해 CML Latch를 사용하였다.

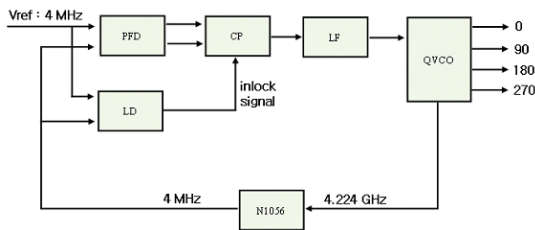


그림 3 설계된 PLL 회로의 블록다이어그램

VCO는 칩 내부의 인덕터와, Moscap과 함께 동작하며, 3.98GHz에서 4.47GHz 사이의 주파수를 갖는 신호를 발생한다. Bias 회로는 VCO와 Charge Pump 회로에 필요한 안정된 기준전류를 공급한다. Phase Detector는 기준 주파수인  $f_R$  과 주파수 분주기의 출력  $f_N$  을 비교하며, Lock Detector는  $f_R$  과  $f_N$  이 locking이 되었는지를 판별한다. Charge Pump는 Phase Detector에서 입력되는 신호에 의해 전류를 칩 내부의 Loop Filter에 공급하여 VCO의 oscillation 주파수를 조절한다.

### 2-1. VCO

VCO는 NP\_core type으로 quadrature 신호를 발생하도록 설계하였으며, target 주파수 범위는 3.98GHz에서 4.47GHz이다. 정현파의 발진은 LC 공진에 의해 이루어지며 L은 spiral inductor를 사용하였고 C는 moscap을 사용하여 전압에 따라 발진 주파수가 변하도록 구현하였다. VCO에 의해 발진된 정현파 신호는 CML Latch에 연결되어 주파수 분주기를 통과하여 PLL의 feedback 신

호로 사용되며 quadrature 신호들은 RF Front-End단에 Mixer의 LO 신호로 사용된다. 설계된 VCO의 회로도를 그림 4에 보였다.

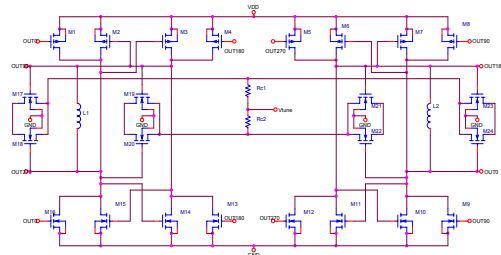


그림 4 설계된 Quadrature VCO

설계된 VCO 회로에서는 출력 스윙을 제한하는 전류원을 제거하였다. 이런 전류원의 제거는 위상 잡음의 중요한 요인 하나를 제거한 것과 같다. 따라서 거의 10dB 이상의 위상 잡음을 감소시키는 효과를 보인다. 하지만 전류원의 제거는 공급전압원의 변화에 따라 발진 주파수가 민감하게 변하고 모든 MOS가 RF switching 하면서 발생하는 전류 소모 변화에 영향을 주게 된다. 이러한 문제는 voltage regulator를 이용하여 해결할 수 있다 [4].

### 2-2. Frequency Divider

주파수 분주기 회로는 VCO의 출력 신호를 1056 분주하여 PFD에 인가한다. 먼저 VCO의 출력 신호가 고주파이기 때문에 고속 동작을 위해 그림 5(a)에서 보이는 CML latch를 이용해 2분주 하고 그림 5(b)에 보이는 MS latch를 이용해 다시 4분주 한다 [5]. 8분주 된 신호를 6bit 동기 33분주 counter와 3bit 비동기 4분주 counter를 이용하여 132분주 한다. 1056으로 분주된 신호는 PFD에서 기준주파수와 비교되며 LD에서 locking 여부를 판단하도록 인가된다. 주파수 분주기의 블록 다이어그램을 그림 6에 나타내었다.

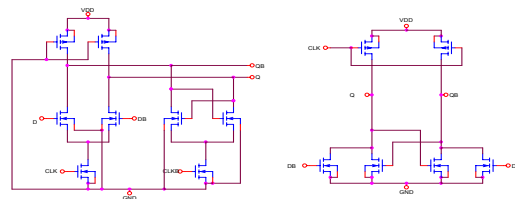


그림 5 (a) CML latch (b) MS latch

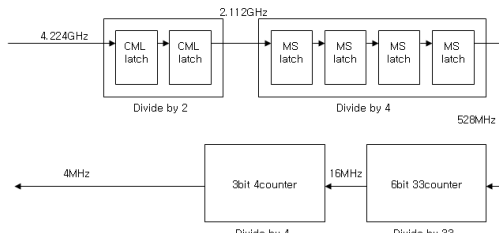


그림 6 주파수 분주기 블록다이어그램

### 2-3. Charge Pump

설계된 Charge Pump 회로의 블록다이어그램을 그림 7에 나타내었다. Charge Pump는 PFD에서 입력되는 'UpB'신호와 'DnB' 신호에 의해 전류를 칩 내부의 Loop Filter에 공급한다. 공급되는 전류량은  $100\mu\text{A}$ 이다. Lock Detector에서 locking 신호가 발생하면 Charge Pump의 pumping 전류는  $25\mu\text{A}$ 로 setting 된다. Loop Filter로 공급된 또는 빠져나간 전류에 의해 VCO의 control 전압이 결정되며, 이 control 전압에 의해 VCO의 출력 주파수가 결정된다.

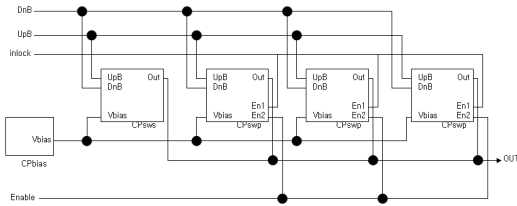


그림 7 설계된 Charge Pump 회로의 블록다이어그램

그림 8은 Charge Pump 내부의 CPswp 회로이다. Lock detector에서 발생하는 locking 신호가 NOR gate의 입력인 en1 또는 en2로 들어간다. Lock신호가 "high"이면 NOR gate의 출력은 "0"이 되고 NAND gate의 입력으로 들어가 Up/Dn신호는 "1"이 된다. Up/Dn 신호가 "1"이면 PFD에서 출력되는 UpB/DnB 신호와는 무관하게 전류를 발생시키지 못하게 된다. 그러므로 inlock 신호에 의해 공급되는 전류의 양을  $25\mu\text{A}$  또는  $100\mu\text{A}$  조절할 수 있게 된다.

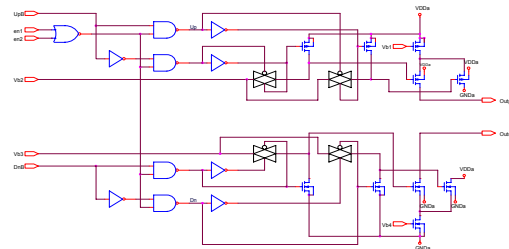


그림 8 CPswp 회로도

### 2-3. Phase Frequency Detector

Phase Frequency Detector(PFD)는 기준주파수인  $f_R$  과 주파수 분주기의 출력  $f_N$ 을 비교하여 두 신호의 위상차에 해당하는 'UpB' 신호와 'DnB' 신호를 발생시킨다. 가장 간단한 PD로는 XOR 게이트를 이용하는데, 이 경우는 두 입력 신호의 duty cycle이 50%가 되어야만 제대로 동작한다, 뿐만 아니라 위상차가  $180^\circ$  이상이 되면 위상 차이를 판별하지 못하는 단점이 있다. 이러한 단점을 보완하기 위해 reset기능을 가진 두 개의 D-F/F 과 delay cell을 이용하여 위상뿐만 아니라 주파수 차이도 판별할 수 있는 구조를 사용하였다. 여기서 delay cell의 역할은 glitch 현상에 의한 "dead zone" 현상을

방지하기 위함이다. PFD는 acquisition 범위도 넓고 locking 속도도 빠르다는 장점을 갖는다 [6].

### 2-4. Loop Filter

Loop Filter는 2차 passive filter를 사용하였고, gate capacitance,  $n^+$ -resistance등의 on-chip 소자를 사용하여 구현하였다. Loop Filter 설계 tool을 사용하여 소자 값을 결정하였다.

## III. 시뮬레이션 결과

설계된 회로를  $0.18\mu\text{m}$  n-well CMOS 공정변수를 사용하여 RF-Spectre 시뮬레이션한 결과를 그림 9, 10, 11,12에 나타내었다. 그림 9는 inlock 신호에 따른 Charge Pump 전류의 변화와, 그에 따른 loop filter의 출력전압의 변화를 보여준다. Charge Pump의 전류는 locking 시  $25\mu\text{A}$ 이며 locking 되지 않은 경우에는  $100\mu\text{A}$ 이다. 첫 번째 파형은 UpB 신호가 변하는 것을 보여주고 두 번째 파형은 DnB 신호가 고정되어 있는 것을 보여준다. 세 번째 신호는 inlock 신호의 변화를 보여준다. 앞의 세 신호에 따라 Charge Pump의 전류량이 0에서 25,  $100\mu\text{A}$ 로 변화하는 것을 네 번째 파형에서 확인할 수 있다.

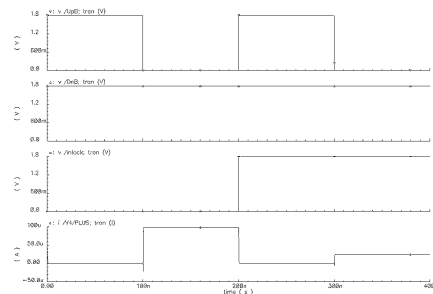


그림 9 Charge Pump Simulation 결과

그림 10은 설계된 PLL 중 VCO 블록을  $4.224\text{GHz}$ 의 주파수에서 동작 시켰을 때의 모의실험 결과이다. 왼쪽 파형은 Quadrature 신호이다. 오른쪽 파형으로  $90^\circ$ 의 위상차가 나는 출력 파형을 확인할 수 있다. 두 파형 모두 VCO 발진 주파수는  $4.224\text{GHz}$ 이고 크기는 약  $1\text{V}_{p-p}$ 이다.

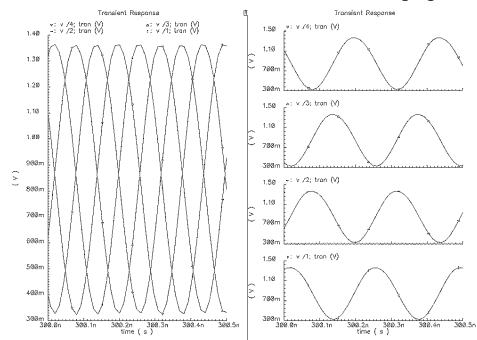


그림 10 QVCO Simulation 결과

설계된 VCO는 quadrature 신호를 발생하며, 3.98GHz에서 4.47GHz(@ 0.4 to 1.5 V)사이의 주파수 범위에서 동작한다.

그림 11는 설계된 주파수 분주기 모의실험 결과이다. 왼쪽의 첫 번째부터 VCO 출력 파형, divide by 2 파형을 확인할 수 있다. 오른쪽의 파형은 divider를 통과한 최종 신호이다.

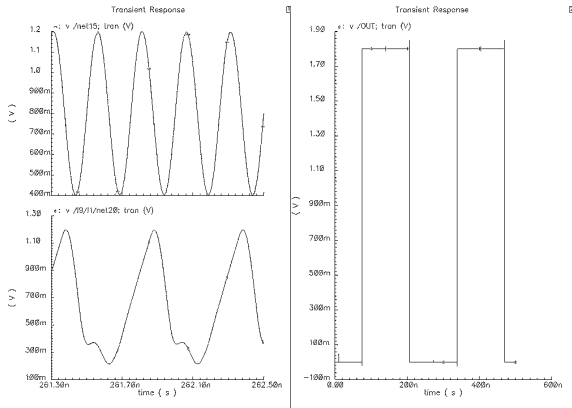


그림 11 Frequency Divider Simulation 결과

그림 12은 설계된 PLL을 4.224GHz의 주파수에서 동작 시켰을 때의 모의실험 결과이다. 그림에서 맨 위의 파형은 기준주파수가 되는 4MHz 입력신호  $f_R$ 과 주파수 분주기를 통과한  $f_N$ 이며, enable 신호 'EN'은 t=1ns일 때 'high'로 인가하였다. 두 신호의 위상차에 의해 Charge Pump에 공급되는 약 100 $\mu$ A의 초기 전류를 통해 locking을 시도한다. 이는 두 번째 파형을 통해 확인할 수 있다. locking된 후 전류는 25 $\mu$ A 정도로 감소하게 되며, 대응되는 VCO의 control 전압은 거의 일정하게 유지되게 된다. 마지막 파형에서 VCO의 control 전압을 확인할 수 있다. 설계 된 회로는 1.8V의 전원전압에서 4.224GHz 동작일 때 약 6.6mA의 전류 소모를 보인다.

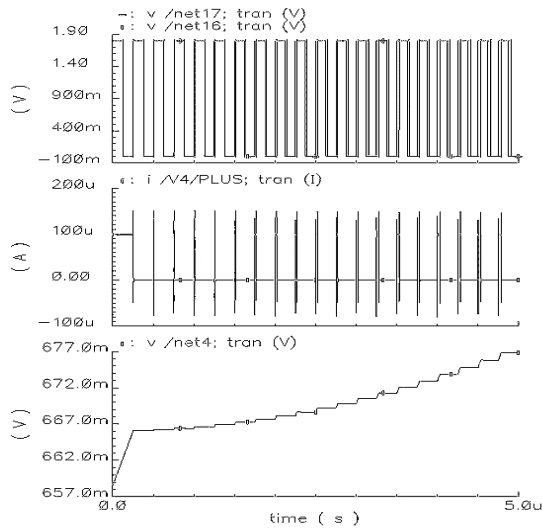


그림 12 PLL Simulation 결과

표 1에 설계된 Quadrature VCO 및 CMOS Charge Pump PLL의 소모 전류, Phase Noise, VCO gain 등의 성능을 요약하였다.

표 1 QVCO 및 PLL 성능 요약

QVCO Tuning Range	3.98GHz ~ 4.47GHz
VCO Gain	445MHz/V
Phase Noise	-133dBc/Hz@3MHz
QVCO Current Consumption	4.42mA
PLL Frequency	4.224GHz
PLL Current Consumption	6.6mA
Supply Voltage	1.8V
Process	0.18um CMOS

#### IV. 결론

본 논문에서는 Mode 1 MB-OFDM 방식의 UWB 시스템을 위한 RF단 PLL을 CMOS 회로로 설계하였다. 설계된 VCO는 quadrature 신호를 발생하며, 3.98GHz에서 4.47GHz(@ 0.4 to 1.5 V)사이의 주파수 범위에서 동작한다. 위상잡음은 3MHz 오프셋에서 -133dBc/Hz이다. 0.18um CMOS 공정으로 설계된 PLL은 1.8V의 전원에서 6.6mA의 전류를 소모한다.

#### 참고문헌

- [1] 최상성, 신철호, 강범주, "무선 홈네트워크 실현을 위한 고속 UWB 기술 및 표준화 동향," 전자통신동향분석, 제19권 제5호, pp. 87-94, Oct. 2004.
- [2] "Multi-band OFDM Physical Layer Proposal" IEEE P802.15 Working Group for Wireless Persona Area Networks(WPANs), [http://grouper.ieee.org/groups/802/15/pub/2003/Jul03/03267r6P802-15\\_TG3a-Multi-band-OFDM-CFP-Presentation.ppt](http://grouper.ieee.org/groups/802/15/pub/2003/Jul03/03267r6P802-15_TG3a-Multi-band-OFDM-CFP-Presentation.ppt).
- [3] "XtremeSpectrum CFP Presentation" IEEE P802.15 Working Group for Wireless Persona Area Networks (WPANs), [http://grouper.ieee.org/groups/802/15/pub/2003/Jul03/03153r10P802-15\\_TG3a-XtremeSpectrum-CFP-Presentation.ppt](http://grouper.ieee.org/groups/802/15/pub/2003/Jul03/03153r10P802-15_TG3a-XtremeSpectrum-CFP-Presentation.ppt).
- [4] Marc Tiebout, Member, IEEE. "Low-Power Low-Phase-Noise Differentially Tuned Quadrature VCO Design in Standard CMOS", *IEEE JSSC*, vol.46, no7, pp.1018-1024, July 2001.
- [5] Adem Aktas, Mohammed Ismail, *CMOS PLLs and VCOs for 4G Wireless*, Kluwer Academic Publishers 2004
- [6] 이진영, 권덕기, 박종태, 유종근, "CMOS 기준전압 및 전류 발생회로 설계," SoC 설계 연구회 학술발표회 논문집, pp.71-75, 2004.