

저 전압 트리거형 ESD 보호소자를 탑재한 LVDS Driver 설계

*육승범, **김귀동, **권종기, *구용서
*서경대학교 전자공학과, **한국전자통신연구원
e-mail : *6tmdqja@hanmail.net *yskoo@skuniv.ac.kr

The Design of LVDS Driver
with ESD protection device of low voltage triggering characteristics

*Seung-Bum Yuk, *Yong-Seo Koo
*Electronic Engineering Seokyeong University
**Kui-Dong Kim, **Jong-Ki Kwon
**Electronic and Telecommunication Research Institute

Abstract

In this study, the design of advanced LVDS(Low Voltage Differential Signaling) I/O interface circuit with new structural low triggering ESD(Electro-Static Discharge) protection circuit was investigated. Due to the differential transmission technique and low power consumption at same time. maximum transmission data ratio of designed LVDS transmitter was simulated to 5Gbps,

Also, the LIGSCR(Latch-up Immune Gate Coupled SCR)was designed. It consists of PLVTSCR (P-type Low Voltage Trigger SCR), control NMOS and RC network. The triggering voltage was simulated to 3.6V. And the latch-up characteristics were improved.

Finally, we performed the layout high speed I/O interface circuit with the low triggered ESD protection device in one-chip.

I. 서론

최근 급속도로 발전하고 있는 고속처리 프로세서, 멀티미디어, 가상현실 실현 및 모든 통신 시스템에서는 이전보다 훨씬 빠르고 더 넓은 대역폭을 필요로 한다. RS-422, RS-485, SCSI와 같은 데이터 통신 표준들은 이들이 사용하는 광범위한 영역에도 불구하고 많은 제약적인 요소가 있다.

따라서 현재 LVDS(Low Voltage Differential Signaling)는 현존하는 이러한 문제를 해결할 수 있는 고속처리, 저 전력 소모형을 현실화한 가장 이상적인 전송표준이다. 또한 Low Triggering voltage 특성을 갖는 새로운 구조의 ESD 보호 소자를 개발하고, 고안된 ESD보호소자를 나노급 고속 LVDS I/O interface 회로에 내장함으로써, 보다 진보된 LVDS I/O interface 회로 구현을 목적으로 하며, Simulation 및 Layout을 수행하였다

II. 이론적 배경

2.1 LVDS interface Model

LVDS는 수백 Mbps에서 수 Gbps에서 데이터 전송을 할 수 있는 차동 저 전압 기술이다. LVDS는 독립 전류원을 이용한 current-mode드라이버와 low swing 기

술을 이용함으로써 전력소비와 노이즈 제거 면에서 탁월한 성능을 나타낸다. 그림1 은 LVDS의 기본구조와 동작원리를 보여준다.

LVDS interface의 신호 전달 원리는 부하저항 R에 흐르는 전류의 방향에 따라 결정된다. LVDS에서 사용되는 Differential data 전송방식은 수신단에서 오직 두 신호의 차이만을 보기 때문에 Single-ended 구성보다 Common-mode 노이즈에 강하다.

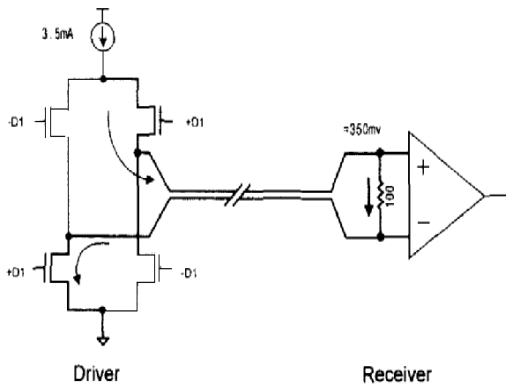


그림 1. LVDS interface model

이러한 differential 기술이 노이즈를 쉽게 제거하기 때문에 LVDS는 더 낮은 전압 swing을 이용하여 파워 소비를 줄일 수 있다.

TTL로 대표되는 Single ended 신호에 대해, 차동 신호는 동상 잡음을 제거하기 때문에 외부로부터 잡음에 강하다. 반면 Single-ended 에서는 드라이버와 리시버 사이에 잡음이나 그라운드 전위에 차가 있으며, 그 차가 리시버의 입력 Threshold에 오프셋(offset)을 주게 된다. 그림2에서와 같이 싱글 엔디드(Single-ended) 신호 전송은 전송로 상의 외적 요인에 약하고, 차동 신호에 의한 전송은 외적 요인에 대하여 상대적으로 강하다고 할 수 있다.

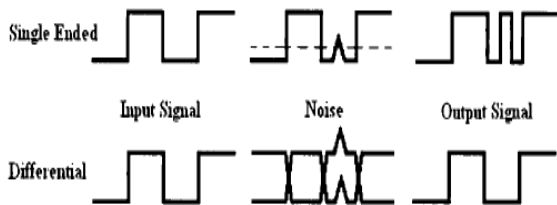


그림 2. 전송로 상의 잡음 영향

2.2 회로 탑재를 위한 기존의 ESD보호소자

현재 ESD 보호소자로는 ggNMOS와 SCR이 널리 사용되고 있으며, 이들 소자의 구조를 변형하거나 Bi-CMOS 기술을 이용한 것과 같은 여러 가지 새로운 구조의 진보된 ESD Protection Device에 관한 연구가 계속 되고 있다. 하지만 LVDS의 interface 회로에 ESD 보호소자로서 Conventional SCR(그림3)은 기존의 ggNMOS(Gate Ground NMOS)의 다른 소자들보다 훨씬 큰 ESD 보호능력을 가지고 있지만, 트리거 전압이 약 30V정도로 매우 높아서 칩 내부(Core 회로)의 MOSFET의 산화막이 파괴되거나 ESD 전류가 유입됨으로서 내부 선로가 열화 손상 되는 것을 막을 수 없다.

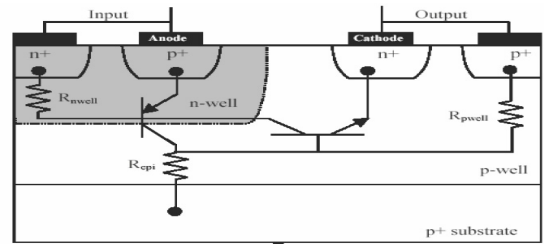


그림 3. Conventional SCR

상대적으로 LVTSCR(Low Voltage Triggering SCR)(그림4)은 전류이득을 높여 낮은 트리거 전압을 가질 수 있지만 오늘날 반도체 제조공정이 DSM(Deep Submicron)에서 VDSM(Very Deep Submicron)으로 발전함에 따라 낮은 전원전압을 갖는 I/O interface 및 제품개발이 활발히 진행되기에 고속/저 전압 특성을 갖는 회로인 LVDS driver의 적용은 어렵다.

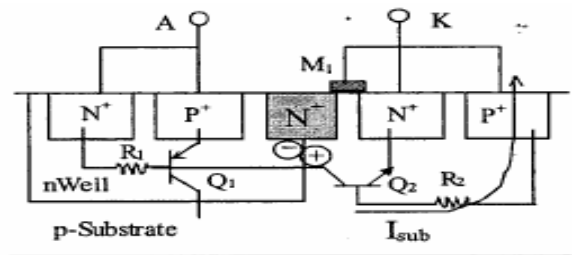


그림 4. LVTSCR(Low Voltage Triggering SCR)

따라서 LVDS interface와 같은 고속 동작을 위한 parasitic capacitance성분의 최소화 및 robust와 effective하면서 ESD펄스가 인가되었을 때 safe level에서 빠르게 동작하는 high-speed ESD보호회로에 대한 연구가 중요시 되고 있다.

III. 새로운 구조의 ESD 보호소자를 탑재한 LVDS Driver

3.1 ESD 보호소자 탑재를 위한 LVDS Driver

본 연구에서는 ESD 보호소자 탑재를 위한 LVDS의 Driver 회로를 구현하기 위해 그림5 과 같이 2개의 저항 디바이더를 이용하여 평균값(V_{CM})을 구현하였다.

이는 차동 형태의 두 출력 전압의 공통 신호 또는 바이어스 전압을 일정케 유지하기 위한 케환 회로 인 CMFB(Common-Mode-Feedback) 회로의 V_{REF} 와 비교되어 제어 전압을 발생시킨다.

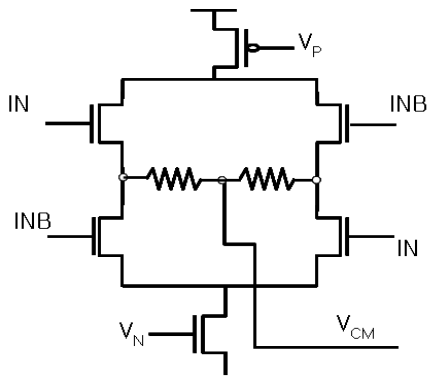


그림 5. 저항 디바이더를 이용한 LVDS Driver

이러한 LVDS 드라이버 매커니즘을 기초로 한 전체적인 LVDS Driver Schematic은 그림6과 같다.

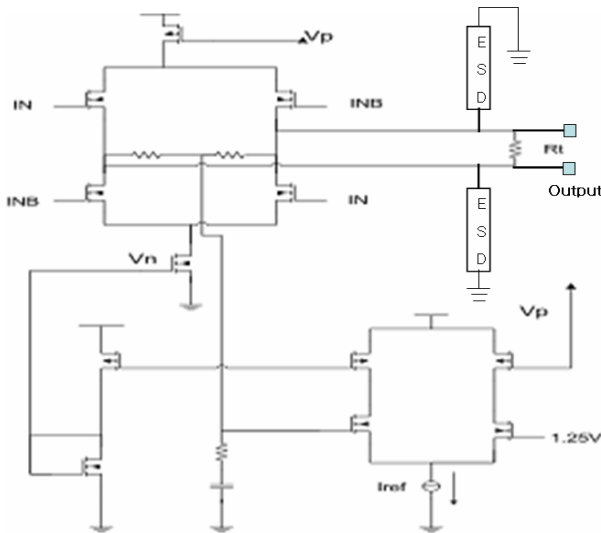


그림 6. LVDS driver circuit

2개의 저항 디바이더를 통해 V_{cm} 을 Second-Stage의

단일 출력 차동 증폭기로 입력되고 증폭기의 출력 전압이 V_p 에 인가된 Feedback 동작을 구현한다.

3.3V의 Supply Voltage와 높은 정확성과 복잡성을 피하기 위해 Closed-loop control 회로를 이용한 전류모드 드라이버로서 작동한다. 주파수 안정화를 위해 R,C 결합을 이용하고, 바이어스 전류 I_{ref} 는 내부 Bandgap reference voltage(1.25V)에 의해 생성되는 전류로서 구현하였다. 또한 ESD의 Effectiveness등의 파악을 목적으로 하기에 선로 특성상의 부하(Load C, L)는 생략하고 그림 7 과 같은 최대 5Gbps 데이터 전송속도 특성의 출력을 얻을 수 있다.

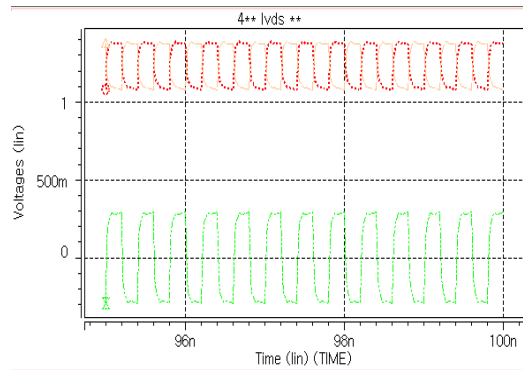


그림 7. 5Gbps 입력 시 LVDS driver의 출력과형

3.2 LIGCSCR(Latch-up Immune Gate Coupled SCR)

설계된 LVDS의 드라이버에 탑재될 ESD 보호소자로서 그림 8의 LIGCSCR을 고안하였다.

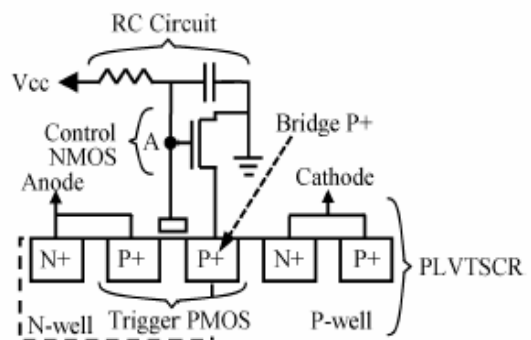


그림 8. LIGCSCR

이는 DSM(Deep Submicron)보호회로 설계 시 ESD에 대한 신뢰성을 높이기 위해 gate coupling을 적용한 소자로서, Bridge p+를 형성하여 정상상태 동작에서 애기치 못하게 일어날 수 있는 SCR의 latch-up 현상을 방지할 수 있도록 설계하였으며, 이를 제어 가능

한 Control NMOS와 RC network가 연결된 회로로서 구성된다. 이렇게 고안된 LIGCSER의 동작원리는 다음과 같이 요약할 수 있다.

첫째, 정상상태일 때, RC network에 의해 node A에는 V_{cc} 의 전압이 걸린다. 따라서 node A에 연결된 Control NMOS는 온(on)되며, Trigger PMOS는 오프(off)상태를 유지하게 된다. 결국 Control NMOS에 의해 Bridge p+는 GND에 쇼트(short)되어 guard-ring 역할을 함으로써 우연적으로 발생하는 SCR의 래치-업 현상을 방지할 수 있게 된다. 둘째, ESD pulse가 인가되었을 경우, node A는 RC network에 의해 더 이상 V_{cc} 전압을 유지할 수 없게 되어 LIGCSER의 Trigger PMOS는 온(on)되며, Control NMOS는 오프(off)된다. 여기에서 Control NMOS가 오프(off) 됨에 따라 Bridge p+는 floating되어 더 이상 guard-ring 역할을 수행 못한다. 또한 앞서 기술한 PLVTSCR의 동작으로 인해 ESD current를 효과적으로 방전하게 된다. 그림 9은 LIGCSER의 simulation 결과이며 이는 약 3.4V의 Trigger voltage를 가짐을 알 수 있다.

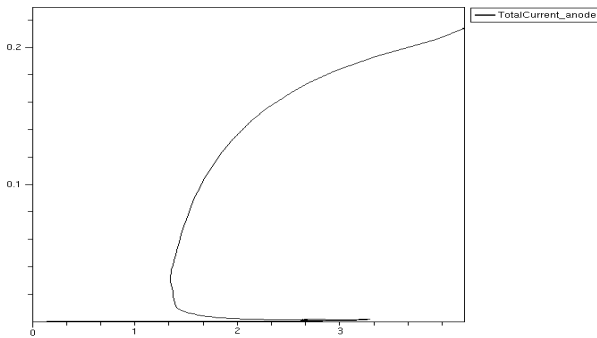


그림 9. LIGCSER의 I-V 특성

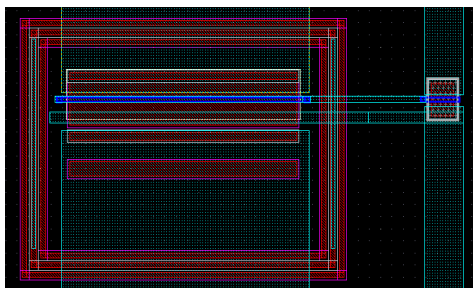


그림 10. LIGCSER의 Layout Design

설계된 LVDS Driver 회로를 기반으로 LIGCSER구조의 ESD 보호소자 탑재를 통해 보다 향상되고 안정적인 LVDS interface를 구축할 수 있다. 정상상태 동작시에 발생할 수 있는 SCR의 latch-up 현상을 방지한 고안된 소자는 ESD 펄스 발생시 RC network 및 trigger PMOS를 통해 보다 향상된 SCR의 trigger voltage를 유도할 수 있으며, 이 구조는 그림11을 통

해 소자 내부에 RC network를 형성하지 않고, 외부에서 이에 상응하는 전압을 가할 수 있도록 설계하였으며 LVDS driver 회로에 탑재하였다.

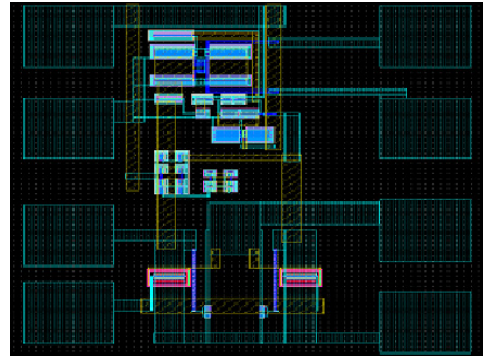


그림 11 LVDS driver with LIGCSER

IV. 결론

본 연구에서는 I/O interface 회로 구현을 위해 3.3V의 전원 전압과 최대 5Gbps의 데이터 출력 특성을 갖는 LVDS Driver 회로를 설계하고 시뮬레이션을 통해 검증하였다. 그리고 제안된 저 전압 트리거형 ESD 보호소자로서 3.4V의 Triggering voltage의 특성을 가지는 LIGCSER(Latch-up Immune Gate Coupled SCR)을 LVDS Driver 회로에 탑재하여 Layout을 수행하였다.

향후 I/O interface 회로의 보다 낮은 전원 전압을 갖는 트리거 전압에 동작할 수 있도록 최적화된 조건의 ESD I/O 구조 및 그 기법들에 대한 연구와 실용화에 대한 구체적인 분석 및 적용에 대한 연구가 필요하다.

참고문헌

- [1] Chua-Chin Wang, IEEE2004, 1.0Gbps LVDS Transceiver design for LCD panels
- [2] National Semiconductor, Spring2004, LVDS Owner's Manual 3rd Edition
- [3] Z.H.wang, Kluwer Academic publisher, On-Chip ESD Protection for Integrated Circuits
- [4] Chun-Hsiang Lai, Electron Device Letter, A novel gate coupled SCR ESD protection
- [5] M.D.Ker, IEEE Int Symp. Circuit and system, Complementary LVTSCR ESD protection

Acknowledgement

본 논문은 IT-SoC 사업단 및 ETRI의 지원으로 수행되었으며, IDEC의 지원 장비를 활용하였습니다.