

# HDTV/XGA AMOLED 디스플레이를 위한 10 비트 데이터 구동 회로의 설계

김용욱, 이주상, 유상대\*  
경북대학교 전자공학과, 경북대학교 전자전기컴퓨터학부

## Design of A 10-Bit Data Driving Circuit for HDTV/XGA AMOLED Displays

Yong-Uk Kim, Ju-Sang Lee, Sang-Dae Yu\*  
Dept. of Electronics, Graduate School, Kyungpook Natl. Univ.  
\*School of Electrical Engineering and Computer Science, Kyungpook  
Natl. Univ.  
e-mail : white5901@naver.com, jslee\_ee@naver.com, sdyu@mail.knu.ac.kr

### Abstract

In this paper, the designed 10-bit current steering data driving circuit consists of bias circuits, shift registers, data and line latches, level shifters, and 10-bit D/A converters. This data driving circuit can improve image quality, driving speed, and can reduce process error, DNL error, and glitch noise. To reduce current cells, the 10-bit D/A converter was designed 3+3+4 hybrid type. As a result 49 current cells are decreased. The transient analysis shows that currents flows a few of mA in data line, and the currents have 1024 gray levels of current values. Total circuits are designed for 10  $\mu$ s speed. Thus the designed 10-bit current steering data driving circuit can be usable in HDTV/XGA AMOLED displays. These data driving circuits are designed for 0.35  $\mu$ m CMOS process at 3.3 V and 18 V supply voltage and simulated with HSPICE..

### 1. 서론

OLED는 각 화소에 흐르는 전류량과 휘도가 선형적으로 비례하는 관계를 갖고 있다. PMOLED를 구현하기 위해서는 데이터 라인에 전류를 직접 인가해 주는 전류 구동 방식이 필수적이고, 이를 위한 전류 제어형 데이터 구동회로는 각 채널 출력 특성이 균일하여야 한다. 그런데, PMOLED를 구동하기 위해서는 10V 이상의 고전압이 필요하므로, 채널 간 균일성이 향상된 전류 출력 특성을 가지면서 동시에 고전압 출력 특성을 갖는 전류 제

어형 데이터 구동 회로의 설계가 매우 중요하다. 또한, PMOLED 패널의 데이터 라인의 커패시턴스는 매우 크기 때문에 특히 낮은 계조를 표현하는 경우에 적은 전류로 구동하기가 곤란하다. AMOLED 구동의 경우에 TFT를 이용한 화소구조는 화소 내 트랜지스터 간의 문턱 전압 및 이동도의 불균일성이 패널의 화질에 직접 영향을 미치고, 구동회로를 통한 고화질의 구현에 한계가 있다. 전류 기입 형 화소구조가 고화질을 구현하기에 적합한 구조이지만, PMOLED의 경우와 같이 각 채널 간 출력 전류의 균일성을 향상시킨 전류 제어형 데이터 구동회로가 필요하다. 따라서 본 논문에서는 고해상도의 디스플레이의 구현이 가능한 AMOLED 디스플레이를 위한 10 비트 전류 제어형 데이터 구동 회로를 설계해 보았다.

### 2. 전류 제어형 데이터 구동 회로의 구성

AMOLED의 데이터 구동 회로는 shift resistor, data latch, line latch, level shifter, D/A converter로 구성된다. Shift resistor가 clock과 carry 신호를 받아 동작을 시작하면 각 resistor 단은 shift clock에 따라 pulse를 순차적으로 이동시키고 이러한 동작에 맞추어 data latch에 입력 디지털 데이터를 하나씩 저장시킨다. 이런 과정을 반복하여 한 개의 수평 line의 data 저장에 모두 끝나면 load pulse에 의하여 line latch로 내려 보낸다. Latch에 입력된 화상 데이터는 level shifter와 D/A converter를 통하여 1024개의 gray scale 전류를 선택적

으로 출력하여 모든 channel에서 동시에 출력된다.

### 2.1 Shift register

타이밍 신호 발생회로는 일반적으로 쉬프트 레지스터 방식을 사용하며, D 플립플롭으로 구성된다. 그림 1은 전성게이트를 사용한 정적 D 플립플롭 방식의 양방향성 쉬프트 레지스터를 나타낸다.

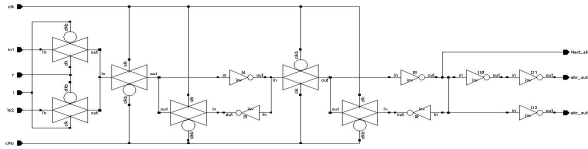


그림 1. 양방향성 shift register 회로

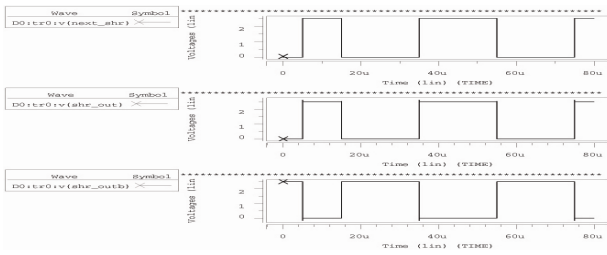


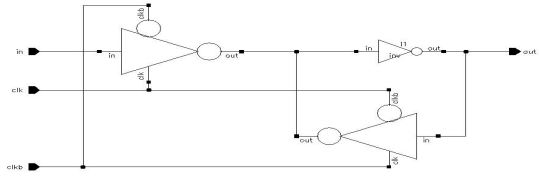
그림 2. 양방향성 shift register 회로의 출력 파형.

그림 2의 Next\_shr에서 보듯이 clk 입력 파형보다 5 usec의 지연시간을 가짐으로서 shift clock에 따라 pulse를 순차적으로 이동시킬 수 있음을 보여준다. 또한 출력 되어진 shrout과 shroutb 신호는 data latch의 clkb와 clk의 입력 신호에 전달되어서 8비트 데이터 입력의 신호 전달을 가능하게 한다.

### 2.2 데이터 래치와 라인 래치

그림 3은 트라이스테이트 인버터를 사용한 데이터 래치와 라인 래치 회로이며, 동작을 살펴보면 앞서 설계한 shift register에서 보내진 shrout, shroutb 신호는 데이터 래치의 clkb와 clk으로 전달된다. Clock 상승신호일 때는 데이터 신호를 받아서 1번째 트라이스테이트 인버터를 거쳐 데이터 래치의 출력, 즉 라인 래치의 입력으로 전달하고, 하강신호일 때는 2번째 트라이스테이트 인버

터에 의해서 데이터를 latch 한다. 설계된 라인 래치의 구조는 데이터 래치의 구조와 같으며, 라인 래치의



clock

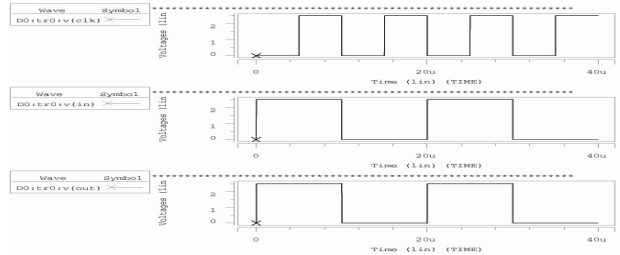


그림 4. 데이터 래치와 라인 래치 회로의 출력 파형

신호는 load에서 인가된다. 그림 4는 데이터 래치와 라인 래치 회로의 출력 파형을 나타낸다.

### 2.3 level shifter

그림 5는 레벨 쉬프터 회로를 나타내며, 동작원리는 로직 전압 레벨 1로 데이터 신호가 인가되면, 트랜지스터 M3은 턴 온 되어 outb는 0 V 값을 가지게 되고, 트랜지스터 M2는 턴 오프 된다. 이로 인해, 트랜지스터 M0는 턴 온 M2는 턴 오프 되므로 출력값 out은 18 V를 가지게 된다. 그림 6은 레벨 쉬프터 회로의 출력 파형을 나타낸다.

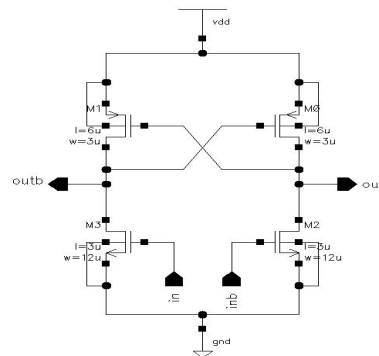
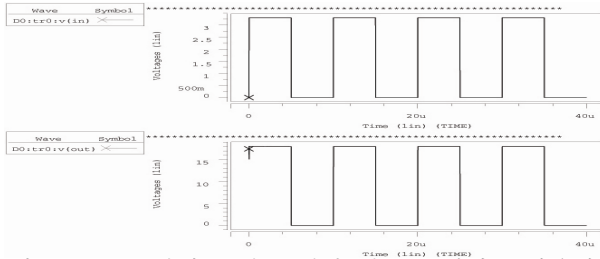


그림 5. Level shifter 회로

그림6. level shifter 회로의 출력 파형

### 2.4 D/A 변환기



10 비트 D/A 변환기는 전류 원과 전류 스위치를 사용하여 3+3+4 분할 방식으로 설계하였다. 상위 3 비트와 중간 3 비트는 온도계 코드 기법, 하위 4 비트는 이진 전류가중치 기법을 사용하였다. 6 비트의 온도계 디코더를 단번에 설계 하는 것 보다 49개의 전류 셀의 감소를 가져왔으며, 온도계 코드 기법으로 설계하여 DNL 에러와 글리치 잡음을 줄이는 효과를 가져왔다.

그림 7은 하위 4비트 전류 가중치 D/A 변환기의 회로도이며, 그림 8은 그림 7의 D/A 변환기의 출력으로서 출력된 전류가 4 비트 즉 16 gray scale을 가짐을 알 수 있다.

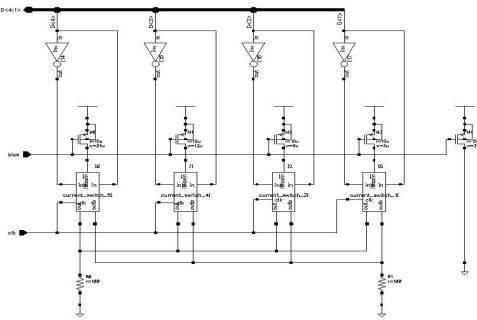


그림 7. 하위 4비트전류 가중치 D/A 변환기 회로

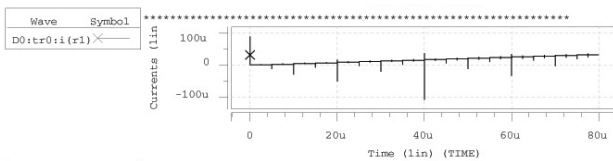


그림 8. 하위 4비트전류 가중치 D/A 변환기 회로의 출력 파형

그림 9는 상위 3비트 온도계 코드 타입 D/A 변환기 회로이고, 그림 11은 중간 3비트 온도계 코드 타입 D/A 변환기를 나타낸다. 또한, 그림 10과 그림 12를 통하여 출력된 D/A 변환기의 전류가 3 비트 즉 8 gray scale을 가짐을 확인 할 수 있다.

그림 9. 상위 3비트 온도계 코드 타입 D/A 변환기 회로

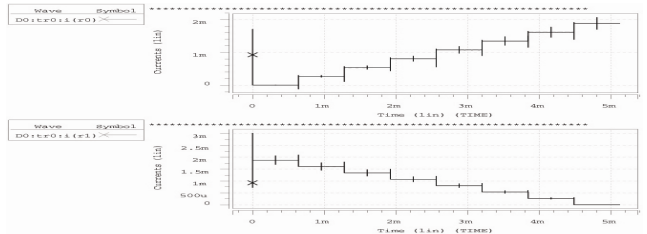
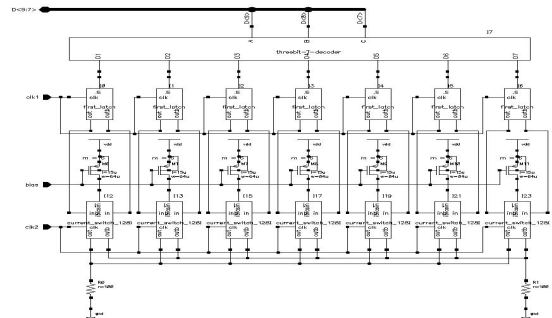


그림 10. 상위 3비트 온도계 코드 타입 D/A 변환기 회로의 출력 파형

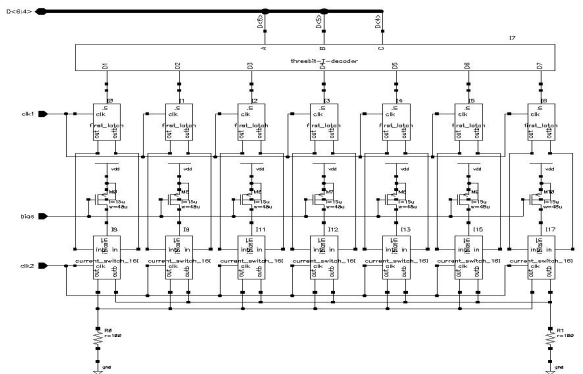


그림 11. 중간 3비트 온도계 코드 타입 D/A 변환기 회로

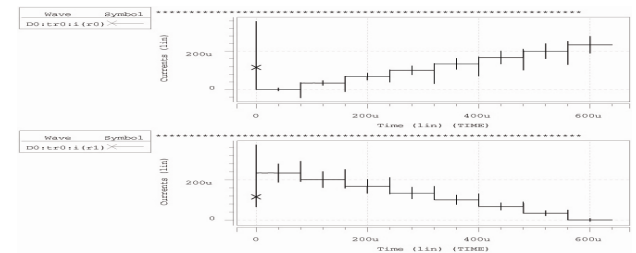


그림 12. 중간 3비트 온도계 코드 타입 D/A 변환기 회로의 출력 파형

설계된 10 비트 D/A 변환기에는 전류원에 일정한 전압을 인가하여 안정적인 전류를 공급하게 하는 바이어스 회로가 필요하다. 그림 13은 Constant transconductance 바

4. 결론

본 논문에서는 1024 (R,G,B)×768의 해상도를 갖는 HD TV/XGA급 AMOLED 디스플레이를 구현하기 위해 전류 구동 방식에 기초한 10 비트데이터 구동 회로를 설계하였다. 설계된 10 비트 전류 구동 방식 D/A 변환기를 거쳐 데이터 라인에 흐르는 최대 전류는 수 mA 값을 가지며 AMOLED 디스플레이를 위한 10 비트, 즉 1024 계조 레벨의 전류 값을 가질 수 있음을 확인 하였다. HDTV/XGA급 해상도를 갖는 디스플레이의 경우 하나의 게이트 신호 선에 할당되는 TFT의 온 시간은 21  $\mu$ s 이하가 된다. 이를 감안 할 때 모든 회로가 10  $\mu$ s 에 동작 하도록 설계하여 HDTV/XGA급 디스플레이가 가능하도록 하였다.

참 고 문 헌

[1] Young-Sun NA and Oh-Kyong Kwon, "A single chip driver system for 1.2-inch organic electro-luminescent display," IEEE Transactions on Consumer Electronics, vol. 23, no. 9, 2002  
 [2] 박홍준, "CMOS 아날로그 집적회로 설계 (상),"  $\Sigma$  시그마프레스, 1999.  
 [3] 박홍준, "CMOS 아날로그 집적회로 설계 (하),"  $\Sigma$  시그마프레스, 1999.  
 [4] 이승훈, 김범섭, 송민규, 최중호 공저, "CMOS 아날로그/혼성모드 집적 시스템 설계(상),"  $\Sigma$  시그마프레스, 1999.  
 [4] 이승훈, 김범섭, 송민규, 최중호 공저, "CMOS 아날로그/혼성모드 집적 시스템 설계(하),"  $\Sigma$  시그마프레스, 1999.  
 [3] 김상수, 김현재, 이신두 공저, "디스플레이 공학 I (LCD), 청범출판사, 2005.

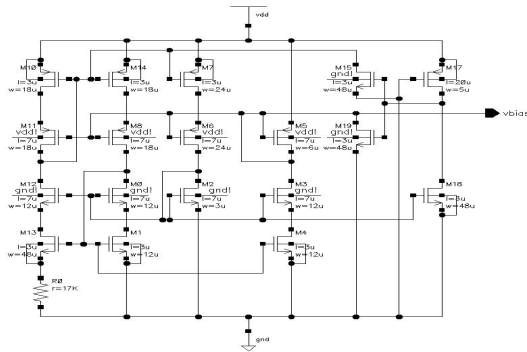


그림 13. Constant transconductance 바이어스 회로

이어서 회로를 나타내며, 그 출력 파형은 그림 14와 같다.

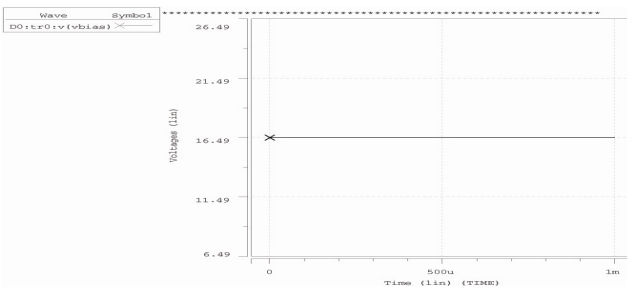


그림 14. Constant transconductance 바이어스 회로의 출력 파형

그림 15는 설계된 10 비트 D/A 변환기의 전체 모의 실험 결과를 나타낸다. D/A 변환기의 최대 출력 전류는 수 mA의 크기를 가지며, 10비트 AMOLED 디스플레이를 위한 1024 계조 레벨을 확인할 수 있다.

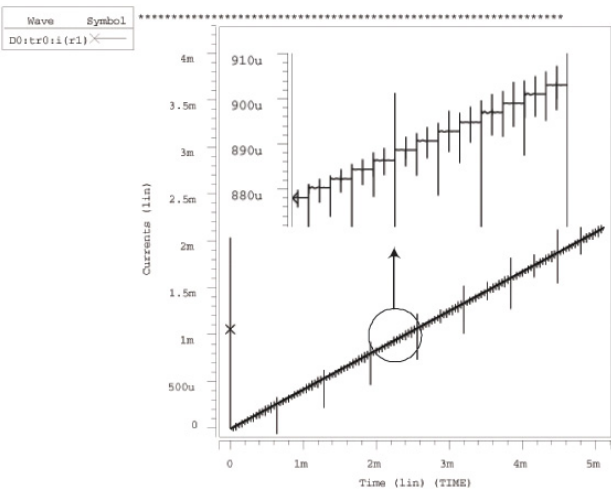


그림 15. 10 비트 전류 구동 방식 D/A 변환기 회로의 출력 파형