

# 모바일 오디오용 저 전압 3 차 단일루프 16bit 96kHz 시그마 델타 ADC

김형래\*, 박상훈\*, 장영찬\*, 정선엽\*\*, 김태호\*\*, 박홍준\*  
포항 공과 대학교 전자 전기 공학과

## Low power 3rd order single loop 16bit 96kHz Sigma-delta ADC for mobile audio applications.

Hyung-Rae Kim(\*), Sanghune Park(\*), Young-Chan Jang(\*), Sun Y, Jung(\*\*), Ted Kim(\*\*),  
Hong-June Park(\*)

\*Dept. of Electrical and Computer Engineering, POSTECH, \*\*Pulsus Technologies

E-mail : \*hrkim09@postech.ac.kr, \*lucky@postech.ac.kr, \*mocha@postech.ac.kr \*\*sunj@pulsus.co.kr,  
\*\*taeho@pulsus.co.kr, \*hjpark@postech.ac.kr

### Abstract

모바일 오디오 적용을 위한 저전력  $\Sigma\Delta$  Modulator 에 대한 설계와 layout 을 보였다. 전체 구조는 3 차 단일 피드백 루프이며, 해상도는 16bit 을 갖는다. 샘플링 주파수에 따른 Over-sampling Ratio 는 128(46kHz) 또는 64(96kHz) 가 되도록 하였다.

차동 구조를 사용한 3 차  $\Sigma\Delta$  modulator 내의 적분기에 사용된 Op-Amp 는 DC-Gain 을 높이기 위해서 Gain-boosting 기법이 적용되었다.  $\Sigma\Delta$  modulator 의 기준 전압은 전류 모드 Band-Gap Reference 회로에서 공급이 되며, PVT(Process, Voltage, Temperature) 변화에 따른 기준 전압의 편차를 보정하기 위하여, binary 3bit 으로 선택하도록 하였다. DAC 에서 사용되는 단위 커패시터의 mismatch 에 의한 성능 감소를 막기 위해, DAC 신호의 경로를 임의적으로 바꿔주는 scrambler 회로를 이용하였다. 4bit Quantizer 내부의 비교기 회로는 고해상도를 갖도록 설계하였고, 16bit thermometer code 에서 4bit binary code 변환시 발생하는 에러를 줄이기 위해 thermometer-to-gray, gray-to-binary 인코딩 방법을 적용하였다.

0.18um CMOS standard logic 공정 내 thick oxide transistor(3.3V supply) 공정을 이용하였다. 입력 전압 범위는 2.2Vp-p,diff. 이며, Typical process, 3.3V supply, 50' C 시뮬레이션 조건에서 2Vpp,diff. 20kHz sine wave 를 입력으로 할 때 SNR 110dB, THD 는 -95dB 이상의 성능을 보였고, 전류 소모는 6.67mA 이다. 또한 전체 layout 크기는 가로 1100um, 세로 840um 이다.

### I. 서론

최근 들어 전자제품 시장에서 디지털 카메라,

MP3 플레이어와 같은 휴대할 수 있는 디지털 제품들이 급격히 증가 하는 추세이다. 디지털 제품의 작동 시간을 늘리기 위해서 특정 전압 하에서 무엇보다도 전류소모를 줄이기 위한 저전력의 특성을 갖추어야만 한다. 특히 MP3 플레이어, 모바일 폰과 같은 음원을 사용하는 디지털 장비들은 저 주파수 대역에서 높은 SNR 을 가진 ADC(Analog-to-Digital converter)를 요구한다. 이와 같은 특성을 갖는  $\Sigma\Delta$  ADC 에 대한 설계를 시도하게 되었으며, 설계의 주요 목표로서 SNR 90dB 이상, THD -80dB 를 기본 설계 목표로 설정하였다.

### II. 전체 구조와 High Level Simulation

기본 설계 목표인 SNR 90dB 를 달성하기 위해서 전체 구조는 3 차 단일 루프 피드백 구조를 선정하였다.[1] 단일 루프 피드백의 장점으로 OTA(Operational Trans-conductance Amplifier)의 DC gain 이나 스위치의 온저항(ON-resistance)와 같은 회로의 비선형성에 대해서 둔감한 특성을 갖고 있으며[2], 이는 회로 구현 시 큰 장점을 준다. 본 구조에 대한 High level simulation 모델을 그림 1 에 제시하였다. 시뮬레이션 조건으로, 루프의 계수는 [0.4,0.4,2.0]을 사용하였으며, over-

sampling ratio 는 64 를 사용하였고, 이에 대한 시플레이션 결과로서 그림 2 를 보면, SNR 이 119.9dB 로서 기본 설계목표가 달성 됨을 확인 할 수 있었다.

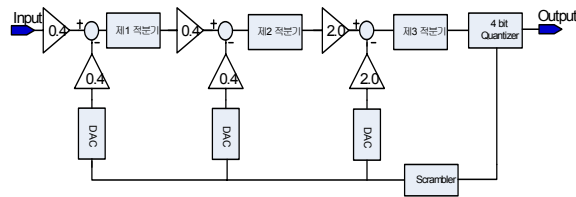


그림 1. 3 차의 단일 루프 피드백  $\Sigma\Delta$  모듈레이터 모델

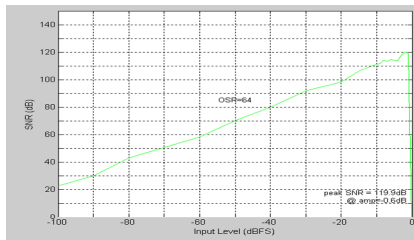


그림 2. SNR 측정을 위한 High level Simulation 결과

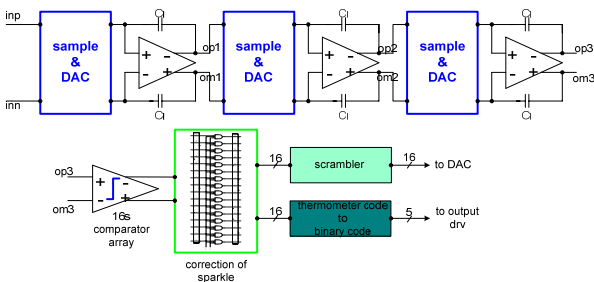


그림 3. 전체 블록도

또한 high level block 에 대한 실제구현을 그림 3 에 나타내었다. 3 개의 적분기와 Sample & DAC 블록을 통하여 입력 신호가 16 개의 비교기로 전달되면, 이에 대한 디지털 신호가 thermometer code 로 출력된다. 버블을 정정하는 bubble rejection 블록을 통과하고 정정된 16 비트는 scrambler 를 통하여 DAC 로 인가되고, 또한 thermometer-to-gray, gray-to binary 인코딩 방법을 적용하여 최종 출력으로 나가게 된다..

### III. 구성 블록 회로도

#### A. Sample & DAC Block

Sample & DAC 블록을 그림 4 에 제시하였다. CLK1d, CLK2d 가 CLK1, CLK2 와 정확히 같은 클럭으로 non-overlap clocking 을 한다고 가정하면, CLK1 이 high 인 타이밍 구간에서는 Cs1p~Cs16p 까지 모두 16 개의 샘플링 커패시터에 입력을 샘플링을 하고 있다 가 CLK2 가 high 인 동안 DAC 로부터 나온 디지털

코드 값에 따라 Vdac1p~Vdac16p 의 스위치가 BGR 에서 생성된 DAC 기준 전압 REFP 또는 REFM 을 각각 선택하여 샘플링 커패시터에서 샘플링된 입력과 연산을 하게 되고, 이 전하들이 Feedback capacitor Cf 로 전달되어 적분연산을 하게 된다. 그러나 Charge Injection 에 의한 영향을 막기 위해서 CLK1d, CLK2d 와 같이 지연된 클럭을 사용한다.

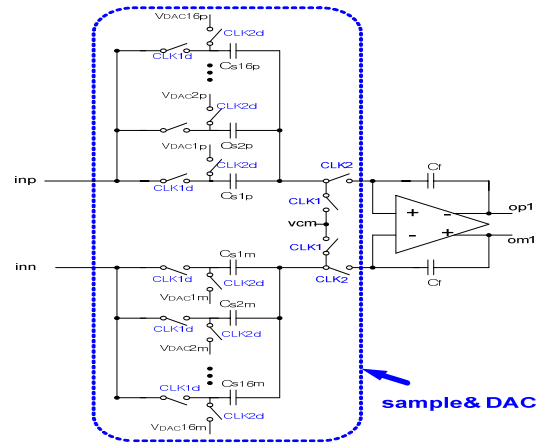


그림 4. Sample & DAC block

#### B. OTA

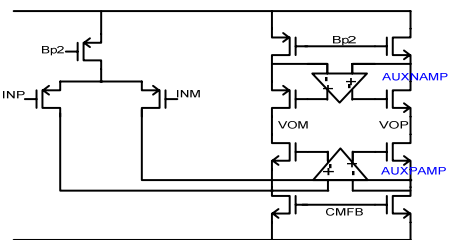


그림 5. Gain-boosting folded cascode OTA

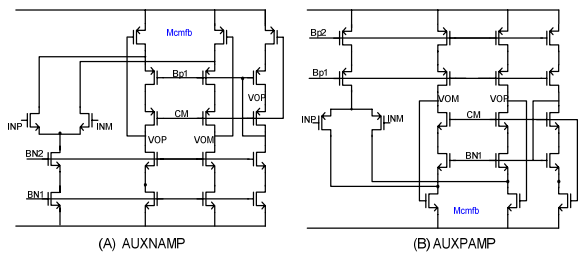


그림 6. Gain-boosting 을 위한 sub-OTA

Integrator 내부의 OTA 는 Gain boosting technique 을 사용한 folded cascode OTA 를 사용하였다.  $\Sigma\Delta$  ADC 에서 OTA 의 Open loop Gain 이 작을 경우 저주파수 대역에서 노이즈를 증가시키는 원인으로 작용한다. 따라서 본 설계에서는 Gain-boosting 타입을 사용하여 Gain 을 높여주었다. DC-Gain 을 높여주기 위한 sub-OTA 회로를 그림 5 에 제시하였다. 본 sub-OTA 는 Main Amp (그림 5) 바이어스 전류에 비해 작은 전류

에서도 안정적으로 동작하며, 트라이오드 영역에서 동작하는 2 개의 M<sub>cmfb</sub> 트랜지스터로 Common-mode Feedback 을 수행한다.[3] 출력노드 V<sub>op</sub>, V<sub>om</sub> 의 common mode 를 일정하게 하기 위해 Switched Capacitor CMFB 회로를 사용하였으며, 이로 인해 전류소모를 줄일 수 있었다.[4] AC 시뮬레이션을 수행한 결과 공정의 FF,TT,SS 조건 하에서 그림 7 에서 나타난 바와같이 모두 110dB 이상의 DC-gain 과 80' 이상의 Phase margin 을 보였으며, 이때의 소모전류는 최대 1.27mA 였다.

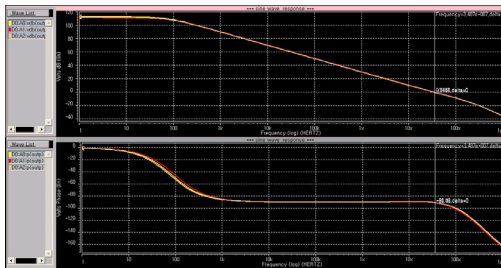


그림 7. AC-시뮬레이션 결과

C. 비교기

그림 8 에 보여진 비교기는 차동 입력단과 SR latch, 플립플롭으로 구성되어 CLK1 과 CLK2 가 서로 non-overlap clocking 을 하면서 Reset-mode 와 Regeneration-mode 에서 동작을 하게 된다.[5] CLK1 이 Low 이고 CLK2 가 High 인 동안 비교기는 Reset mode 에서 동작을 하게 된다. 이때 동작은 M12 가 on 이 되어 전압을 Equalizing 하게 되고, CLK1 이 High 이고 CLK2 가 Low 로 바뀌면 Regeneration mode 로 들어가게 되는데, M12 가 off 가 되면서 입력 전압의 차에 비례하는 전압이 노드 a-b 사이에 발생하게 된다. 이때의 전압이 M8, M9 를 통과하게 되면, Reset mode 일 때 M10, M11 에 의해서 VDD 로 Pre-charge 되었던 c, d 노드가 High/Low 를 판별하게 되고 SR-latch 를 통하여 디지털 출력으로 나타나게 된다.

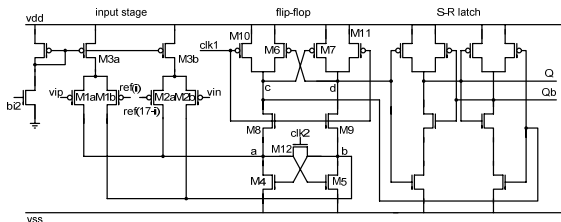


그림 8. 비교기

D. Current mode Band-gap Reference & Voltage Trimming 회로

그림 9(a)에 나타난 Current mode BGR 회로는 BJT 의 비율을 1:10 으로 하여, 면적을 줄이는 대신 BJT 에 연결된 PMOS 단의 비율을 달리하여 전류를 생성해낸다. 또한 두 노드 VA, VB 의 전압을 PMOS 입력의 common drain 구조를 통하여 좌측 Opamp 의 입력으로 voltage level shifting 을 하며, OTA 가 두 노드 VA 와 VB 를 같도록 하여 BJT 로 하여금 전류를 생성하고 있다.[6] 또한 전체 시스템이 작동을 중지할 수 있도록 서스펜드 모드용 트랜지스터를 두었다

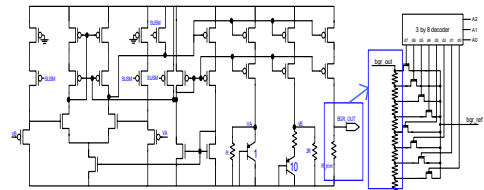


그림 9(a). Current mode Band-gap Reference      그림 9(b). Voltage Trimming 회로

그러나 공정변화에 의해 저항의 값이 달라지는 경우를 대비하여 그림 9(b)에 나타난 3-8 decoder 를 사용하여 BGR 에서 생성된 8 개의 전압 중 한가지를 선택할 수 있도록 하였다.

E. DAC Local switch driver

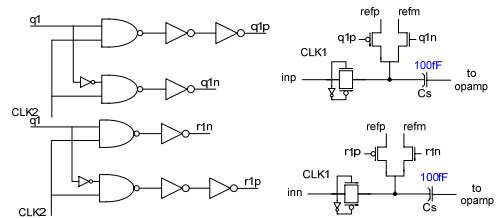


그림 10. local switch driver 와 DAC module

그림 10 에는 DAC 스위치를 구동하기 위한 드라이버를 나타내었다. CLK1 과 CLK2 는 non-overlap clocking 을 한다고 가정하면, 그림 10 의 좌측 local switch driver 는 q1 이 High 라고 가정하고 CLK2 가 Low 에서 High 로 바뀌면, q1p, q1n 은 Low 로 결정되고, r1n, r1p 는 High 상태로 된다. 따라서 우측에 나타난 DAC module 에서 q1p, r1n 이 연결된 스위치만이 ON 으로 동작하게 되고 입력 inp 와 연결된 DAC 모듈에서는 BGR 블록에서 생성된 DAC 기준 전압 REFp 가 입력 inn 에서 연결된 DAC 모듈에서는 REFm 이 선택되어 100fF 의 unit capacitor 를 통과하여 적분기로 입력 된다. 그러나 본문 III. A. Sample& DAC 부분에서 설명한 바와 같이 CLK1 이 High 인 동안은 입력만이

적분기로 입력이 되어 샘플링이 하게 된다.[7]

F. DAC Scrambler 와 swapper

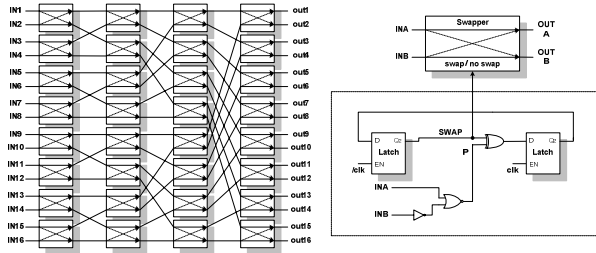


그림 11. DAC scrambler 와 swapper

회로 내에서 공정 과정에서 발생하는 mismatch 에 의한 THD 나 SNR 의 감소를 막기 위해 신호경로를 임의적으로 바꿔 주는데, 이러한 목적으로 Scrambler block 을 사용하였다. 그림 11 의 우측에 보이는 Swapper 의 기본동작은 두 입력이 서로 같을 경우 swap 신호를 발생시키지 않고, 입력이 서로 다를 경우에만 swap 신호를 발생시켜서 경로를 바꿔주게 된다. 입력 신호에 대한 논리 연산 값을 노드 P 에서 이전 swap 값과 EXOR 한 결과를 CLK 이 Low 에서 High 로 변하면, Latch2 의 data 가 Latch1 으로 이동하게 되고, CLK 이 High 에서 Low 로 변할 때 swap/no-swap 신호를 발생시켜서 경로를 변경시켜주고, INA 와 INB 의 신호가 다음 단의 swapper 로 넘어가게 된다. 이와 같은 연산을 그림 11 의 좌측에서와 같이 총 4 단에 걸쳐서 하며, 이로 인해 신호경로가 임의적으로 변하는 효과를 얻을 수 있게 된다.[8]

IV. 전체 칩 시뮬레이션

전체 칩에 대한 시뮬레이션 후 FFT 한 결과를 그림 12 에 보였다. 오디오용으로 사용하기 위한 대역 내에서 110dB 이상의 SNR 이 나오는 것을 확인할 수 있으며, THD 또한 기본 설계목표를 달성하였음을 알 수 있다. Typical process, 3.3V supply, 50°C 의 조건에서 전체 블록의 전류소모는 6.67mA 였으며, 0.18um CMOS standard logic 공정 내 thick oxide transistor(3.3V supply) 공정을 이용하였고, 설계된 전체 크기(그림 13)는 가로 1100um\*세로 840um 가 되었다.

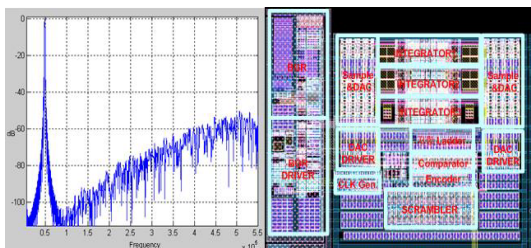


그림 12 FFT simulation 결과

그림 13 전체 Layout

V. 결론

모바일용 오디오를 위한 3 차 단일 루프로 구성된 Sigma-delta ADC 에 대한 설계를 나타내었다. 적분기의 구성요소로 Fully differential OTA 를 사용하여 공통모드 노이즈에 둔감하게 하였으며, Gain-boosting Technique 을 사용하여 DC-gain 을 높여주었다. 또한 Quantizer 로 고해상도를 갖는 비교기를 사용하였다. BGR(bandgap reference)로부터 생성된 전류에 의한 전압을 선택할 수 있도록 저항 선택 회로를 사용하였고, 불필요한 동작으로 인한 전류소모를 줄이기 위해서 ADC 전체 블록이 동작하지 않는 서스펜드 모드를 두었으며, thermometer code 의 에러를 정정할 수 있도록 Bubble rejection 회로와 DAC 단위 커패시터의 mismatch 에 의한 성능감소를 막기 위해 scrambler 회로를 추가하였다. 이에 따라 SNR 110dB 이상, THD 95dB 이상의 결과를 얻을 수 있었으며, 현재 SMIC 공정을 이용해 테스트 칩이 제작 진행 중이다.

참고문헌

- [1] Angusto Marques, Vinceno Peluso, Michel S. Steyaert, "Optimal Parameters for  $\Delta \Sigma$  Modulator Topologies", IEEE transactions on Circuits And Systems- II Analog and digital signal processing, vol.45, No9, September 1998
- [2] Libin Yao, Michiel S.J. Steyaert and Willy Sansen, "A 1V 140uW 88-dB Audio Sigma-Delta Modulator in 90-nm CMOS", IEEE Journal of Solid-State Circuits, Vol.39, NO.11, November 2004.
- [3] Thomas Burger, Qiuting Huang "A 13.5mW 185-Msample/s  $\Delta \Sigma$  Modulator for UMTS/GSM Dual-Standard IF Reception", IEEE Journal of Solid-State Circuits, Vol.36, NO.12, December 2001.
- [4] 박홍준, "CMOS 아날로그 집적회로 설계(하)", 시그마프레스, 1999.
- [5] G.M. Yin, F.Op't Eynde, and W.Sansen, "A High-Speed CMOS Comparator with 8-b Resolution", IEEE Journal of Solid-State Circuits, Vol.27, NO.2, February 1992
- [6] Y. H. Kim et al, "A CMOS Bandgap Reference with sub-1V operation", the 8<sup>th</sup> Korean Conference on Semiconductors, Feb.2001
- [7] Yves Geerts, Michel S.J. Steyaert and Willy Sansen "A High-Performance Multibit  $\Delta \Sigma$  CMOS ADC" IEEE Journal of Solid-State Circuits, Vol.35, NO.12, December 2001.
- [8] Robertson et al, "Self-linearizing Multi-bit DACs", United States Patent, Patent number 6124813, Sep.26,2000