

저온 Poly-Si TFT를 이용한 저소비전력 레벨 쉬프터

안정근, 최병덕, 권오경
한양대학교 전자통신컴퓨터공학부
e-mail : trufuajk@hotmail.com, bdchoi@hanyang.ac.kr, okwon7@chol.com

A Low-Power Level Shifter Using Low Temperature Poly-Si TFTs

Jeong-Keun Ahn, Byong-Deok Choi, Oh-Kyong Kwon
Division of Electrical and Computer Engineering
Hanyang University

Abstract

In this paper, we propose a new level shifter circuit for reducing power consumption. The concept of the proposed level shifter is to use capacitive coupling effect to reduce short circuit current. The power consumption of the proposed level shifter is reduced up to 50%, compared to the conventional level shifter. Especially the proposed level shifter circuit works well with low temperature poly-Si (LTPS) TFTs. It can operate on low input voltage even with low-mobility, high and widely-varying threshold voltage of LTPS TFT.

I. 서론

저온 Poly-Si(LTPS)기술은 평판 디스플레이 시스템에 포함되는 단위 회로들을 화소부와 함께 한 유리 기판 위에 집적하여 추가적인 연결선(inter-connection lines)을 필요로 하지 않아 그 생산 공정을 단순화시킬 수 있어 각광을 받고 있다[1,2].

문턱전압이 높은 poly-Si 패널 내부 회로에 입력신

호를 전달하기 위해 낮은 입력전압을 높은 전압으로 변환시켜주는 레벨 쉬프터 회로가 필요하게 된다. 특히 해상도가 높아질수록, 동작속도는 빨라져야하며 레벨 쉬프터의 수가 급격히 늘어나게 되어서 저소비전력이 요구된다[3]. 따라서 이에 대한 연구가 계속되어 왔는데[4-6], poly-Si을 이용하여 레벨 쉬프터를 제작할 경우 poly-Si의 열악한 전기적 특성으로 인해 출력신호가 바뀔 때 큰 단락전류가 발생해 전력소모가 크다는 단점이 있다. 또한 입력전압이 작을 경우 N-channel TFT의 문턱전압의 변화에 회로 동작이 안정하지 않게 되는 문제를 갖고 있다.

본 논문에서는 이러한 문제를 해결하기 위해 낮은 소비전력과 빠른 동작 속도를 갖는 새로운 구조의 레벨 쉬프터를 제안하고, HSPICE를 사용하여 제안한 레벨 쉬프터의 성능을 검증하였다.

II. 제안한 레벨 쉬프터

그림1에 나타난 것이 가장 널리 사용되는 cross-coupled latch type 레벨 쉬프터이다. cross-coupled latch type 레벨 쉬프터는 입력신호가 낮은 레벨에서 높은 레벨로 변화하는 천이(transition)구간에서

P-channel TFT와 N-channel TFT가 동시에 ON이 되어 단락회로 전류(short circuit current)가 발생하고 따라서 소비전력이 매우 큰 편이다. 또한 cross-coupled latch type 레벨 쉬프터는 구조적으로 N-channel TFT의 전류 구동능력이 P-channel TFT의 전류구동 능력보다 더 커야 안정적으로 동작하게 된다. 따라서 공급전원 Vddh가 높아질수록, 입력전압 Vin이 낮아질수록(즉, P-channel TFT 게이트 전압의 스윙(swing)폭은 커지고 N-channel TFT 게이트 전압의 스윙 폭은 작아질수록) N-channel TFT의 width가 증가하게 된다. N-channel TFT의 크기가 증가하게 되면 기생 커패시턴스가 커져 입력신호가 바라보는 커패시턴스 용량이 증가하게 된다. 따라서 입력신호의 상승과 하강시간이 늘어나게 된다. 이처럼 천이구간에서 입력신호의 상승과 하강 기울기가 낮아질수록 단락회로 전류가 증가하게 되므로 저소비전력을 위해서는 N-channel TFT의 크기를 줄이는 것이 중요하다. 또한 저온 Poly-Si TFT를 이용하여 레벨 쉬프터를 구현할 경우, 일반적으로 단결정 실리콘 MOSFET에 비하여 문턱전압이 높기 때문에 낮은 입력전압에 대하여 정상적으로 동작하지 않을 우려가 있다.

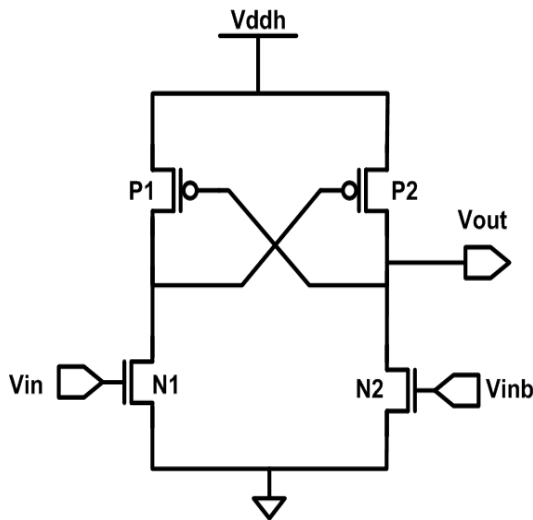


그림 1. 기존의 cross-coupled latch type 레벨 쉬프터

(a) 제안한 레벨 쉬프터의 동작 원리

그림 2에 보인 제안된 레벨 쉬프터의 동작원리는 다음과 같다. 제일 처음 Node X와 Node Y가 플로우팅(floating)상태이므로 reset 신호에 의해 0V로 방전시켜 준다. 즉, reset 신호가 HIGH가 되면 Node X와 Node Y가 0V로 초기화 된다. 이후 다이오드 결합된 N3와

N4에 의해 Node X에는 $V_{ddl}-V_{thn3}$ 의 전압이, Node Y에는 $V_{ddl}-V_{thn4}$ 의 전압이 충전된다. 이 때 입력전압 Vin이 LOW(=0V)가 되면 C1에는 $V_{ddl}-V_{thn3}$ 의 전압이 충전되어 있게 된다. 한편 C2에는 다음 동작에서 $V_{ddl}-V_{thn4}$ 의 전압이 충전된다. 이 때 입력전압 Vin이 LOW에서 HIGH가 되면 커패시터 커플링 효과에 의해 Node X의 전압이 $V_{ddl}-V_{thn3}+V_{in}$ 이 되고 N1의 소오스 단자가 LOW가 되어 N1이 완전히 ON 된다. 따라서 P2가 ON되어 출력전압 Vout은 Vddh가 된다. Vin이 HIGH에서 LOW가 되면 또 다시 커패시터 커플링 효과에 의해 Node X의 전압이 $V_{ddl}-V_{thn3}$ 로 낮아지게 되고 N1의 소오스 단자가 HIGH가 되어 N1은 OFF 된다. 이 때 Node Y는 $V_{ddl}-V_{thn4}+V_{in}$ 이 되고 N2의 소오스 단자가 LOW가 되어 N2가 ON 된다. N2가 ON 되면 출력노드의 전압이 낮아져 P1이 ON 되고 이어서 cross-coupled된 P2가 OFF된다. 따라서 출력전압 Vout은 LOW 레벨인 0V가 된다.

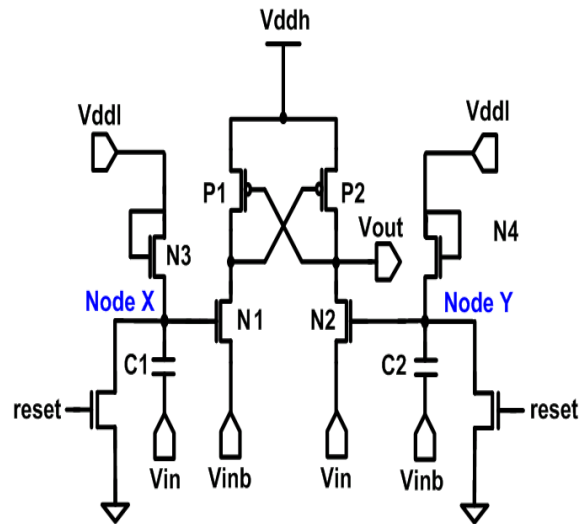


그림 2. 제안한 레벨 쉬프터

여기에서 C1과 C2는 계속 충전과 방전을 거듭하는 것이 아니라 reset 이후 한 번만 충전되면 된다. 다이오드 결합된 N-channel TFT가 Node X와 Node Y를 $V_{ddl}-V_{thn}$ 으로 충전한 뒤 OFF되고 커패시터 커플링 효과에 의해 올라간 전압을 유지시켜주므로 커패시터를 충·방전 하는데 드는 전력소비가 없게 되어 소비전력 면에서 문제가 되지 않는다. 또한 커패시터 커플링에 의해 Node X 혹은 Node Y의 전압이 높아졌을 때엔 N-channel TFT의 소오스에 0V를 인가하여 N-channel TFT 게이트와 소오스간의 전압 스윙폭을 증대시켜주었고 Node X 혹은 Node Y의 전압이 낮아

졌을 때엔 N-channel TFT의 소오스에 높은 전압을 인가하여 N-channel TFT를 확실히 OFF시켜주었다. 따라서 N-channel TFT의 크기를 증가시키지 않아도 N-channel TFT의 전류구동 능력을 증대시킬 수 있다. 이러한 원리를 통해 기생 커패시턴스 용량의 증대로 입력신호의 상승/하강 기울기가 낮아지는 것을 막아 단락회로 전류를 줄일 수 있고 따라서 저소비전력을 가능하게 한다. 또한 늘어난 N-channel TFT 게이트와 소오스간의 전압 스윙폭은 낮은 입력전압에 대해 N-channel TFT의 문턱전압이 높을 경우에도 회로 동작을 안정하게 하여 회로의 신뢰성을 증대시킨다.

(b) HSPICE를 사용한 Simulation결과

본 논문에서 제안한 레벨 쉬프터 회로를 HSPICE로 시뮬레이션 하였다. 입력전압은 0V에서 3.3V이고 7MHz의 주파수를 가지며 Vddh는 7V, 입력신호의 상승 / 하강시간은 각각 10nsec, 로드 조건은 50fF로 하였다. 표 1은 이러한 HSPICE 시뮬레이션의 조건을 나타내고 있다. 동일한 시뮬레이션 조건 하에서 기존 latch type 레벨 쉬프터와 제안한 레벨 쉬프터의 출력파형을 통해 동작의 안정성 및 상승 / 하강 속도를 비교하고 전류파형을 통해 단락 회로 전류 및 소비전력을 비교하였다.

표 1. 시뮬레이션 조건

Input voltage	3.3 V
Input frequency	7MHz
Vddh	7V
simulation model	LTPS TFT Model
Input rising/falling time	10nsec/10nsec
Load condition	50fF

그림 3과 4는 각각 일반적인 latch type 레벨 쉬프터와 제안한 레벨 쉬프터 사이의 출력전압과 전류파형을 나타내고 있다. 그림 3에서 보는 바와 같이 제안된 구조가 일반적인 latch type 구조보다 상승, 하강 속도가 빠르고 동작 파형이 안정되며, 그림 4에서는 제안된 레벨 쉬프터의 단락회로 전류가 일반적인 latch type 레벨 쉬프터보다 작음을 확인할 수 있다. 이는 제안한 구조에서는 커패시터 커플링 효과를 통해 N-channel TFT 게이트와 소오스간의 전압 스윙폭을 크게 늘려주어 N-channel TFT의 크기를 증가시키지 않아도 전류구동 능력이 충분하여 입력신호가 바라보는 기생 커

패시턴스의 용량이 작아진다. 따라서 입력신호의 상승 / 하강 기울기가 기존 latch type 레벨 쉬프터에 비해 크기 때문에 P-channel TFT와 N-channel TFT가 동시에 ON 되어 있는 구간이 짧아져 단락회로 전류가 작게 된다. 따라서 기존 latch type 레벨 쉬프터에 비해 제안된 구조의 소비전력은 50%까지 줄어들게 된다.

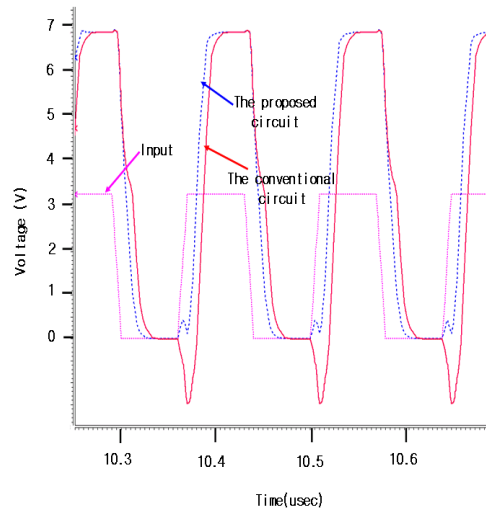


그림 3. 제안한 레벨 쉬프터와 기존 latch type 레벨 쉬프터의 출력파형 비교

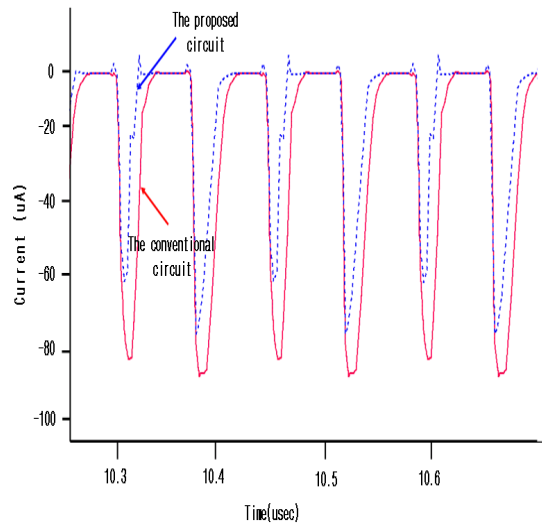


그림 4. 제안한 레벨 쉬프터와 기존 latch type 레벨 쉬프터의 전류파형 비교

Ⅲ. 결 론

본 논문에서는 저온 poly-Si TFT를 이용한 새로운 구조의 레벨 쉬프터를 제안하였다. 제안한 레벨 쉬프터는 일반적으로 사용되고 있는 latch type 레벨 쉬프터에 비해 면적은 비슷하게 유지하였으나 정귀환(positive feedback)특성을 갖는 latch type의 장점은 살리면서 커패시터 커플링 효과로 단락회로 전류를 줄여주었다. 따라서 회로의 신뢰성은 높여 주면서 저소비전력을 구현하였다. 특히 저온 poly-Si의 경우 문턱전압이 넓은 범위의 편차를 갖고 변하게 되는데, 입력 전압이 낮고 N-channel TFT의 문턱전압이 클 경우 일반적인 latch type 레벨 쉬프터는 동작하지 않을 수 있으나 새로 제안한 레벨 쉬프터는 안정하게 동작하게 된다. 따라서 제안한 레벨 쉬프터의 경우 다양한 문턱전압의 변화에도 안정성을 갖게 되어 저온 poly-Si에 유리한 장점을 갖고 있다.

high-voltage CMOS level-shifters for liquid crystal display drivers," *Micro-electronics*, 1999. ICM '99. pp. 213 - 216, The Eleventh International Conference on 22-24 Nov. 1999.

참고문헌

- [1] N. Toyozawa, et al., "Low-Power Integrated Circuit Technologies Using Low Temperature Poly-Si TFTs for Mobile Device Applications," in *Technical Digest of SID International Symposium*, pp.686-689, 2002.
- [2] S.-S. Han, et al., "3.5 inch QVGA Low Temperature Poly-Si TFT LCD with Integrated Driver Circuits" in *Technical Digest of SID International Symposium*, pp.208-211, 2003.
- [3] H. Haga, et al., "A Parallel Digital-Data-Driver Architecture for Low-Power Poly-Si TFT-LCDs," in *Technical Digest of SID International Symposium*, pp.690-693, 2002.
- [4] S. C. Tan, et al., "Low power CMOS level shifters by bootstrapping technique," *Electronics Letters*, vol. 38, no.16, pp. 876-878, August, 2002.
- [5] Tran, C.Q., et al., "Low-power high-speed level shifter design for block-level dynamic voltage scaling environment," *Integrated Circuit Design and Technology, 2005. ICICDT 2005.*, pp. 229 - 232, 2005 International Conference on 9-11 May 2005.
- [6] Doutrelaigne, J., et al., "Low-power