

PDP 데이터 드라이버를 위한 출력회로 설계

*윤석정, 광평수, 이승용, 최병덕, 권오경
한양대학교 정보디스플레이공학과
e-mail : okwon7@chol.com

Design of Output Buffer Circuits for PDP Data Drivers

*Seok-Jeong Yoon, Pyong-Su Kwag, Seung-Yong Lee,
Byong-Deok Choi, Oh-Kyong Kwon
Division of Information Display Engineering
Hanyang University

Abstract

This paper proposes a novel structure of output buffer circuits for PDP data drivers. The proposed circuit is free from capacitive coupling effect from the output electrode and suppresses the short circuit currents, which improves the current driving capability and reduces the power consumption.

I. 서론

PDP(Plasma Display Panel)는 기체 방전 시에 생기는 플라즈마(Plasma)로부터 발생하는 빛을 이용하여 문자 또는 그림과 같은 이미지를 표시한다. 이러한 PDP를 구동하기 위해서는 외부에서 플라즈마를 발생시킬 수 있는 높은 전압을 가해주어야 하며, 이는 PDP 구동 IC로부터 출력된다. 그래서 PDP 구동 IC(Integrated Circuit)는 디스플레이 컨트롤러(Display Controller)로부터 받은 저전압 입력을 처리하기 위한 로직 회로와 PDP 패널을 구동하기 위한 고전압 신호 출력을 위한 회로가 함께 집적된다. 특히, 고전압 신호 출력을 위한 회로는 80V이상의 구동 전압에서 패널 부하를 구동하기 위한 큰 전류가 흐르기 때문에, 전력

소모가 매우 크고 회로의 면적이 매우 넓다. 따라서 PDP구동 IC를 설계함에 있어 저소비전력, 소면적 출력회로 설계가 매우 중요하다[1].

본 논문에서는 고전압 출력단의 풀업(Pull-up) 소자에서 발생하는 커패시터 커플링(Capacitive Coupling)이 PDP 데이터 드라이버의 출력 특성을 저하시키는 현상을 설명하고, 이를 해결하기 위한 새로운 고전압 출력회로 구조를 제안하였다. 제안한 고전압 출력회로는 작은 면적으로 높은 전류 구동 능력을 가질 수 있으며, 단락회로전류(Short Circuit Current)를 제거하여 PDP 구동 IC의 소비전력을 줄일 수 있다.

II. 고전압 출력회로의 구조 및 문제점

그림 1은 PDP 데이터 드라이버의 고전압 출력회로의 기본 구조를 나타내고 있다. P1과 N1은 각각 고전압 PMOS와 고전압 NMOS로, 출력노드 output을 통해 부하를 충전 또는 방전 시키는 풀업 소자 및 풀다운(Pull-down)소자이다. 이때, 각 고전압 소자의 게이트 입력은 PDP 데이터 드라이버의 저전압 로직으로부터

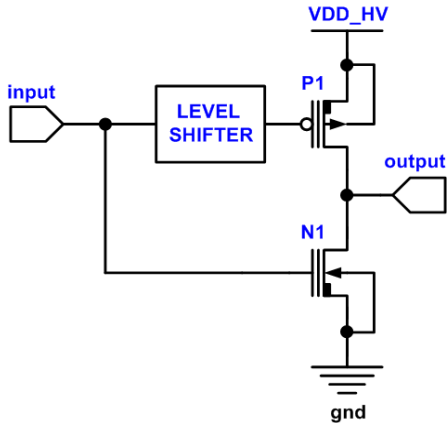


그림 1. PDP 데이터 드라이버의 고전압 출력회로의 기본 구조.

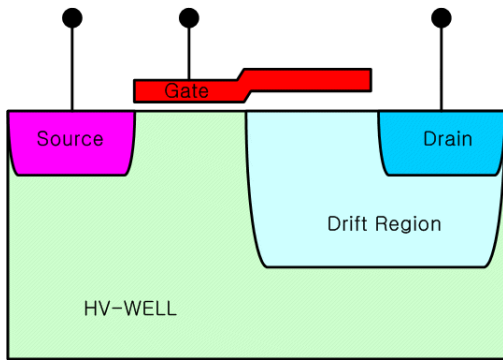


그림 2. 대표적인 수평형 고전압 소자인 LD MOSFET의 단면도.

터 받게 되는데, P1은 저전압 신호를 그대로 받을 수 없다. 그 이유는 PDP 데이터 드라이버에 사용되는 고전압 소자가 단방향 소자(Uni-direction Device)이기 때문이다. 그림 2는 PDP 데이터 드라이버에서 사용되는 수평형 단방향 고전압 소자 중 하나인 LD MOSFET(Lateral Double Diffused MOSFET)의 단면도를 나타내고 있다[2-3]. 그림에서 보는 바와 같이 단방향 소자는 저농도의 드리프트 영역으로 인해 드레인단에 높은 전압을 견딜 수 있지만, 소오스단은 드리프트 영역이 없어 높은 V_{GS} (게이트-소오스 전압)이 가해질 경우 소자가 파괴되게 된다. 따라서 P1의 게이트 전압은 고전압 PMOS가 견딜 수 있는 V_{GS} 이상의 전압이 걸리지 않도록 레벨 쉬프터(Level Shifter)를 통과한 입력을 받아야 한다.

그림 3은 래치형(Latch-type) 레벨 쉬프터를 적용한 고전압 출력회로 구조를 나타내고 있다. P1과 N1은 고전압 출력을 구동하기 위한 풀업 소자 및 풀다운 소자이며, P2와 N2는 P1의 입력을 충전 및 방전하는 역할을 하는 소자이고, P3 및 N3는 P2의 게이트 전압을 충전 및 방전하는 역할을 한다. 그리고 P4와 P5는 V_A (A 노드의 전압)을 V_{ref} (ref 노드 전압) +

$|V_{thp}|$ (PMOS의 문턱전압)으로 제한하여, P1이 큰 V_{GS} 로 인해 파괴되는 것을 막는 역할을 한다.

그림 4는 그림 3의 고전압 출력회로의 동작 특성에 대한 Hspice 시뮬레이션 결과를 나타내고 있다. 그림 4 (a)는 입력 신호에 따른 출력신호를 나타낸 것이고, 그림 4 (b)는 노드 A의 전압 파형을 나타내고 있다. T1 시점에서 입력이 상승하면, N2는 켜지고 N3는 꺼진다. 따라서 V_A 가 하강하고, V_B 는 상승하게 되며, V_{ref} 에 의해 V_A 는 $V_{ref} + |V_{thp}|$ 가 된다. 결국 P1이 켜지고, N1은 반전된 입력신호에 의해 꺼지게 되므로 출력은 VDD_HV 까지 상승하게 된다. 하지만 입력이 상승하는 T2 시점에서부터 출력이 VDD_HV 까지 상승하는 시점인 T2 사이에는 V_A 가 $V_{ref} + |V_{thp}|$ 까지 완전히 하강하지 못하는 현상으로 인해 출력전압의 상승시간이 커지는 것을 볼 수 있다. 이것은 P1의 기생 C_{GD} (게이트-드레인 커패시턴스)에 의해 상승하는 출력 전압이 하강하는 V_A 에 영향을 미쳐서, V_A 가 하강하는 것을 막는 커패시터 커플링 현상 때문이다. 이와 같은 현상은 P4와 P5가 없을 경우에는 두드러지게 나타나지 않지만, V_A 를 제한하기 위해 P4와 P5를 사용함으로써 V_A 가 $V_{ref} + |V_{thp}|$ 에 가까워질수록 노드 A가 플로팅에 가까운 상태가 되어 C_{GD} 에 의한 커패시터 커플링 현상이 발생한다. 이러한 현상은 P1의 구동 능력을 저하시키는 문제점을 발생시킨다. 또한 그림 3의 고전압 출력회로는 그림 4 (c)에 나타난 바와 같이, 출력이 하강할 때 P1과 N1이 동시에 켜지는 구간(T3~T4)이 발생하여 출력단의 충전 및 방전을 위한 전력이외에 단락회로 전류에 의한 소비전력이 생기는 문제점도 가지고 있다.

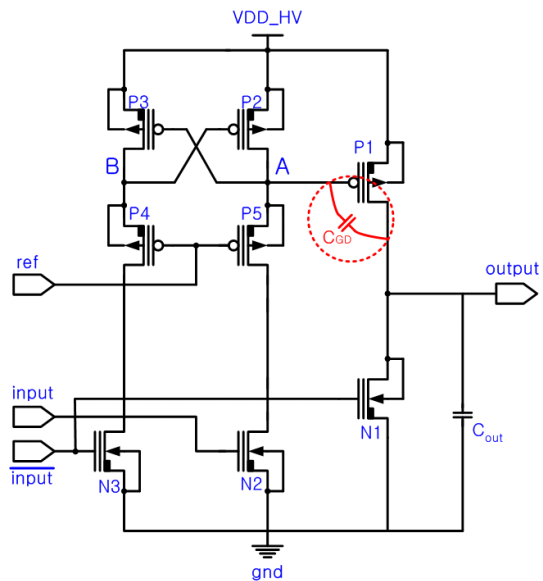


그림 3. 일반적인 래치형 레벨 쉬프터를 적용한 고전압 출력회로.

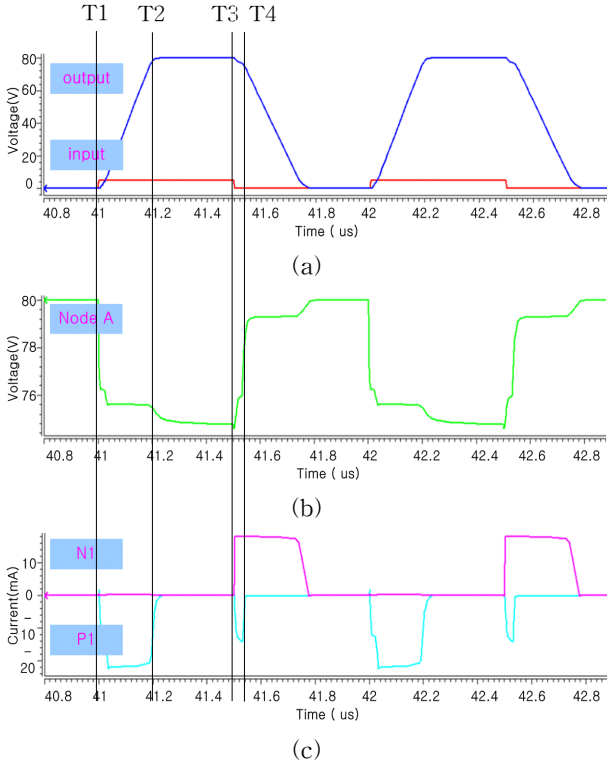


그림 4. 래치형 레벨 쉬프터를 적용한 고전압 출력회로의 동작 특성 (a)입력 전압과 출력 전압, (b) 커패시터 커플링 현상에 의한 노드 A의 전압, (c) N1, P1에 흐르는 전류.

III. 제안한 고전압 출력회로의 구조 및 특징

그림 5는 그림 4의 고전압 출력회로에서 나타나는 커패시터 커플링 현상으로 인한 전류구동 능력 저하 문제와 단락회로 전류 발생에 의한 소비전력 증가 문제를 해결할 수 있는 새로운 구조의 고전압 출력회로이다. 제안한 회로는 고전압 출력 구동을 위한 풀업 소자(P1) 및 풀다운 소자(N1)을 비롯하여, 풀업 소자의 입력을 구동하기 위한 소자(P2, P3, N2, N3), 풀업 소자의 입력전압을 제한하기 위한 소자(P4, P5), 커패시터 커플링 현상을 막으면서 단락회로 전류를 제거하기 위한 소자(P6), 및 P1와 P4의 V_{GS} 를 제한하여 소자의 산화막이 파괴되는 것을 막기 위한 제너 다이오드(Zener Diode) D1과 D2 으로 구성되어 있다.

이 회로는 출력 전압이 상승할 때 V_{ref} 에 의해 P6가 켜지고, V_C 가 $V_A - V_{zener}$ 가 되어 P5가 켜지도록 하며 V_A 가 $VDD_HV - V_{zener}$ 가 되게 한다. 즉, P5는 출력전압이 상승하는 동안 켜져 있어 V_A 가 커패시터 커플링에 대해 출력전압의 영향 받는 것을 최소화할 수 있

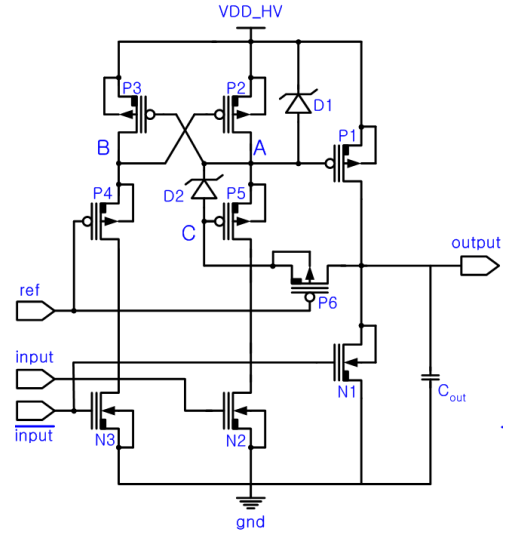


그림 5. 제안한 고전압 출력회로.

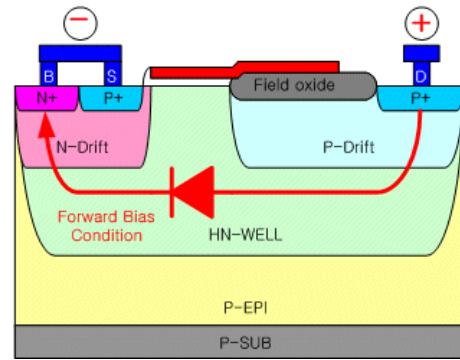


그림 6. 그림 5의 고전압 PMOS(P6)의 단면도.

다. 또한 V_C 가 $V_{ref} - |V_{thp}|$ 까지 상승하여 P6이 꺼지게 되면, 그림 6과 같이 드레인-바디간의 PN 접합 다이오드가 켜지게 되고 P5의 게이트 전압이 $VDD_HV - V_{D6}$ (P6 PN 접합 다이오드에서 발생하는 전압 강하)가 되어 P5가 켜지게 된다. 그리고 P5가 켜지게 되면 노드 A는 $V_C - V_{D2}$ 가 되고 P1은 꺼지게 된다. 그래서 출력이 하강할 때 N1이 입력신호 의해 켜지더라도 P1이 켜져 있기 때문에 단락회로 전류가 생기지 않으므로 소비전력을 줄일 수 있다.

그림 7은 그림 5의 고전압 출력회로의 동작특성을 Hspice 시뮬레이션을 통해 검증한 결과이다. 그림 7 (a)는 입력 신호에 따른 출력신호를 나타낸 것이고, 그림 7 (b)는 노드 A의 전압 파형을 나타내고 있다. 그림 4 (b)의 상승시간이 147.3ns이고 구동 전류가 21.9mA인 것과 비교하여, 제안 구조의 회로는 상승시간이 98.4ns이고 구동 전류가 32.4mA로써 구동 능력이 매우 높은 것을 알 수 있다. 그림 7 (c)는 고전압 출력회로의 동작 중에 발생하는 N1과 P1의 출력 전류를

나타내고 있다. 그림 4 (c)에서 보이는 단락회로 전류가 제안한 구조의 회로에서는 보이지 않는 것을 알 수 있다.

참고문헌

- [1] 권오경, “플라즈마 디스플레이 패널의 구동방식 및 구동회로”, 2000년 8월 전기전자재료학회지 제 13권 제8호, pp. 15-26.
- [2] Kim, J., Roh, T.M., Kim, S.G., Song, Q.S., Lee, D.W., Koo, J.-G., Cho, K.-I., and Ma, D.S., “High-voltage power integrated circuit technology using SOI for driving plasma display panels”, IEEE Trans. Electron Devices, VOL. 48, no 6, pp. 1256-1263, 2001.
- [3] Zahir parpia, C.Andre T.Salama, “Optimization of RESURF LDMOS Transistors: An Analytical Approach”, IEEE Trans. Electron Devices, VOL. 37, no 3, pp. 789-796, 1990.

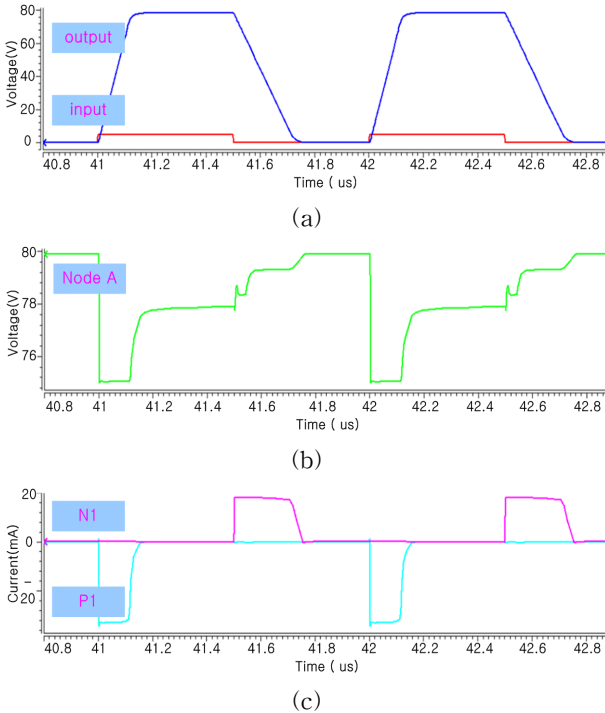


그림 7. 제안한 고전압 출력회로의 동작 특성 (a) 입력 전압과 출력 전압, (b) 커패시터 커플링 현상에 의한 노드 A의 전압, (c) N1, P1에 흐르는 전류.

IV. 결론

본 논문에서는 기존의 래치형태의 고전압 출력회로에서 발생하는 커패시터 커플링 현상에 의한 구동 능력 저하 문제 설명하고, 이를 해결하기 위한 새로운 고전압 출력회로 구조를 제안하였으며, 제안한 회로의 높은 전류 구동 능력을 Hspice 시뮬레이션을 통해 검증하였다. 또한 제안한 회로는 고전압 출력단의 풀업 소자와 풀다운 소자가 동시에 켜지는 구간이 생기지 않도록 하여 단락회로 전류를 제거할 수 있다. 높은 구동 능력으로 인해 출력회로의 면적을 최소화 할 수 있으며, 단락 전류의 발생을 억제함으로써 소비전력의 감소와 구동 LSI의 발열 감소 및 이를 통한 신뢰성 향상을 기대할 수 있다.