

새로운 구조의 ESD 보호소자를 내장한 고속-저전압 LVDS Driver 설계

*이재현, **김귀동, **권종기, *구용서
*서경대학교 전자공학과, **한국전자통신연구원
e-mail : rsaga@skuniv.ac.kr, yskoo@skuniv.ac.kr

Design of high speed-low voltage LVDS driver circuit with
the novel ESD protection device

*Jae-Hyun Lee, Yong-Seo Koo
*Electronic Engineering Seokyeong University
**Kui-Dong Kim, Jong-Ki Kwon
**Electronics and Telecommunications Research Institute

Abstract

In this study, the design of advanced LVDS(Low Voltage Differential Signaling) I/O interface circuit with new structural low triggering ESD (Electro-Static Discharge) protection circuit was investigated. Due to the differential transmission technique and low power consumption at the same time. Maximum transmission data ratio of designed LVDS transmitter was simulated to 5Gbps.

And Zener Triggered SCR devices to protect the ESD phenomenon were designed. This structure reduces the trigger voltage by making the zener junction between the lateral PNP and base of lateral NPN in SCR structure. The triggering voltage was simulated to 5.8V.

Finally, we performed the layout high speed I/O interface circuit with the low triggered ESD protection device in one-chip.

I. 서론

최근 급속도로 발전하고 있는 고속처리 프로세서, 멀

티미디어, 가상현실 실현 및 모든 통신 시스템에서는 이전보다 훨씬 빠르고 더 넓은 대역폭을 필요로 한다. RS-422, RS-485, SCSI와 같은 데이터 통신 표준들은 이들이 사용되는 광범위한 영역에도 불구하고 많은 제약적인 요소를 갖고 있다.

LVDS(Low Voltage Differential Signaling)는 현존하는 이러한 문제를 해결할 수 있는 고속처리, 저전력 소모형을 현실화한 가장 이상적인 전송 표준이다.

한편 전자부품 및 전자제품들의 생산과정이나 사용 중에 생긴 정전기가 매우 짧은 시간에 순간적으로 방전되어 내부의 소자를 파괴하는 정전기 방전(ESD)현상이 알려진 이후로 최근에 집적회로 설계분야에 있어 매우 중요한 고려 대상이 되고 있다. 특히 고집적, 고속 동작 소자에 있어서 치명적인 영향을 미치게 된다.

따라서 본 논문에서는 2.5V/5Gbps 동작을 하는 LVDS에 Zener 접합을 이용해 낮은 트리거 전압을 갖는 새로운 구조의 ESD 보호 소자를 내장하여 LVDS의 신뢰성을 및 안정성을 높이고자 하였다.

II. 본론

2.1 LVDS Driver 설계

ESD 탑재를 위한 LVDS의 Driver Circuit을 구현하기 위해 그림 1과 같이 LVDS 드라이버에

CMFB(Common-Mode-FeedBack)를 연결하여 CM Feedback과 Miller compensation을 갖는 회로를 구현하였다.

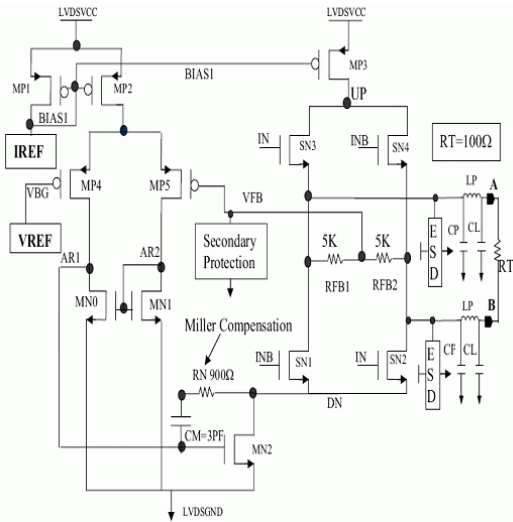


그림 1. CM Feedback with Miller compensation

본 논문에서 제안한 LVDS Driver는 Miller Effect를 최소화하고 2.5V의 전원전압에서 동작이 가능하다. 소비 전력은 8.75mW(2.5V*3.5mA)로 소비 전력 면에서도 탁월한 성능을 보인다.

능동부하(MN0, MN1)를 갖는 단일 출력 차동 증폭기는 VREF에 의해 생성되는 VBG(1.25V)의 입력단과 RFB1 과 RFB2의 저항 분배기를 통한 Vos(output offset)로 구성된다.

두 출력은 공통 신호 전압 값이 증가하면 Vcm도 증가하고, 차동 증폭기를 통해서 MN0를 통해 VMN0도 증가한다. 따라서 드라이버단의 NMOS 전류원의 전류가 커지면서 출력단의 바이어스 전압은 감소하게 되어 일정한 공통 모드 신호를 유지할 수 있게 된다.

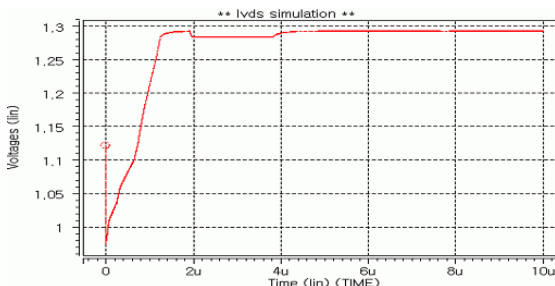


그림 2. 시간에 따른 VCM의 변화 (1.125V~1.275V at 1.25V VREF) 1Gbit/s

즉 OPAMP의 Vos는 VBG 만큼 대략 같은 크기로 유지할 것이다.

MN0, MN1은 능동부하(Active Loads)로서 높은 출력

임피던스를 얻을 수 있으며, Layout시 면적을 최소화할 뿐 아니라, High performance 를 기대할 수 있다.

또한 Miller compensation을 통한 낮은 frequency pole은 CMFB 증폭기의 대역을 정할 수 있기에, 부하선로 특성상 10pF 까지도 좋은 Phase Margin을 기대할 수 있다.

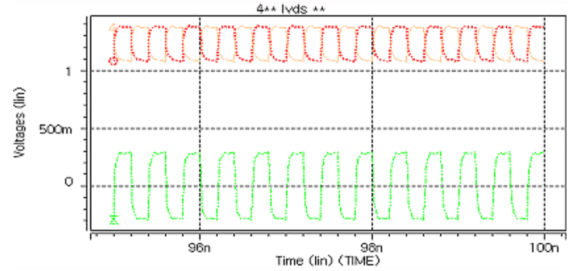


그림 3. Output Differential Voltage(Vod) at 5Gb/s

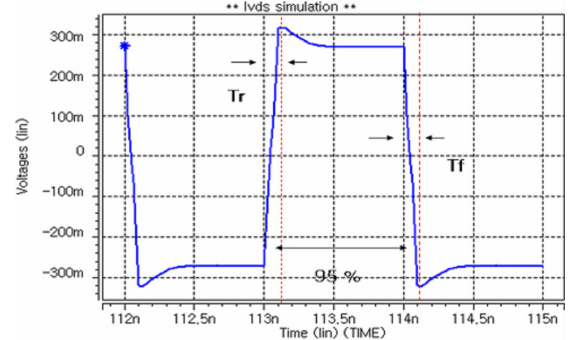


그림 4. Output Data Pulse Delay at 1Gbit/s

그림 3은 입력 Clock을 5Gbit/s로 입력할 때 Output을 나타내었다. 약 ±300mV의 낮은 전압 스윙을 가진다. 규정 동작 범위가 250mV~400mV 이라는 점을 감안할 때 Transmitter의 충분한 동작이 가능하다.

또한 전원 전압이 2.5V까지도 무난하게 동작됨으로 RT에 흐르는 전류를 감안할 때 소비전력이 매우 적으며, 나아가 LVDS가 차세대 제품에서도 다양한 전원공급기 범위 5V이하(5V, 3.3V, 2.5V)를 가질 수 있다.

2.2 나노급 고속/저전압 ESD 보호회로 설계

본 논문에서는 나노급 Deep-Submicron 공정에서 ESD 보호회로를 구현하기 위한 방법으로 ggNMOS 보다 훨씬 큰 ESD Protection 능력을 가지는 SCR 구조를 채택하였으며, SCR 구조의 가장 큰 단점인 높은 트리거 전압을 낮추어 나노급 ESD 보호회로에 사용하기 위해 Zener Diode를 사용하여 새로운 구조의 Low Triggering Voltage 특성의 ESD 보호소자를 개발하였다.

Zener Diode는 고농도 도핑된 n/p 영역으로 인해 Bandgap이 좁아지고 이와 같은 현상으로 인해 보통의 pn 접합보다 낮은 약 5~6V 정도에서 Breakdown이 일어난다. 이에 착안하여 ZTSCR은 그림 5 에서 보는 바와 같이 SCR의 n-well/p-well 사이에 zener 접합을 형성하게 된다. 이는 CMOS 공정상에서 n+ implant와 p+ implant 공정을 이용하므로 추가적인 공정 없이 설계가 가능하다.

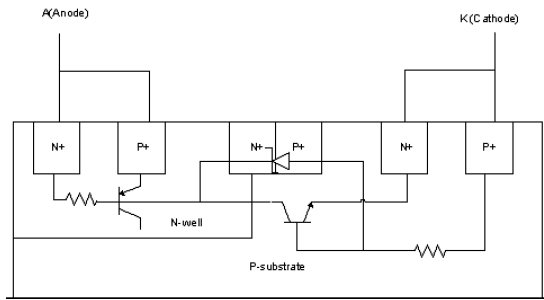


그림 5. Zener Triggered SCR의 단면도

위의 그림에서 Anode 단은 Input pad에 연결되어 있으며, Cathode 단은 GND에 연결된다. 여기에서 ESD pulse는 Input Pad를 통해 Anode 단에 유입되며, 이때 zener 접합부에서의 zener breakdown으로 인해 electron hole pair가 생성되게 된다. 또한 이 캐리어 성분들은 SCR구조를 형성하는 lateral Tr의 base 영역으로 주입된다. 따라서 PNP를 형성하는 두 개의 lateral Tr은 턴-온되어 Positive Feedback 동작을 함으로써 유입되는 ESD Current를 효과적으로 방전하게 된다.

즉 전체 SCR의 Triggering Voltage를 낮추게 된다. 그림 6 는 이러한 Zener Junction의 Breakdown simulation 결과를 나타내고 있으며, 이를 통해 약 5.8V 정도의 Breakdown Voltage를 가짐을 알 수 있다.

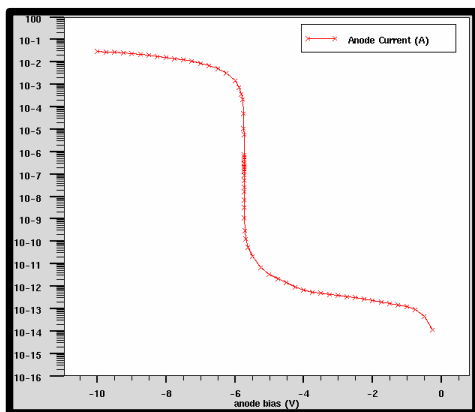


그림 6. Zener Breakdown Simulation

그림 7 은 ZTSCR의 layout을 나타내고 있으며, SCR의 critical parameter로 작용하는 L(lateral PNP의 base width)값에 의한 영향을 최소화하기 위해 n-well 사이에 삽입 된 n+ 영역과 Anode 단에 연결된 p+ 의 간격을 0.4um로 설정하여 test pattern을 설계하였다.

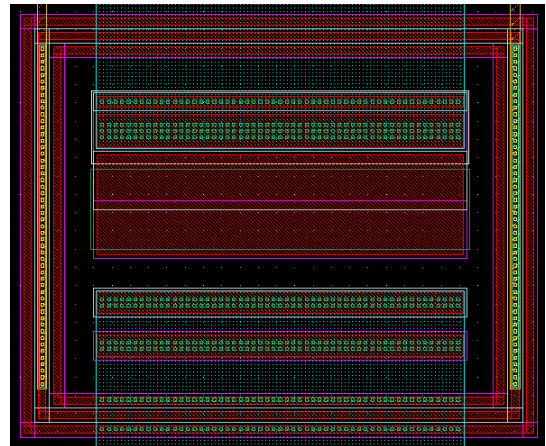


그림 7. Zener Triggered SCR

2.3 ESD 내장형 LVDS 회로

앞서 설계한 LVDS I/O Interface 회로에 ESD 보호 회로를 내장하여 보다 안정적인 LVDS Interface를 구축 할 수 있다.

하지만 나노급 LVDS I/O Interface 회로에 적용하기 위해서는 낮은 트리거 전압을 갖는 ESD 보호회로가 필요하다. 따라서 본 논문에서 설계한 Zener Triggered SCR을 LVDS 회로에 내장하여 안정도를 높였다.

그림 8은 Zener Triggered SCR이 내장된 LVDS회로의 Layout이다.

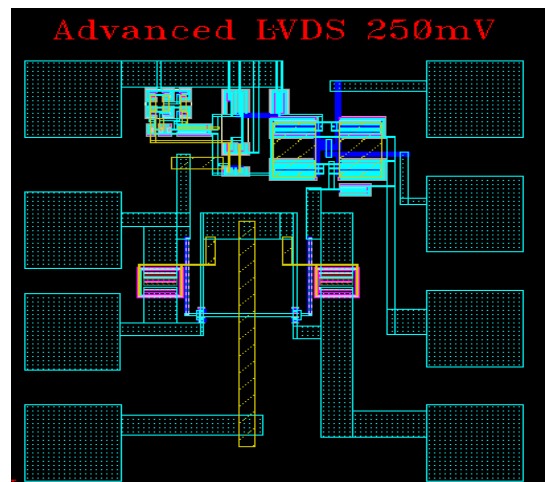


그림 8. LVDS(250mV~300mV) + Zener Triggered SCR

III. 결론

본 논문에서는 2.5V 전원전압에 동작하고 5Gbps의 데이터 전송속도를 갖는 LVDS Driver를 설계하고 고속 저전압 특성을 지닌 새로운 구조의 ESD 보호회로를 고안 및 설계하여 앞서 설계한 나노급 LVDS I/O Interface 회로에 적용 하였다.

제안한 ESD 보호회로는 SCR 구조를 바탕으로 약 5.8V 정도의 낮은 트리거 전압을 갖게 설계하여 나노급 보호회로에 적용이 용이하다.

향후 더 낮은 전원전압을 갖는 고속동작의 LVDS I/O Interface 의 요구에 맞추어 ESD 보호회로도 더 낮은 트리거 전압에 동작 할 수 있도록 최적화된 조건 의 ESD I/O 구조 및 그 기법들에 대한 연구 와 실용화에 대한 구체적인 분석 및 적용에 대한 연구가 필요하다.

참고문헌

- [1] Chua-Chin Wang, IEEE2004, 1.0Gbos LVDS Transceiver design for LCD panels
- [2] National Seiconductor, Spring2004, LVDS Owner's Manual 3rd Edition
- [3] Z.H.wang, Kluwer Academic publisher, On-Chip ESD Protection for Integrated Circuits
- [4] Chun-Hsiang Lai, Electron Device Letter, A novel gate coupled SCR ESD protection
- [5] K. Bock, et. al., "Influence of Gate Length on ESD Performance for Deep Submicron CMOS Technology", Proc. EOS/ESD Symp., pp.95-104, 1999.
- [6] T. Green, "A Review of EOS/ESD Field Failures in Military Equipment", in Proc. of the 7th EOS/ESD Symp., pp.7-14, 1988.
- [7] R.G. Wagner, J. Soden and C.F. Hawkins, "Extend and Cost of EOS/ ESD Damage in an IC Manufacturing Process", in Proc. of the 15th EOS/ESD Symp., pp.49-55, 1993.

Acknowledgement

본 논문은 IT-SoC 사업단 및 ETRI의 지원으로 수행되었으며, IDEC의 지원 장비를 활용하였습니다.