

저전압 SRAM 의 고속동작을 위한 전류감지 증폭기

박현욱*, 심상원, 정연배
경북대학교 공과대학 전자공학과

A current sense amplifier for low-voltage and high-speed SRAM

Hyun-Wook Park*, Sangwon Shim, Yeonbae Chung
Department of Electronic Engineering
Kyungpook National University
E-mail : *hwpark@ee.knu.ac.kr

Abstract

In this paper, we propose a new current sense amplifier for low-voltage, high-speed SRAM. As a supply voltage is reduced, a sensing delay is increased owing to reduced cell read current. It causes a low-speed operation in SRAM. To overcome this problem, we present a new current sense amplifier which consists of the current-mirror type circuit with feedback structure. For demonstration, a 0.8-V, 256-Kb SRAM incorporating the proposed current sense amplifier has been designed with 0.18- μm CMOS technology. The simulation results show 15.6ns of the sensing delay reduction in comparison with a previous current sense amplifier and 11.5ns of the sensing delay reduction in comparison with a voltage sense amplifier.

I. 서론

IT 업계에서 배터리로 동작하는 휴대용 기기가 차지하는 비중이 갈수록 증대되어 가고 있으며, 이로 인해 시스템의 전력소모를 줄이는 기술이 점차 핵심 기술로 대두되어 가고 있다. 시스템의 전력소모를 줄이는 최선의 방법은 공급전압을 줄이는 것이다. 하지만 시스템의 공급전압을 줄이는 것은 시스템의 성능을 저하시키는 원인이

된다. 특히, SRAM 에서 공급전압이 감소하게 되면 읽기 동작 시에 데이터 감지를 위한 셀의 전류가 감소하게 되며, 이는 데이터 감지에서의 지연시간을 증가시키게 된다. 이로 인해 SRAM 에서의 동작속도가 저하되어 공급전압의 감소가 전체 성능에 부정적인 요소로 작용하게 된다. 이 문제를 극복하기 위하여 본 논문에서는 저전압 SRAM 의 동작에 적합한 CMFB-CSA(Current Mirror Type with Feedback Current Sense Amplifier: 피드백 구조를 가지는 전류 거울형의 전류감지 증폭기)를 제안하였다.

논문의 구성은 다음과 같다. 2 장에서는 전류감지 증폭기의 개요에 대하여 기술하며, 3 장에서는 CMFB-CSA 에 대하여 기술한다. 4 장에서는 모의 실험을 통하여 CMFB-CSA 의 성능에 대하여 평가한다. 마지막으로 5 장에서는 결론을 맺는다.

II. 개 요

전류 센싱에서의 속도 개선 정도를 명확히 이해하기 위해서는 전압 센싱과 비교한 지연시간을 정량적으로 해석할 필요가 있다. 또한, 전압감지 증폭기의 입력단에 발생하는 전압차의 크기는 SRAM 의 동작 속도와 밀접한 관계가 있다. 이 전압차는 전압감지 증폭기의 정상적인 동작을 위한 여유 (margin)라 할 수 있는데, 정상적인 동작을 위해 요구되는 전

본 연구는 정보통신부 IT 기초기술연구지원사업(과제: B1220-0501-0122)과 IDEC CAD Tool 지원에 의해 수행되었음.

압차가 크면 클수록 동작 속도는 느려지게 된다. 요구되는 전압차의 크기는 비트라인 상에 존재하는 부정합(mismatch)과 외부 잡음(noise) 등의 여러 요소에 의해 결정된다 [1]. 그러나 실제 설계상에서 예측 가능한 전압차의 크기는 거의 전압감지 증폭기의 입력 오프셋 전압에 의해 결정된다. 본 절에서는 전압 센싱과 전류 센싱에서의 지연시간과 감지 증폭기의 입력 오프셋 전압에 대하여 언급한다.

2.1. 전압 센싱과 전류 센싱에서의 지연시간

그림 1 은 메모리셀, 비트라인, 감지 증폭기를 포함하는 등가회로를 보여주고 있다. 메모리 셀은 전류원과 저항 r_{cell} 로 표현되었다. 비트라인은 분산 RC 모델(distributed RC model)을 이용하여 표현되었으며 R'_{BL} 과 C'_{BL} 은 각각 비트라인상의 저항성분과 커패시턴스 성분을 나타내고 있다. 등가회로의 끝은 감지 증폭기의 입력 저항에 연결되어 있다. 일반적으로 전압 센싱에서 이 저항이 무한대의 값을 가지는 반면 전류 센싱에서는 거의 0Ω에 가까운 값을 가진다. 비트라인 상의 모든 저항과 커패시터의 합을 각각 R_{BL} , C_{BL} 이라 하고 $r_{cell} \gg R_{BL}$ 일때, 전압 센싱과 전류 센싱에서의 지연시간을 표현하면 각각 식 (2.1)과 식 (2.2) 와 같다.

$$t_v = C_{BL} \left(r_{cell} + \frac{R_{BL}}{2} \right) \approx r_{cell} C_{BL} \tag{2.1}$$

$$t_c = \frac{R_{BL} C_{BL}}{2} \left(\frac{r_{cell} + \frac{R_{BL}}{3}}{r_{cell} + R_{BL}} \right) \approx \frac{R_{BL} C_{BL}}{2} \tag{2.2}$$

식 (2.1)은 무한대의 입력저항을 가지는 전압 센싱 기법에서의 지연시간을 나타내고 있으며 식 (2.2)는 이상적인 0Ω의 입력 저항을 가지는 전류 센싱 기법에서의 지연시간을 나타내고 있다. 두 식으로부터 전압 센싱에서의 지연시간이 전류 센싱에서의 지연시간보다 훨씬 더 크다는 것을 알 수 있다.

2.2. 감지 증폭기의 입력 오프셋 전압

그림 2 는 MOS 트랜지스터의 부정합 모델을 포함하는 일반적인 전압감지 증폭기를 나타내고 있다. 이는 능동부하를 가지는 차동 증폭기이다. 능동부하를 가지는 차동 증폭기의 오프셋 전압을 구하기 위하여 차동 증폭기의 회로를 그림 2의 (a)와 (b)로 분리하였다. (a)는 트랜지스터

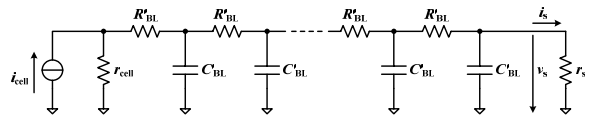


그림 1. 센싱 지연시간평가를 위한 등가회로

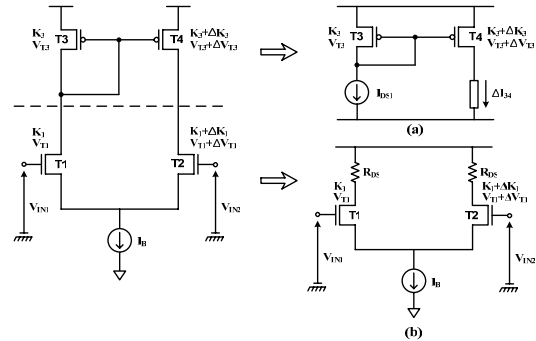


그림 2. 감지 증폭기의 입력 오프셋 전압

T3와 T4에 의한 오프셋 전압을 나타내며, (b)는 트랜지스터 T1과 T2에 의한 오프셋 전압을 나타낸다. 이로부터 표현되는 전압 감지 증폭기의 입력 오프셋 전압은 식 (2.3)과 같다.

$$V_{OS} = \Delta V_{T1} + (V_{GS1} - V_{T1}) \frac{\Delta K_1}{K_1} + \frac{V_{GS1} - V_{T1}}{V_{GS3} - V_{T3}} \Delta V_{T3} + \frac{V_{GS3} - V_{T3}}{2} \frac{\Delta K_3}{K_3} \tag{2.3}$$

일반적인 SRAM의 설계에서는 전압 감지 증폭기 입력단에 요구되는 전압차를 100mV ~ 150mV로 예상한다. 이는 정상적인 동작을 보장하기 위하여 앞에서 구한 오프셋 전압에 외부 잡음을 고려한 여유를 추가한 값이다. 본 논문에서는 150 mV의 전압차가 보장된 상태에서 감지 증폭기를 동작시킴으로써 CMFB-CSA의 성능을 평가하였다.

III. 전류감지 증폭기

본 절에서는 기존에 제시된 NFB-CSA(Negative Feedback Current Sense Amplifier: 음의 피드백 구조를 가지는 전류감지 증폭기) [2]와 본 논문에서 제시한 CMFB-CSA의 동작 원리에 대하여 비교 분석하였다.

3.1. NFB-CSA

그림 3은 NFB-CSA의 회로도를 보여주고 있다. NFB-CSA는 두 차동 증폭기 A1, A2와 두 NMOS 트랜지스터 MN4, MN6가 음의 피드백 구조를 형성하는 형태로 설계되어 있다. 차동 증폭기의 정상적인 동작을 보장하기 위해

서 차동 증폭기의 한쪽 입력인 V_{REF} 전압은 $V_{DD}-V_{OS}$ 의 전압으로 설정되어야 한다. 이때 V_{OS} 는 차동 증폭기의 입력 오프셋 전압을 의미한다.

NFB-CSA 의 동작은 다음과 같다. 데이터 "0" 이 저장되어 있는 셀을 읽는다고 가정하면 워드라인(WL)이 "high" 레벨로 상승하면서 데이터라인 상의 전압 V_{DL} 이 감소하게 된다. V_{DL} 이 V_{REF} 이하가 되는 시점에서 CSAEN 신호가 "high" 레벨로 천이하면서 NFB-CSA 가 동작하게 되는데, 이때 차동 증폭기 A1 에서의 두 입력이 비교되어 CSO 의 전압을 상승시키게 된다. CSO 전압은 피드백 구조를 형성하고 있는 MN4 의 gate 전압이기 때문에 MN4 의 전류 구동 능력이 증가되어 V_{DL} 전압은 더욱 감소하게 된다. 이로 인해 CSO 의 전압은 더욱 상승하게 되며 CSO 와 /CSO 사이의 전압차는 빠른 시간내에 원하는 전압에 도달할 수 있게 된다. 그러나, 차동 증폭기 A1 과 A2 의 입력 오프셋 전압 V_{OS} 가 일반적인 범위의 값을 가지게 되면, NFB-CSA 는 센싱 지연 시간을 감소시킬 수 없게 된다. V_{OS} 가 증가하면 V_{REF} 값이 더욱 감소하게 되며, 데이터 "0" 에 해당하는 데이터 라인의 전압이 $V_{REF}-V_{OS}$ 이하의 값이 될 때 전류감지 증폭기가 동작되어야 안정된 전류감지를 보장할 수 있기 때문이다. 즉, 전류감지 증폭기가 동작하기 전까지 추가된 지연시간이 요구되는 것이다. 이는 오히려 전압감지 증폭기만을 사용했을 때보다 더 큰 지연시간을 초래할 수 있다. 따라서 NFB-CSA 의 성능 개선 효과를 내기 위해서는 입력 오프셋

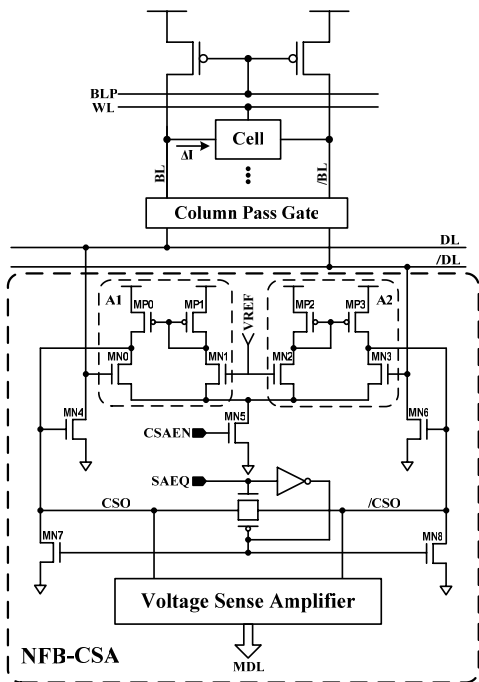


그림 3. NFB-CSA 의 회로도

전압을 감소시키기 위한 특별한 레이아웃 기법이 적용되어야 한다 [3].

3.2. CMFB-CSA

본 논문에서 제안한 CMFB-CSA 는 일반적인 오프셋 전압 범위에서도 뚜렷한 성능 개선 효과를 보일 수 있다. 그림 4 는 CMFB-CSA 의 회로도를 보여주고 있다. CMFB-CSA 는 PMOS 트랜지스터 MP0~MP3 와 NMOS 트랜지스터 MN0~MN3 로 구성된 전류 거울과 NMOS 트랜지스터 MN5, MN6 가 피드백 구조를 형성하는 형태로 설계하였다. CMFB-CSA 의 입력단은 NFB-CSA 와 달리 PMOS 트랜지스터의 source 단이 된다. 이는 2 장에서 설명한 바와 같이 작은 입력 저항에 의한 지연시간의 감소가 나타날 수 있는 구조이다. MP4 와 MP5 는 CSO 와 /CSO 의 전압을 피드백 트랜지스터 MN5 및 MN6 에 전달하기 위해 사용되었다.

CMFB-CSA 의 동작은 다음과 같다. 데이터 "0" 이 저장되어 있는 셀을 읽는다고 가정하면 워드라인이 "high" 레벨로 상승하면서 비트라인과 데이터라인에 ΔI 의 차를 보이는 전류가 흐르게 된다. ΔI 는 셀 전류를 의미한다.

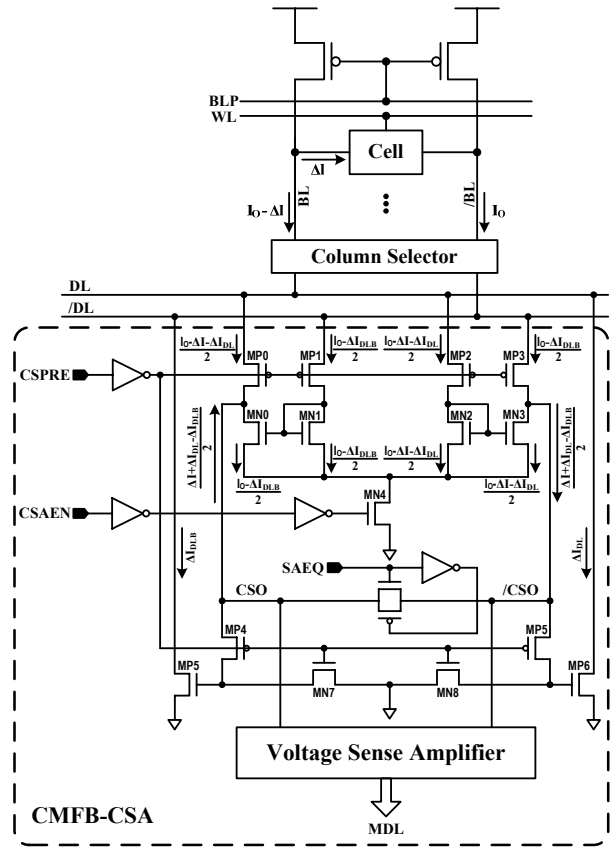


그림 4. CMFB-CSA 의 회로도

이 전류는 CMFB-CSA 의 입력단에서 두 전류 거울에 각각 분배되어 흘러 가게 되며, 전류 거울의 전류 전달 특성에 의해 ΔI 의 전류차가 전달된다. 이때 CSO 와 /CSO 는 초기에 V_{DD} 전압으로 precharge 되어 있기 때문에 CSO 의 전압은 하강하게 되나 /CSO 의 전압은 일정 전압을 유지하게 된다. 이로 인해 CMFB-CSA 의 출력단에 ΔI 에 상응하는 전압차가 발생하게 되며 이 전압차는 피드백 구조에 의해 " $\Delta I_{DL} - \Delta I_{DLB}$ " 만큼의 전류차를 증가 시키게 된다. 그 결과 두 출력단의 전압차는 더욱 증가 하게 되며 이는 빠른 시간내에 원하는 전압차에 도달할 수 있도록 한다.

CMFB-CSA 의 오프셋은 전류 거울을 구성하고 있는 트랜지스터의 W(width)와 L(length)의 부정합에 의해 발생 한다. 이는 트랜지스터의 W 와 L 의 크기가 클 경우 무시할 수 있을 정도의 작은 값이다. 따라서 CMFB-CSA 의 동작은 데이터라인의 전압차와는 무관하게 워드라인의 천이로부터 극히 짧은 시간내에 시작될 수 있다.

IV. 모의실험 및 결과

CMFB-CSA 의 성능 평가를 위해 0.8V 의 공급전압 및 150mV 에 해당하는 전압감지 증폭기의 입력 오프셋 전압에서 세 감지 증폭기의 센싱 지연시간을 비교하였다. 그림 5 는 비트라인에 연결된 셀의 수가 512 개일 때와 1024 개일 때, 전압감지 증폭기의 입력 오프셋 전압에 따른 센싱 지연시간을 나타내는 그래프이다. 이 오프셋 전압은 두 전류감지 증폭기에서는 CSO, /CSO 에 요구되는 전압차를 의미하며, 전압감지 증폭기에서는 데이터라인의 전압차를 의미한다. 그래프에 나타나있듯이 CMFB-CSA 는 VSA(Voltage Sense Amplifier: 전압감지 증폭기)에 비해 11.5ns 의 센싱 지연 감소를 보이며, NFB-CSA 에 비해 15.6ns 의 센싱 지연 감소를 보였다. 또한, 비트라인에 연결된 셀의 수가 증가할수록 NFB-CSA 와 VSA 에서는 센싱 지연시간이 증가하는 반면 CMFB-CSA 는 동일한 센싱 지연시간을 유지할 수 있다. 이는 CMFB-CSA 가 고용량의 메모리에도 적용될 수 있음을 나타낸다.

표 1 은 각 감지증폭기에서의 t_{wl-mdl} 과 I_{SA} 를 나타내고 있다. t_{wl-mdl} 은 워드라인이 "high" 레벨로 상승 후, MDL(main data line)에 데이터가 인가될 때까지의 시간을 의미하며, I_{SA} 는 그 시간 동안에 감지 증폭기에서 소모되는 평균 전류를 의미한다. CMFB-CSA 는 VSA 에 비해 75.6 μ A 의 전류가 더 소모되나 이는 SRAM 의 전체적인 동작에서 소모되는 전류에 비해 극히 미소한 양이다.

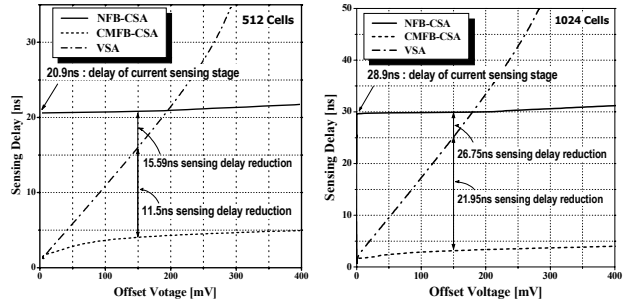


그림 5. 센싱 지연시간 비교

표 1. 감지 증폭기에서의 t_{wl-mdl} 과 I_{SA}

	NFB-CSA	CMFB-CSA	VSA
t_{wl-mdl} (ns)	24.3	6.9	19.3
I_{SA} (μ A)	172.11	155.04	79.43

따라서 CMFB-CSA 는 적은 추가의 전력 소모로 큰 센싱 지연시간의 감소 효과를 낼 수 있는 감지 증폭기이다.

V. 결론

본 논문에서는 저전압에서 동작하는 SRAM 의 센싱 지연 시간을 줄이기 위한 전류감지 증폭기를 제안하였다. 이는 피드백 구조를 가지는 전류 거울 형으로 설계 되었다. 0.18- μ m CMOS 공정에서 설계된 전류감지 증폭기를 바탕으로 센싱 지연시간을 비교해 본 결과, 0.8V 의 공급전압 및 150mV 에 해당하는 전압감지 증폭기의 입력 오프셋 전압에서 기존에 제시된 전류감지 증폭기에 비해 15.6ns 의 센싱 지연시간의 감소를 보이며, 전압감지 증폭기에 비해 11.5ns 의 센싱 지연시간의 감소를 보였다. 따라서 본 논문에서 제안한 전류감지 증폭기는 저전압, 고속동작을 요구하는 SRAM 에 적용 가능하다.

참고문헌

- [1] R. Singh and N. Bhat, "An offset compensation technique for latch type sense amplifiers in high-speed low-power SRAMs," *IEEE Trans. VLSI systems*, vol. 12, no. 6, pp. 652-657, June 2004.
- [2] K. Ishibashi, et al., "A 6-ns 4-Mb CMOS SRAM with offset-voltage-insensitive current sense amplifiers," *IEEE J. Solid-State Circuits*, vol. 30, no. 4, pp. 480-486, Apr. 1995.
- [3] K. Ishibashi, et al., "A 12.5-ns 16-Mb CMOS SRAM with common-centroid-geometry-layout sense amplifiers," *IEEE J. Solid-State Circuits*, vol. 29, no.4, Apr. 1994.