

GALS 시스템용 전류 모드 다치 논리 회로 기반

저전력 지연무관 데이터 전송 회로 설계

오명훈*, 신치훈**, 하동수***

한국전자통신연구원*, 과학기술연합대학교**, 광주과학기술원***

Design of Low Powered Delay Insensitive Data Transfers based on Current-Mode Multiple Valued Logic

Myeong-Hoon Oh*, Chi-Hoon Shin**, Dong-Soo Har***

ETRI*, UST**, GIST***

E-mail: *mhoonoh@etri.re.kr, **cshin@etri.re.kr, ***hardon@gist.ac.krr

Abstract

GALS (Globally Asynchronous Locally Synchronous) 시스템 기반의 SoC 설계에 필수적인 DI (Delay Insensitive) 데이터 전송방식 중 기존의 전압 모드 기반 설계 방식은 N 비트 데이터 전송에 물리적으로 2N+1 개의 도선이 필요하다. 이로 인한 전력 소모와 설계 복잡성을 줄이기 위해 N+1 개의 도선으로 N 비트 데이터를 전송할 수 있는 전류 모드 다치 논리 회로 기반 설계 방식이 연구되었다. 그러나, static 전력의 비중이 커 데이터 전송 속도가 낮을수록 전력 소모 측면에서 취약하고, 휴지 모드에서도 상당량의 전력을 소비한다. 본 논문에서는 이러한 문제점을 해결할 수 있는 전류 모드 기반 인코더와 디코더 회로를 제안하고, 이에 따른 새로운 전류 인코딩 기법을 설명한다. 마지막으로 기존의 전압 모드 및 전류 모드 방식과 delay, 전력 소비 측면에서 비교 데이터를 제시한다.

I. 서론

최근 단일 클록으로 칩 전체를 구동하는 설계방식의 문제점을 해결하기 위해 SoC 설계에 GALS(Globally Asynchronous Locally Synchronous) 시스템을 적용하기 위한 연구가 활발히 진행되고 있다[1][2]. 이러한 GALS 시스템기반 SoC 설계에 사용되는 데이터 전송 방식은 다양한 도선의 지연시간에 관계없이 안전하게 데이터를 전송하는 지연 무관(DI: Delay Insensitive) 데이터 전송 방식이 필수적이다. 대표적인 DI 데이터 전송 방식으로 dual-rail 방식[3]과 1-of-4 방식[4]이 연구되었으나, 이들 방식은 N 비트 데이터 전송에 2N+1 개의 도선이 필요하므로 늘어난 도선의 수로 인한 전력 소모나 설계 비용을 증가시킬 수 있다.

DI 데이터 전송 회로의 도선의 수를 줄이기 위해 전

류 모드 다치 논리회로(CMMVL: Current-Mode Multiple Valued Logic)를 이용한 연구가 수행되었다[5,6]. 이 방식에서는 한 도선에 전류량으로 3 개의 논리를 표현하여 DI 특성을 유지하면서 N+1 개의 도선으로 회로 설계가 가능하다. 기존방식에 비해 줄어든 도선수만큼 전력 소모를 줄일 수 있지만, static 전력의 비중이 크기 때문에 데이터 전송 속도가 낮을수록 전력 소모 측면에서 취약하고, 휴지 모드에서도 상당량의 전력을 소비한다.

본 논문에서는 이러한 문제점을 해결할 수 있는 전류 모드 기반 인코더와 디코더 회로를 제안하고, 이에 따른 새로운 전류 인코딩 기법을 설명한다. 마지막으로 기존의 전압 모드 및 전류 모드 방식과 delay, 전력 소비 측면에서 비교 데이터를 제시한다.

II. 기존방식의 CMMVL 기반 인코더, 디코더 회로

1. 회로의 동작 설명: 그림 1 은 1 비트 데이터 전송에 대하여 기존 CMMVL 기반 전류 인코딩 방식[5,6]을 나타낸다. 4-페이즈 핸드셰이크 프로토콜[7]에 기반하고 있으며, 데이터 값과 DI 전송을 위한 space 상태를 전류 값으로 표현하고, 각각에 대하여 한 도선에서 0, I, 2I 의 3 가지 전류 레벨로 표현한다. 일종의 Ternary Return-to-zero 인코딩 방식이다. 신호를 복원하는 디코더에서는 0.5I 와 1.5I 의 문턱 전류(threshold current)를 이용하여 0.5I 이하의 입력 전류는 데이터 '0' 전송으로, 1.5I 이상의 입력 전류는 데이터 '1' 전송으로, 0.5I 에서 1.5I 사이의 입력 전류는 space 상태로 인식한다.

N 비트 데이터 전송을 위한 구조를 나타내는 그림 2 와 같이 각 bit 에 따라 인코더와 디코더가 존재한다. 각 인코더에서는 그림 1 의 인코딩 방식으로 req_in, data_in 신호를 전류로 바꾸고 디코더에서는 그림 3 의

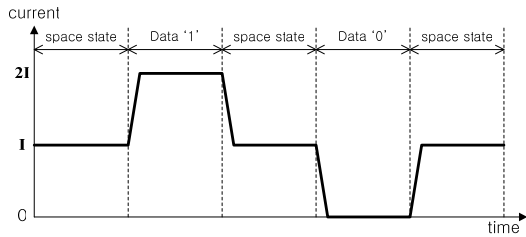


그림 1. 기존 방식의 CMMVL 기반 전류 인코딩 방식

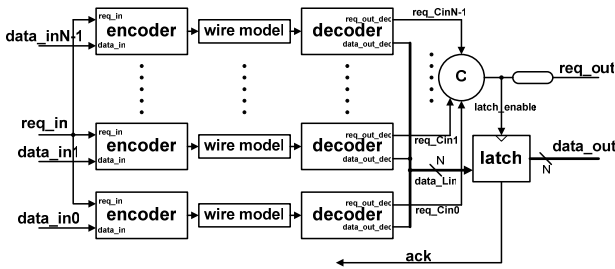


그림 2. 기존 방식의 CMMVL 기반 데이터 전송 메커니즘

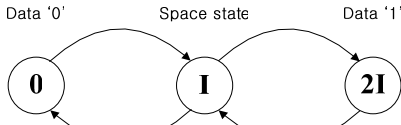


그림 3. 디코더의 입력 전류 상태 변화와 출력값

표 1. 기존 CMMVL 회로의 입력 신호에 의한 전류레벨 매핑

Req_in	0	1	1
Data_in	x	0	1
전류 레벨	I	0	2I

상태도와 같이 다시 복원된 신호 req_out_dec, data_out_dec 를 발생시킨다. 최종적으로 각 디코더의 req_out_dec 신호들을 입력으로 하는 C-element의 출력값으로 복원된 데이터를 저장한다.

2. 시뮬레이션 결과 및 전압모드방식과의 비교: 그림 4, 5 는 전송 데이터를 32 비트로 가정하고 [6]에서 제시한 동일한 시뮬레이션 환경에서 기존 방식의 CMMVL 회로, 비교대상인 dual-rail 방식, 1-of-4 방식의 전력 소모를 측정된 결과이다. Dual-rail 방식과 비교 하였을 때, 대략 20 MHz 이하의 낮은 data rate 에서는 도선의 길이 전 영역에서 전력소모가 더 크다. 1-of-4 방식과의 비교에서는 더 심각하여 60 MHz 이하에서 도선의 길이에 상관 없이 전력 소모가 더 크다.

두 그림에서 주목할 것은 기존의 MVL 회로는 data rate 가 0, 즉, 데이터 전송이 없는 휴지 상태에서도 상당한 전력을 소비한다는 것이다. 실제로 휴지상태 static 전력의 측정값은 8896 uW 로 MVL 회로의 시뮬레이션 구간 중 가장 많이 전력을 소비한 100 MHz data rate, 10mm 도선에서의 소비전력 (15005.96 uW)의 59.2 %에 해당된다. 물론, 나머지 시뮬레이션 구간에서는 이러한 static 전력이 MVL 회로의 전체 전력 중 차지하는 비율은 더욱더 높아진다. 반면에 두 그림에서 보는 바와 같이, dual-rail 과 1-of-4 방식은 휴지 상태에서는 전혀 전력을 소비하지 않는다. 이렇게 기본적으로 MVL 회로에

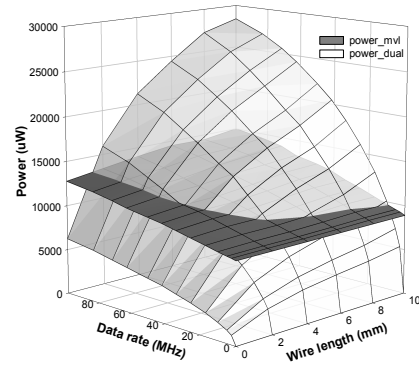


그림 4. dual-rail 방식과의 전력 소모 비교

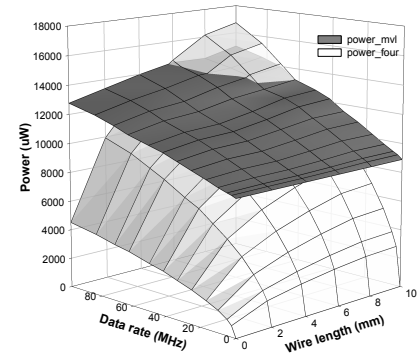


그림 5. 1-of-4 방식과 전력 소모 비교

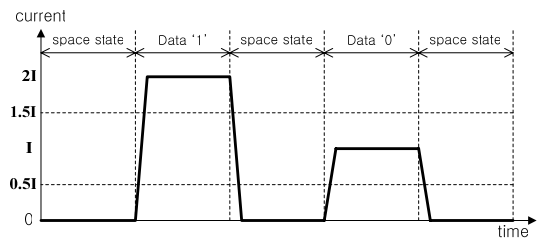


그림 6. 개선된 CMMVL 기반 전류 인코딩 방식

서 static 전력을 많이 소모하기 때문에, 전력 소모량이 data rate 의 변화에 덜 민감하다 할지라도, 상대적으로 낮은 data rate(dual-rail 의 경우 20 MHz 이하, 1-of-4 의 경우 60 MHz 이하)에서 큰 전력 소비량의 차이를 보인다. 이는 [5, 6]에서의 비교 metric 인 delay-power product 에도 직접적인 악영향을 미친다.

III. 개선된 CMMVL 기반 인코더, 디코더 회로

개선된 CMMVL 기반 인코더, 디코더 회로에서는 static 전력을 줄이기 위해, 그림 6 와 같이 space 상태를 전류 레벨 '0'으로 인코딩하고, 데이터 '0' 전송과 데이터 '1' 전송을 각각 전류 레벨 I 와 2I 로 매핑한다. 입력 req 신호(req_in)와 입력 데이터 신호(data_in)에 따른 전류 매핑은 표 2 에 제시되어 있고, 그에 따른 인코더, 디코더의 스키매틱은 그림 7 과 같다. 기존의 방식에 비해 req_in, data_in 신호의 조합에 따라 전류량만 달라지

표 2. 개선된 CMMVL 회로의 입력 신호에 의한 전류레벨 매핑

Req_in	0	1	1
Data_in	x	0	1
전류 레벨	0	I	2I
(A, B)	(1, 1)	(0, 1)	(0, 0)

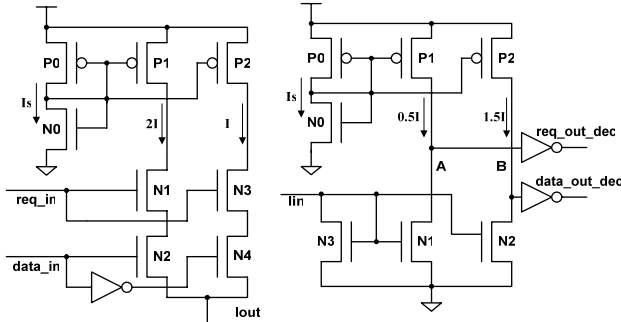


그림 7. 개선된 CMMVL 기반 인코더, 디코더

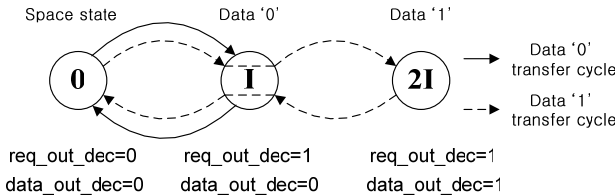


그림 8. 개선된 디코더의 입력 전류 상태 변화와 출력값

기 때문에, [5, 6]에서 제시된 인코더와 디코더의 전반적인 구조는 그대로 유지되며, 인코더의 전류 선택 부분과 디코더의 복원 부분만 변경된다.

1. 예상되는 문제점: 그림 6의 개선된 전류 인코딩 방법에서처럼 space 상태를 전류 레벨 '0'으로 맵핑하게 되면, 데이터 '0' 전송과는 달리, 데이터 '1' 전송시에는 디코더에서 threshold 전류를 두 번 경험하게 된다. 한 개의 데이터 전송 사이클에서 이처럼 출력값을 결정하는 decision level이 두 개 존재하는 것은 안정된 출력값을 보장하지 못하며, 전체의 DI 전송 메커니즘의 동작에 치명적인 오류를 유발할 수 있다.

실제로, 디코더에서 입력 전류 레벨과 각 전류 레벨의 상태에서 발생하는 출력값(req_out_dec, data_out_dec)을 나타낸 그림 8의 상태도를 참조하면 문제점을 보다 명확하게 발견할 수 있다. 데이터 '0' 전송 사이클에서는 문제점이 없으나, 데이터 '1' 전송 사이클에서는 전류 레벨이 0에서 2I까지 변화할 때 자연스럽게 전류 레벨 I를 거친다. 이때 data_out_dec 신호보다 req_out_dec 신호가 먼저 '1'로 변하게 되므로 데이터 신호가 복원 되기 전에 요구 신호가 먼저 발생된다.

이러한 현상은 bundled data 가정[7]을 위배할 수 있으므로 안정된 데이터 전송을 보장할 수 없다.

2. 문제점에 대한 해결책: 문제의 핵심은 그림 2에서 N 비트 데이터 전체를 래치하는데 필요한 latch_enable 신호의 타이밍이고, 올바른 전송 메커니즘을 위해서는 데이터 '1' 전송의 경우 이 신호의 발생 시점을 전류 레벨 I가 아닌 2I 이후로 조정해야 한다.

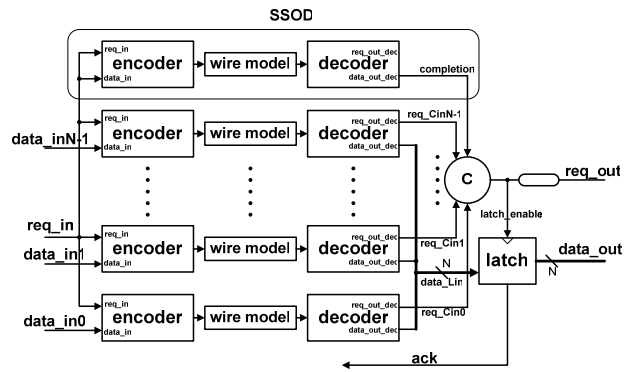


그림 9. 개선된 CMMVL 기반 데이터 전송 메커니즘

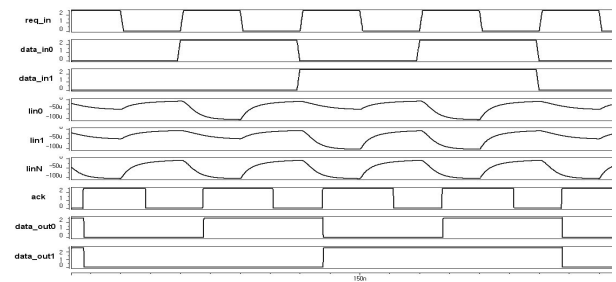


그림 10. 개선된 방식의 HSPICE 시뮬레이션 결과

그림 8에서 전류 레벨이 0에서 2I까지 변하는 data '1' 전송시에 디코더의 출력 값 중 data_out_dec 신호는 '0'을 유지하다가 전류 레벨 2I에서 '1'로 변화한다. latch_enable 신호 생성에 이 타이밍을 이용하면, 데이터 '1' 전송에 상기했던 문제점을 제거할 수 있다. 즉, 데이터 '0' 전송이든 데이터 '1' 전송이든 latch_enable 신호에 의해 데이터를 래치하는 시점을 2I 전류를 driving 하는 디코더의 data_out_dec 신호가 assert 된 이후 시점으로 정한다. 데이터 '0' 전송시에는 latch_enable 신호가 active 될 때까지 기다려야 하므로 약간의 성능 저하가 있을 수 있으나, 두 경우 모두 안정된 데이터 전송을 보장할 수 있다.

N 비트 데이터 전송 시에 전류 2I를 항상 drive 하는 SSOD (Submodule for Stable Output Data) 블록을 기존의 CMMVL 기반 데이터 전송 메커니즘에 덧붙이면 그림 9와 같이 구성할 수 있다.

SSOD의 completion 신호타이밍은 data_out_dec 신호들 중 worst한 case(여기서는 2I 전류 구동, 즉, 데이터 '1' 전송)와 동일하므로, C-element 트리의 propagation delay를 이용하면 data_out_dec 신호들을 래치하는데 bundled data 가정을 만족시킬 수 있다.

IV. 개선된 CMMVL 기반 데이터 전송 메커니즘의 동작 검증 및 비교

그림 10은 개선된 방식에서 2 비트 데이터 전송에 필요한 모든 case 즉, '00', '01', '10', '11'에 대해서 전송 결과를 나타내는 결과이다. [5, 6]에서 제시된 I 값 54uA에 대해 디코더의 입력 전류값 (lin0, lin1)이 '0' 전송시에 0에서 54uA '1' 전송시에 0에서 108uA까지 변화함

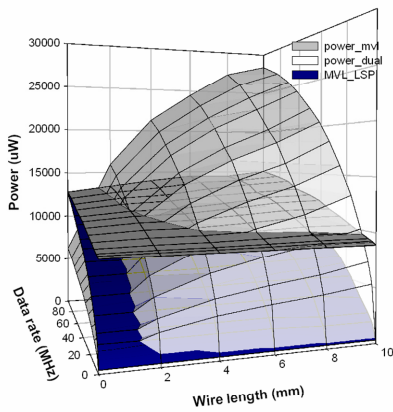


그림 11. dual-rail 방식과 전력 소모 비교

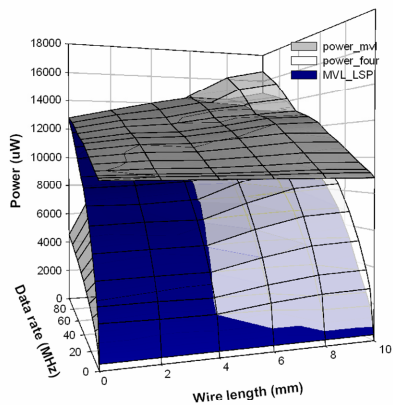


그림 12. 1-of-4 방식과 전력 소모 비교

을 알 수 있다. linN 신호는 그림 13의 SSOD 내의 디코더 입력의 전류값을 나타낸다.

II 절의 실험에서 제시한 동일한 시뮬레이션 환경에서 개선된 CMMVL 와 기존 방식의 CMMVL 회로, dual-rail 방식, 1-of-4 방식의 전력 소모를 측정하였다. data rate 와 도선의 길이에 따른 개선된 전류모드방식 (MVL_LSP), 전류모드방식(power_mv), dual-rail 방식 (power_dual), 1-of-4 방식 (power_four)의 전력소모량은 각각 그림 11, 12에 나타나 있다.

실험 결과, 개선된 CMMVL 방식은 기존의 CMMVL 방식보다는 data rate 과 도선의 길이에 상관없이 전 영역에 걸쳐 전력소모가 적었다. Dual-rail 방식과 비교하였을 때, 대략 2mm 이의 도선길이에서 data rate 에 상관없이 전 영역에서 전력소모가 더 적었으며 MVL 회로의 시뮬레이션 구간 중 가장 많이 전력을 소비한 100 MHz data rate, 10mm 도선에서의 소비전력을 비교해볼 때 dual-rail 방식은 28403.08 uW 를 소비한 데 반해 개선된 CMMVL 방식은 dual-rail 방식의 42.30%인 12016.27 uW 만을 소비하였다. 또한 1-of-4 방식과 비교하였을 때, 대략 4mm 이상의 도선길이에서는 data rate 에 상관없이 전 영역에서 전력소모가 더 적었으며 100MHz data rate, 10mm 도선에서의 소비전력에서 1-of-4 방식은 16739.77uW 를 소비한 데 반해 개선된 CMMVL 방식은 1-of-4 방식의 71.78%만을 소비하였다.

두 그림에서 주목할 것은 개선된 MVL 회로는 휴

지 상태에서 기존의 MVL 회로와는 다르게 전력소비가 없다는 것과 기존 MVL 회로의 장점을 이어받아 일정 정도 도선 길이 이상에서는 dual-rail 방식과 1-of-4 방식 보다 전력소비량이 항상 적다는 것이다.

V. 결론

본 논문에서는 다치 논리 회로 (CMMVL) 기반 설계 방식의 문제점인 static 상태에서의 전력소비 문제를 해결할 수 있는 전류 모드 기반 인코더와 디코더 회로를 제안하고, 이에 따른 새로운 전류 인코딩 기법을 설명하였다. 그리고 기존의 전압 모드 및 전류 모드 방식과 전력 소비 측면에서 비교 데이터를 제시하였다.

비교 데이터의 분석을 통해 개선된 CMMVL 방식은 기존의 CMMVL 방식보다는 모든 상황에서 전력소모가 적음을 알 수 있었으며 2mm 이상의 도선 길이에서 dual-rail 방식 소비전력의 최소 42.30% 만을 소비함을 알 수 있었다. 또한 4mm 이상의 도선길이에서 1-of-4 방식 소비 전력의 최소 71.78%만을 소비함을 알 수 있었다.

참고문헌

- [1] International Technology Roadmap for Semiconductors 2003 Edition, Semiconductor Industry Association, 2003.
- [2] A. Lines, "Asynchronous interconnect for synchronous SoC design," Micro, Vol. 24, No. 1, pp. 32-41, January-February 2004.
- [3] J. Sparso and S. B. Furber, Principles of asynchronous circuit design: a system perspective, Kluwer Academic Publisher, 2001.
- [4] W. J. Bainbridge and S. B. Furber, "Delay insensitive system-on-chip interconnect using 1-of-4 data encoding," in Proc. of the Symp. on Asynchronous Circuits and Systems, pp. 118-126, Salt Lake City, US, 2001.
- [5] Myeong-Hoon Oh and Dong-Soo Har, "A novel mechanism for delay-Insensitive data transfer based on current-mode multiple valued logic," Lecture Note in Computer Science, Vol. 3254/2004, pp. 691-700, Sep. 2004.
- [6] Myeong-Hoon Oh and Dong-Soo Har, "Low delay-power product current-mode multiple valued logic for delay-Insensitive data transfer mechanism," IEICE Trans. Fundamentals, Vol. E88-A, No. 5, pp. 1379-1383, May 2005.
- [7] S. B. Fuber and P. Day, "Four-phase micropipeline latch control circuits," IEEE Trans. Very Large Scale Integr. (VLSI) Syst., Vol. 4, No. 2, pp. 247-253, June 1996.
- [8] A. S. Sedra and L. C. Smith, Microelectronic Circuits, Saunders College Publishing, 1991.