

# Redundant Multi-Valued Logic을 이용한 4.5Gb/s CMOS 디멀티플렉서 구현

\*김태상, 김정범

강원대학교 전기전자정보통신공학부

e-mail : kimts@vlsi.kangwon.ac.kr, kimjb@kangwon.ac.kr

## Implementation of 4.5Gb/s CMOS Demultiplexer Using Redundant Multi-Valued Logic

\*Tae Sang Kim, Jeong Beom Kim

Department of Electrical and Computer Engineering  
Kangwon National University

### Abstract

This paper describes a high speed interface using redundant multi-valued logic for high speed communication ICs. This circuit is composed of encoding circuit and decoding circuit. Because of the multi-valued data conversion, this circuit makes it possible to achieve higher operating speeds than that of a conventional binary logic. Using this logic, a 1:4 DEMUX (demultiplexer) was designed using a 0.35um standard CMOS technology. Proposed circuit is achieved an operating speed of 4.5Gb/s with a supply voltage of 3.3V and with power consumption of 53mW.

### I. 서론

오늘날 광대역 통신의 급격한 수요증가로 고성능 및 저가의 통신시스템에 대한 필요성이 증가하게 되었다. 디멀티플렉서(Demux: demultiplexer)는 이러한 통신시스템의 중요한 구성요소이다. 이 회로는 MOSFET로 구현하면 BJT 및 합성 반도체 소자에 비해 저가 및 저 전력 집적회로를 구현할 수 있는 장점이 있다. 최근, MOSFET의 공정발달에 의해 1Gb/s 이상의 데이터 속도를 가지는 통신용 CMOS 집적회로에 관한 많은 연구들이 발표되었다[1][2]. 그러나 이 회로들의 최

대 데이터 전송속도는 회로의 토글 주파수(toggle frequency)에 의해 제한된다. 토글 주파수의 제한을 감소시키기 위해 MCML(MOS current mode logic)이 제안되었다[3]. 이것은 기존 CMOS 논리회로보다 약 1.5 배 고속동작을 하지만, MCML의 성능 또한 회로의 토글 주파수에 의해 제한 받는다. 따라서 토글 주파수 제한의 개선은 통신시스템을 구성하는 고속 CMOS 집적회로를 위해 반드시 필요하다.

RMVL (redundant multi-valued logic)은 토글 주파수로 인한 문제점들의 극복을 위해 제안 되었다[4]. 제안한 회로는 최대 토글 주파수보다 높은 속도의 직렬 데이터를 입력받아 사용할 수 있다. 이 회로를 이용하여 낮은 소비전력을 가지는 구조의 고속통신용 인터페이스를 0.35um 표준 CMOS 기술로 구현하였다.

### II. 기존 DEMUX 방법

#### 2.1 트리구조 DEMUX

기존 보고서의 DEMUX 회로들은 트리구조가 고속 동작에 적합하기 때문에 이 구조를 채택하고 있다[5]. 그림 1은 트리구조 DEMUX의 블록선도를 보여준다. 트리구조는 동작 주파수에 두 배의 데이터 처리 속도를 가진다. 0.35um 표준 CMOS 공정에서 전압제어발진기(VCO)의 최대 데이터 율은 1.5Gb/s[6]이다. 따라서 트리구조 DEMUX의 최대 데이터 전송 속도는 기

존의 CMOS 회로[1] 에서 최대 3Gb/s를 가진다. 그리고 MCML구조를 사용하면 1.5배의 속도 향상을 가짐으로 4.5Gb/s의 최대 데이터 전송 속도를 가진다. 그러나 이 데이터 율은 회로의 토크 주파수 제한에서 자유롭지 못하다. 따라서 CMOS 통신회로의 토크 주파수 제한을 극복하기 위해서는 새로운 기술이 필요하다.

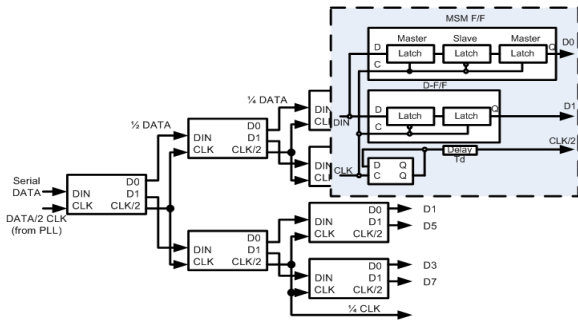


그림 1. 1:2 DEMUX 계층 구조로 구성된 트리구조 1:8 DEMUX의 블록선도와 각 1:2 DEMUX의 구조

## 2.2 Oversampling 방법

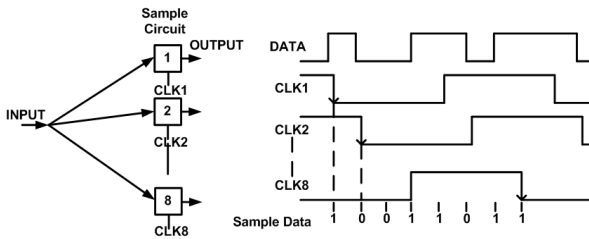


그림 2. Oversampling 방법의 블록선도와 타이밍도

Oversampling에 관한 보고서[7]를 보면, 이 구조가 트리구조보다 빠른 동작속도를 가진다는 것을 알 수 있다. 그림 2는 oversampling 방법의 블록선도를 보여준다. 이 구조는 8개의 샘플 회로들로 구성된다. 따라서 한 클럭 주기 동안 8개의 데이터 bits를 읽을 수 있다. 그러나 이 회로의 클럭 주파수가 최대 토크 주파수와 같게 되면, sample-and-hold 회로의 setup time은 클럭 주기의 1/2에 근접한다. 데이터 전송과 클럭 전송 타이밍 차이가 줄어들게 되면 oversampling 방법은 종종 잘못된 값을 읽어 들여 높은 에러 율을 일으킨다. 이 방법이 최대 전송속도를 같게 하기 위해서는 ECC (error correction code) 회로가 필요하다[7].

## III. RMVL을 이용한 1:4 DEMUX

### 3.1 RMVL의 원리

만약 n-bit 데이터가 다치 데이터로 변환하면, 데이터 주파수는 f/n로 줄어든다. 따라서 다치논리를 사용하는 것은 높은 주파수를 다룬다는 의미에서 효과적이다. 예로, 다치논리는 high-speed interconnects[8]에 사용되고 있다. 또한 RB (redundant binary) 논리[9]와 SD (signed digit) 수[10]는 고속 덧셈기와 곱셈기에 사용된다. RB 논리를 이용하면, 적은 회로 동작으로 많은 데이터를 처리할 수 있다.

결과적으로, RMVL을 사용한다는 것은 다치논리와 RB 논리의 장점을 모두 이용하는 것이다.

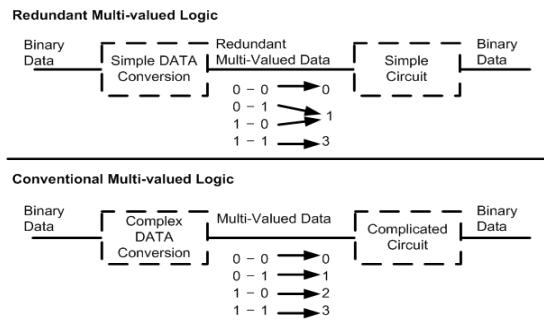


그림 3. 기존 MVL과 RMVL의 데이터 변환 과정

그림 3은 전통적인 MVL과 RMVL의 데이터 변환과정을 보여주고 있다. MVL은 변환 과정에서 복잡한 회로를 필요로 한다. 반면에 RMVL은, 입력 데이터 0-1과 1-0 모두 1로 중복시켜, 데이터 변환이 간단해진다. RMVL은 sample-and-hold와 같은 단순한 누적 회로로 만들 수 있다. 그림으로, RMVL의 데이터 변환 속도는 종래의 MVL보다 높은 데이터를 처리할 수 있다.

### 3.2 1:4 DEMUX

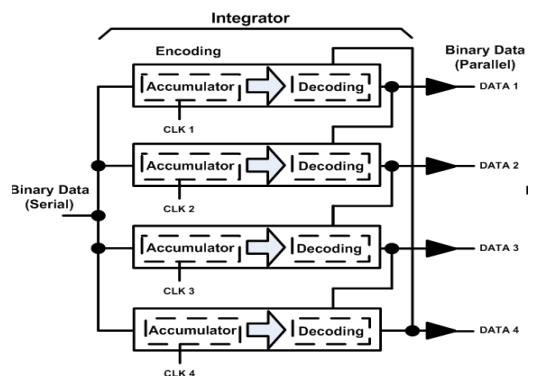


그림 4. 1:4 DEMUX의 기본구조

그림 4는 RMVL을 이용한 1:4 DEMUX의 데이터 전송과정을 블록선도로 보여주고 있다. 네 번째 복호

기의 결과가 첫 번째 복호기로 들어간다.

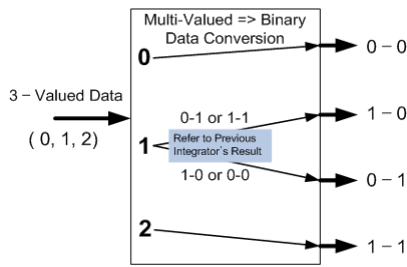


그림 5. RMVL의 데이터 변환 과정

그림 5는 복호화 과정을 보여준다. 3-valued 데이터가 0, 2일 때 2진결과는 0-0, 1-1로 각각 결정된다. 이 3-valued 데이터가 복호의 열쇠가 된다. 만약에 입력에서 1과 0이 반복해서 나타나는 "10101010 10..."과 같은 경우 현재 적분기에는 앞단 적분기가 올바른 값을 가질 수 없기 때문에 결과를 결정할 수 없다. 그러나 0-0이나 1-1의 패턴이 입력으로 들어오게 되면 적분기는 내부의 상태를 정확하게 정렬할 수 있다.

### 3.3 적분기 회로

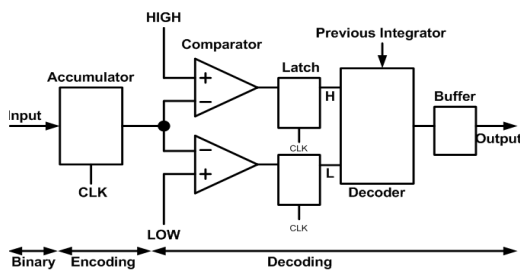


그림 6. 적분기의 블록선도

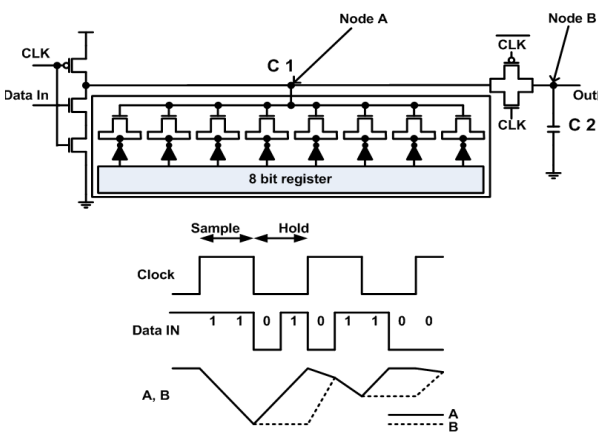


그림 7. 누적기의 블록선도와 타이밍선도

그림 6은 적분기의 블록선도를 보여주고 있다. 누적기 회로는 이진 입력 데이터를 받아 3-value 데이터로 변환하는 부호화 역할을 한다. 비교기는 두 개의 HIGH & LOW 기준전압으로 데이터를 비교하며, H와 L의 결과는 latch를 통해 복호기로 전달한다.

그림 7은 누적기 회로와 이 회로의 타이밍선도를 보여준다. C1 capacitor는 C2 capacitor보다 매우 크기 때문에 sampling 구간에서 3-valued 데이터의 빠른 전달이 이루어진다. C1 커패시턴스 최적의 값은 동작 주파수와 공급전원의 크기에 의존하기 때문에 C1 커패시터의 설계는 가변적으로 이루어진다. 가변커패시터 C1 값의 결정은 SPICE 시뮬레이션을 통하여 결정된다.

만약 누적기에 큰 누설 전류를 가지는 최소 트랜지스터를 사용하여도, 축적 기능에 대한 영향은 작을 것이다. 왜냐하면 매 클럭 주기의 초기에 C1이 precharge 되기 때문이다.

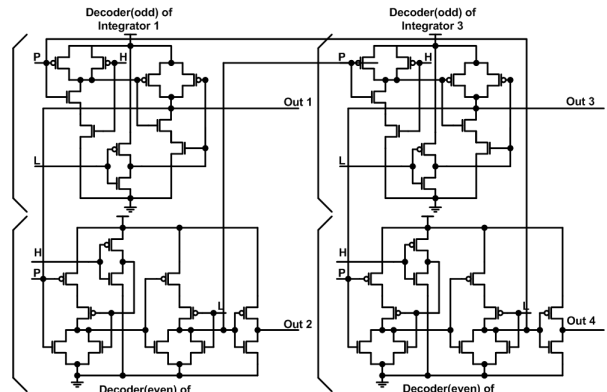


그림 8. 복호화 회로도

그림 8은 1:4 DEMUX의 복호화 회로를 보여준다. 복호기 회로는 PRML (partial response maximum likelihood)와 같은 error-detect나 error-correct 기능으로 이용한다.

### IV. 물리적 구현과 시뮬레이션 결과

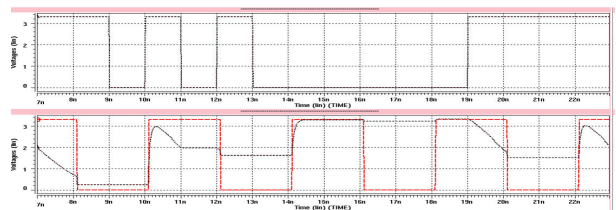


그림 9. 누적기의 결과파형

그림 9는 누적기의 시뮬레이션 결과를 보여준다. 상단은 입력데이터이고 하단은 1/4 클록에 따른 다치 데이터이다. 누적기의 결과파형이 비교기의 HIGH (2.2V)와 LOW (1.1V) 값에 만족함을 보여준다.

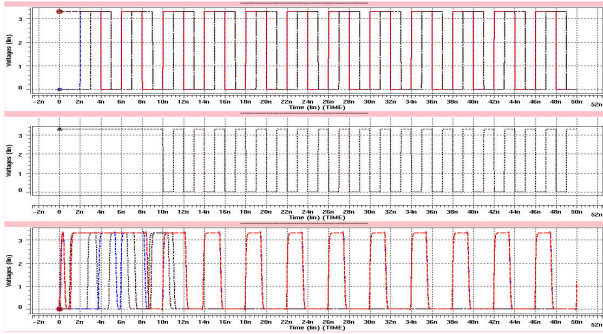


그림 10. 1:4 DEMUX의 결과파형

그림 10은 제안된 1:4 DEMUX 회로의 출력파형을 보여준다. 상단은 입력 클록, 중단은 입력 데이터, 하단은 결과 데이터이다. 이 회로는 내부 클록발생기를 포함하지 않는다. 또한 복호기에 임계경로가 존재하므로, 결과 파형에서 전달지연이 발생할 수 있다. 기존 회로의 클록 주파수가 2.25GHz 필요한데 비해, 제안된 회로는 같은 조건에서 단지 1.125GHz의 클록 주파수가 필요하다. 이것은 RMVL이 고속 CMOS 통신 IC에 유용함을 보여준다. 그림 11에서 제안된 1:4 DEMUX의 레이아웃을 보여준다.

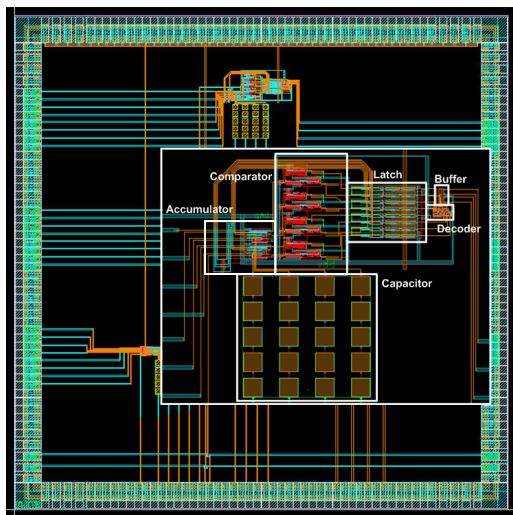


그림 11. 1:4 DEMUX test chip 레이아웃

## V. 결론

본 논문은 RMVL을 이용하여 고속 통신용 1:4 DEMUX를 CMOS 0.35um 공정을 이용하여 구현 하였

다. 제안된 구조는 기존의 DEMUX보다 높은 동작속도와 낮은 클록 주파수에서 동작이 가능하다. 3.3V의 공급전압에서 4.5Gb/s 이상의 데이터를 1.125GHz의 클록으로 처리할 수 있다. 이것은 RMVL이 회로 동작 주파수의 두 배 이상 고속 데이터 처리가 가능하다는 것으로, 토글 주파수의 제한이 줄었음을 의미한다. 제안된 구조는 미세 선폭을 사용할 경우 공정 최대 주파수의 증가로, 10Gb/s 이상의 동작 속도를 가진다.

※ 이 논문은 강원대학교 두뇌한국21(BK21)사업에 의해 지원되었으며, 본 연구에 사용한 설계용 CAD S/W는 IDEC(반도체 설계교육센터) 지원에 의한 것 임.

## 참고 문헌

- [1] K. Nakamura, M. Fukaishi, "A 6 Gbps CMOS phase detecting DEMUX module using half-frequency clock," in Symp. VLSI Circuits Dig. Tech. Papers, June 1998, pp. 196-197.
- [2] J. Savoj, "A 10 Gb/s CMOS clock and data recovery circuit with frequency detection," in ISSCC Dig. Tech. Papers, 2001, pp. 78-79.
- [3] A. Tanabe, "0.18um CMOS 10Gb/s mux/dmux ICs using current mode logic with tolerance to threshold voltage fluctuation," IEEE J. Solid-State Circuits, vol. 36, pp. 988-996, June 2001.
- [4] A. Tanabe, "A Redundant Multivalued Logic for a 10Gb/s CMOS DMUX IC," IEEE J. Solid-State Circuits, vol. 38, pp. 107-113, Jan 2003.
- [5] M. Fukaishi, K. Nakamura, M. Sato, Y. Tsutsui, S. Kishi, "A 4.25-Gb/s CMOS Fiber Channel Transceiver with Asynchronous Tree-Type Demultiplexer and Frequency Conversion Architecture," IEEE J. Solid-State Circuits, vol. 33, pp. 2139-2147, December 1998.
- [6] M. Fukaishi. "GHz serial link transceiver using multiple-valued data representation," in NEC Corporation. Silicon System Research Laboratories. 2002.
- [7] C. K. Yang, R. Farjad-Rad, and M. Horowitz, "A 0.6 um CMOS 4 Gb/s transceiver with data recovery using oversampling," in Symp. VLSI Circuits Dig. Tech. Papers, pp. 71-72, June 1997.
- [8] R. Farjad-Rad, C. K. Yang, "A 0.3 um CMOS 8-Gb/s 4-PAMserial link transceiver," in Symp. VLSI Circuits Dig. Tech. Papers, pp. 41-44, 1999.
- [9] N. Takagi, H. Yasuura, and S. Yajima, "High-Speed VLSI multiplication with a redundant binary addition tree," IEEE Trans. Comput., vol. C-34, pp. 789-796, Sept. 1985.
- [10] T. Hanyu, M. Kameyama, "Prospects of multiple-valued VLSI processors," IEICE Trans. Electron., vol. E76-C, no. 3, Mar. 1993.