

OFDM 변복조를 위한 파라미터화된 FFT/IFFT 코어 생성기

*이진우, *김종환, *신경욱, **백영석,**어익수
*금오공과대학교 전자공학부, **한국전자통신 연구원 모뎀 SoC 설계팀
e-mail : ch97j@kumoh.ac.kr

Parameterized FFT/IFFT Core Generator for OFDM Modulation/Demodulation

*J. W. LEE, *J. H. KIM, *K. W. SHIN,
**Y. S. BAEK, **I. S. EO

*School of Electronic Eng., Kumoh National Institute of Technology
**Modem SoC Design Team, ETRI

Abstract

A parameterized FFT/IFFT core generator (PFFT_CoreGen) is designed, which can be used as an essential IP (Intellectual Property) in various OFDM modem designs. The PFFT_CoreGen generates Verilog-HDL models of FFT cores in the range of 64 ~ 2048-point. To optimize the performance of the generated FFT cores, the PFFT_CoreGen can select the word-length of input data, internal data and twiddle factors in the range of 8-b ~ 24-b. Some design techniques for low-power design are considered from algorithm level to circuit level.

I. 서론

직교 주파수 분할 다중화 (Orthogonal Frequency Division Multiplexing; OFDM) 방식은 고속의 데이터 전송을 위한 기술로 유럽, 일본 및 호주의 디지털 TV 표준으로 채택될 것으로 기대될 뿐 아니라 현재 무선 이동통신에서 사용되고 있는 CDMA 방식에서 한층 더 진보되는 POST CDMA 기술로서 주목 받고 있는 4세대(4G) 변조기

술 중의 하나이다. OFDM의 원리는 고속의 data stream을 여러 개의 저속의 stream으로 분할하여 이들을 다수개의 반송파 (subcarrier)에 실어 동시에 전송하는 것이다[1].

FFT/IFFT는 OFDM 모뎀에서 가장 많은 연산량과 하드웨어 복잡도를 필요로 하는 핵심 연산장치이며, 모바일 기기의 OFDM 변복조기는 저전력, 작은 칩 면적 등이 중요한 요소가 된다. 한편, OFDM 기반 변복조기는 응용 시스템에 따라 64점 ~ 8192점 범위의 다양한 FFT/IFFT 프로세서가 사용된다. 특히, SoC 기술의 보편화 추세에 따라 고속/저전력 특성을 갖는 FFT/IFFT 프로세서 IP의 중요성이 증대되고 있다

현재 국내외 상용화된 대부분의 FFT/IFFT 프로세서 IP들은 특정 길이의 FFT/IFFT를 연산하는 구조를 가져 응용범위가 제한적이고, 입력/출력/내부데이터/회전인자 등의 비트 수가 고정되어 있어 연산 정밀도 조정이 어렵다[2-3]. 따라서 FFT 길이와 데이터의 word-length를 선택적으로 조정할 수 있는 parameterized FFT/IFFT 프로세서 IP 개발이 필요하다.

본 논문에서는 FFT 프로세서 IP의 연산 정밀도를 분석할 수 있도록 fixed-point FFT 시뮬레이터를 개발하였으며, R2SDF 구조를 기본으로하는 파라미터화된 FFT/IFFT 코어 생성기(PFFT_CoreGen)를 개발 하였다.

II. FFT 알고리즘

데이터 x_n 에 대한 N 점 이산 푸리에 변환(Discrete Fourier Transform; DFT)은 식 (1)과 같이 정의된다.

$$X_k = \sum_{n=0}^{N-1} x_n \cdot W_N^{nk} \quad (1)$$

단, $W_N^{nk} = e^{-j\frac{2\pi}{N}nk}$, $k=0, 1, 2, \dots, N-1$

DFT는 N^2 번의 복소수 승산과 $N(N-1)$ 의 복소수 가산으로 계산되므로 N 이 증가함에 따라 연산량이 지수적으로 증가한다. FFT는 식(1)의 연산량을 줄인 고속 연산 알고리즘이며, 대표적인 알고리즘으로는 Cooley-Turkey FFT 알고리즘, Winograd FFT 알고리즘, Prime Factor 알고리즘, Split-Radix FFT 알고리즘 등이 있다. FFT 알고리즘은 크게 나누어 radix-2, radix-4, radix-8과 같은 fixed-radix 알고리즘과 radix-2/4, radix-2/8, radix-2/4/8 등과 같은 mixed-radix 알고리즘으로 구분할 수 있다. fixed-radix 알고리즘은 연산구조가 규칙적이므로 VLSI 구현에 적합하다는 장점은 있지만, mixed-radix 알고리즘에 비해 많은 연산량을 필요로 한다. 반면에 mixed-radix 알고리즘은 연산량은 작으나 연산구조가 불규칙적이므로 하드웨어 구현이 어렵다.

FFT 알고리즘들은 각기 고유의 연산구조와 연산량을 가지며, 이들은 연산시간, 칩 면적, 그리고 전력소모 등에 직접적인 영향을 미친다. 따라서 효율적인 FFT 프로세서의 구현을 위해서는 연산량과 연산 흐름의 규칙성이 함께 고려되어야 한다[4-5].

본 논문에서는 연산량 측면에서 최적에 가깝고, 규칙적인 연산 흐름을 가져 VLSI 구현에 적합하며, radix-2 나비연산 회로로 구현될 수 있는 radix-2/4/8 알고리즘을 선택하였다.

III. FFT 코어 설계

3.1 아키텍처 개요

64-point에서 2048-point FFT를 설계하기 위해서는 radix-2, radix-2/4, radix-2/4/8 구조를 복합적으로 사용하여야 한다. 기본적으로 버터플라이 연산을 수행하는 연산 스테이지와 격자 계수 생성 블록, 상수 곱셈 블록, 복소수 승산 블록으로 구성된다. 기본적인 연산단위인 8점 FFT 연산블록은 radix-2/4/8 알고리즘에 의해 얻어진 연산흐름도 그림 1-(a)를 구현하는 블록이며, 그림 1-(b)와 같이 세 개의

radix-2 연산 stage와 상수 곱셈기로 구현 하였다.

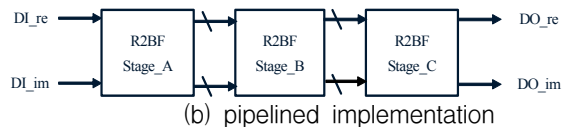
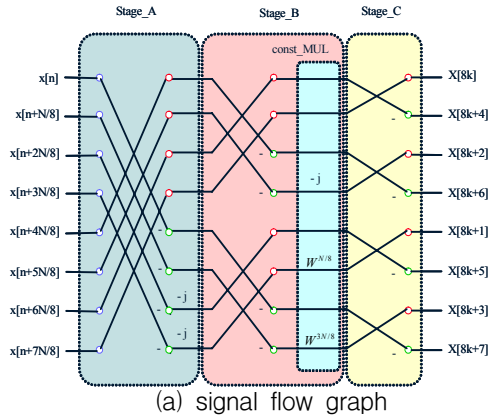


그림 1. 8점 FFT의 신호 흐름도와 파이프라인 구현

3.2 R2SDF 연산 Stage

Radix-2 연산 stage는 R2SDF 구조를 바탕으로 그림 2와 같이 구현하였으며, 공통적으로 나비 연산과 $-j$ 곱셈을 포함한다. 이때 $-j$ 곱셈은 복소수 데이터의 공액을 구한 후, 허수부의 부호 반전에 의해 연산될 수 있으며, 본 논문에서는 이를 radix-2 나비 연산에 포함시켜 처리함으로써 회로를 단순화 하였다.

그림 3은 R2SDF 연산 stage의 동작 타이밍을 나타낸 것이다. 타이밍 도에서 볼 수 있듯이, 나비 연산기는 전체 동작기간의 절반 동안에만 동작하고 나머지 기간에는 데이터 입·출력 동작만 일어나게 된다. 이와 같은 R2SDF stage의 동작 특성을 토대로 데이터 입·출력 동작만 일어나는 기간에는 나비 연산기가 동작을 멈추도록 설계함으로써 불필요한 스위칭 동작을 제거하여 전력소모가 최소화되도록 하였다.

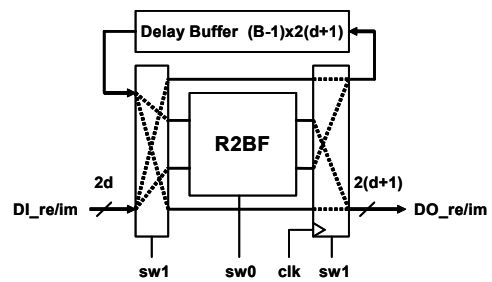


그림 2. R2SDF stage의 블록도

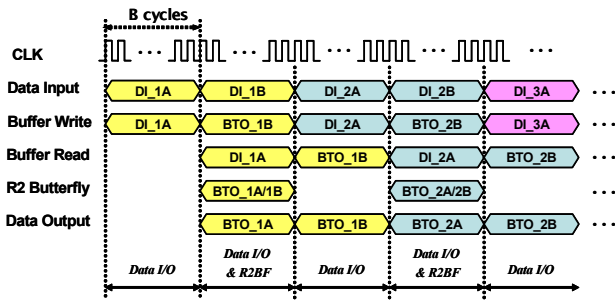


그림 3. R2SDF stage의 동작 타이밍

IV. Fixed-point FFT Simulator

OFDM 변복조기는 그 응용 시스템에 따라 요구되는 연산성능이 달라지며, FFT/IFFT 프로세서의 연산정밀도는 FFT length, 입력 데이터, 내부 데이터, 회전인자의 비트 수 등에 영향을 받는다. 따라서 시스템에서 요구되는 연산성능을 만족하도록 FFT/IFFT 프로세서의 내부 및 회전인자의 비트 수를 결정하기 위해서는 fixed-point FFT/IFFT 시뮬레이션이 필요하다. 본 연구에서는 이를 위해 FFT length, 데이터 비트 수 등을 지정하여 FFT/IFFT 연산 성능을 예측할 수 있는 fixed-point simulator를 개발하였다. 본 논문에서 설계된 시뮬레이터는 실제 하드웨어로 구현될 회로와 동일한 radix-2/4/8 구조를 채택하고 있으며, 시뮬레이션을 위해 사용자가 선택할 수 있는 파라미터의 종류와 범위는 표 1과 같다.

표 1. 파라미터 선택 범위

Parameter	Selection Range
FFT length	64 ~ 2048
Input bit width	6 ~ 18 bit with 2-bit step
Output bit width	8 ~ 24 bit with 2-bit step
Internal bit width	8 ~ 20 bit with 2-bit step
Twiddle bit width	8 ~ 24 bit with 2-bit step

V. Parameterized FFT/IFFT Core Generator(PFFT_CoreGen)

본 장에서는 3장에서 설명된 구조를 갖는 파라미터화된 FFT/IFFT 코어 생성기에 대해 설명한다.

PFFT_CoreGen은 사용자가 생성에 필요한 파라미터 값들을 지정하면 해당 사양을 만족하는 Verilog-HDL 모델을 생성하는 기능을 갖는다. 생성시 필요한 파라미터 값들은 fixed-point FFT simulator에서 설명한 표 1과 같다.

그림 4는 PFFT_CoreGen의 GUI(Graphic User Interface) 화면을 보인 것이며, 최상위 모듈의 이름은 입력된 파라미터 중 length, input, output 의 값에 의해 정해진다.

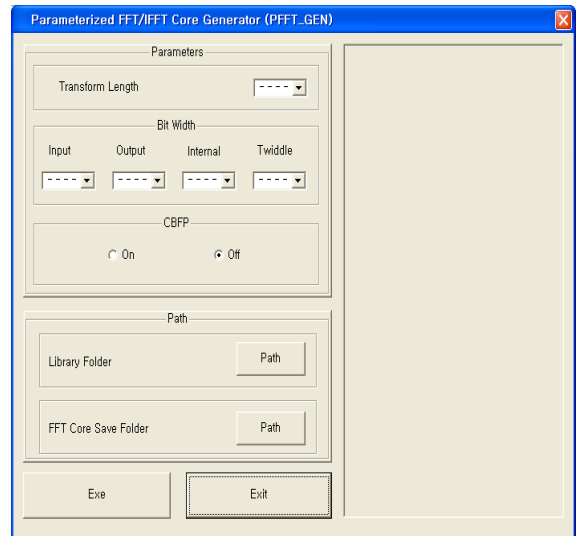


그림 4. PFFT_CoreGen의 GUI 화면

VI. 성능 평가 및 검증

PFFT_CoreGen을 사용하여 나온 Verilog-HDL로 모델링된 FFT 코어를 ModelSim과 Matlab을 사용하여 논리검증과 성능평가를 수행하였다. 그림 5는 성능평가 과정을 보인 것이며, 2진 랜덤 신호를 생성하여 변조(QPSK, 16-QAM, 64-QAM)한 후, 부동점(floating-point)연산을 갖는 이상적인 IFFT와 이득 조정을 거쳐 양자화된 데이터를 시뮬레이션 입력으로 사용하였다.

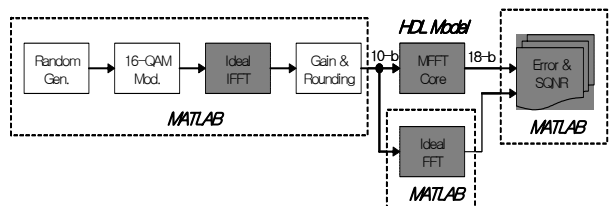


그림 5. FFT256/2k 코어의 성능 평가 방법

SQNR은 식 (2)에 의해 계산 되었으며 수식에서 A는 Matlab을 이용한 부동소수점으로 연산된 결과 값을 나타내며 B는 생성된 Verilog-HDL 코어로 연산된 결과 값을 나타낸다.

$$SQNR = \frac{\sum [Re(A)]^2 + \sum [Im(A)]^2}{\sum [Re(A) - Re(B)]^2 + \sum [Im(A) - Im(B)]^2} \quad (2)$$

그림 6은 PFFT_CoreGen의 SQNR 특성을 분석한 결과이다. 입력은 12-b, 출력은 24-b, 격자계수는 14-b으로 고정한 후 내부 데이터의 길이를 변화 시키면서 SQNR을 측정 한 결과이다. 내부 데이터의 길이가 16-b 인 경우 64-point에서 69dB, 128-point에서 62dB, 256-point에서 63dB, 512-point에서 57dB, 1024-point에서 48dB, 2048-point에서 51dB가 측정되었다.

표 2는 생성된 코어를 0.25- μm CMOS 셀 라이브러리로 합성한 결과이며, 입력은 10-b, 출력은 20-b, 내부 데이터는 16-b, 격자계수는 14-b으로 설정한 경우이다.

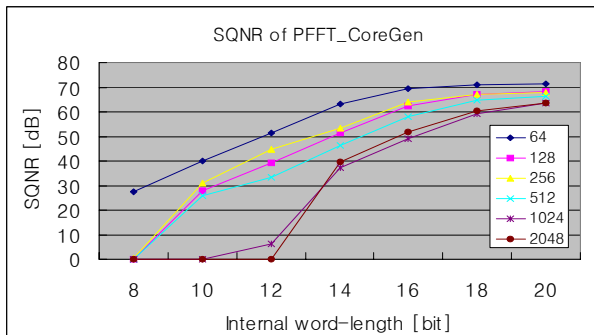


그림 6. 내부 데이터 길이에 따른 SQNR 특성

표 2. FFT 길이에 따른 하드웨어 복잡도

Length	Gate Count	RAM [bits]
64	22,899	1,312
128	36,903	3,392
512	37,365	6,336
256	42,500	12,480
1024	56,726	23,120
2048	58,377	52,672

타이밍 시뮬레이션 결과 최대 지연시간은 약 14-ns로 나타났으며, 레이아웃 후 배선에 의한 지연을 고려 하더라도 2.5V 전원전압에서 50-MHz 클럭으로 안전하게 동작 가능할 것으로 예측되었다. 생성된 코어는

64-point에서 73 cycles, 128-point에서 139 cycles, 256-point에서 268 cycles, 512-point에서 527 cycles, 1024-point에서 1,040 cycles, 2048-point에서 2,065 cycles의 latency를 갖는다.

VII. 결론

본 논문에서는 FFT 프로세서 IP의 연산 정밀도를 분석할 수 있도록 fixed-point FFT 시뮬레이터를 개발 하였으며, R2SDF 구조를 갖는 파라미터화된 FFT/IFFT 코어 생성기(PFFT_CoreGen)을 개발 하였다. PFFT_GoreGen는 C 모델링, ModelSim, Synopsys를 이용한 논리 합성과 시뮬레이션을 통해 검증하였다.

PFFT_CoreGen에서 생성되는 코어는 전체적인 성능이 우수하므로 OFDM 기반 및 응용분야에서 널리 활용될 수 있을 것이다.

참고문헌

- [1] 조용수, "무선 멀티미디어 통신을 위한 OFDM 기초", 대영사, 2001.
- [2] "FFT MegaCore Function V1.2.0", <http://www.altera.com/mysupport>, 2004
- [3] CSC2411QL 1024-point FFT/IFFT, Quick Logic Corp., 2001.
- [4] L. Jia, Y. Gao, J. Isoaho and H. Tenhuen, "A New VLSI-Oriented FFT Algorithm And Implementation" Proceeding of 1998 IEEE ASIC Conference, pp. 337-341, 1998.
- [5] Y.J. Hongil and J. Kim, "New efficient FFT algorithm and pipeline implementation results for OFDM/DMT applications", IEEE Trans. on Consumer Electronics, vol. 49, no. 1, pp. 14-20, Feb., 2003.

본 연구 사업은 정보통신부의 출연금 등으로 수행하고 있는 한국 전자통신연구원의 정보통신 연구 개발사업 위탁연구과제 연구결과입니다.

반도체설계교육센터(IDECC)의 CAD Tool 지원에 감사드립니다.