

# 시퀀셜 회로를 위한 리키지 최소화 입력 검색방법

\*이성철, 신현철, \*\*김경호  
 \*한양대학교 전자전기제어계측공학과  
 e-mail : [sclee@digital.hanyang.ac.kr](mailto:sclee@digital.hanyang.ac.kr), [shin@hanyang.ac.kr](mailto:shin@hanyang.ac.kr)  
 \*\*삼성전자 무선통신사업부  
 e-mail :

## Low Leakage Input Vector Searching Techniques for Sequential Circuits

\*Sungchul Lee, Hyunchul Shin, \*\*Kyungho Kim  
 \*Department of Electrical and Electronics Engineering  
 Hanyang University  
 \*Telecommunication networks  
 Samsung Electronics

### Abstract

Due to reduced device sizes and threshold voltages, leakage current becomes an important issue in CMOS design. In a CMOS combinational logic circuit, the leakage current in the standby state depends on the state of the inputs and thus can be minimized by applying an optimal input when the circuit is idling. In this paper, we present a New Input Vector Control algorithm, called Leakage Minimization by Input vector Control (LMIC) for minimal leakage power. This algorithm finds the minimal leakage vector and reduces leakage current up to 22.% on the average, for TSMC 0.18um process parameters. Minimal leakage vectors are very useful in reducing leakage currents in standby mode of operation.

### I. 서론

소모전력은 이동통신기기의 사용시간과 성능을 좌우하는 중요한 요소로서 자리잡고 있으며, 이동통신기에 사용하게 될 반도체를 설계하는데 있어서 소모전력은 매우 중요한 제약요소가 되고 있다. 소모전력은 동적 소모전력 (dynamic power consumption) 과 정적 소모전력 (static power consumption) 으로 나눌 수 있다.

MOSFET에서는 PN junction으로 인해 parasitic bipolar transistor가 생성되고, 낮아진  $V_{TH}$ 는 parasitic bipolar transistor로 인해 발생하는 leakage current를 지수적으로 증가시킨다. 따라서 leakage current는 고 집적, 저전력화 하는 현대의 반도체 설계에서, 소모 전력의 증가라는 문제를 야기한다. [3]

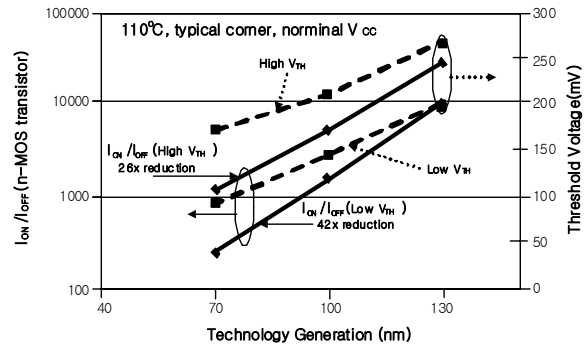


그림 1. 공정 발달에 따른 leakage current의 증가 [3]

그림 1에서 공정이 점점 발달할수록 off current와 on current의 차이가 줄어드는 것을 볼 수 있다. 공정이 발달할수록 전체 current에서 off current, 즉 leakage current가 차지하는 비중이 커지고 있는 것이다.

Leakage current를 줄이기 위해 gate로 power supply를 차단하는 방법, threshold voltage를 높이는 방법, input vector를 바꾸는 방법 등이 많이 사용되고 있다.

Idle time에서 supply voltage를 사용해 gate를 차단함으로써, leakage current의 발생을 줄이는 방법이 있다. 일반적으로 Sleep transistor라는 high  $V_{TH}$  transistor를 사용하여 supply voltage를 차단하는 gate를 형성, 소모전력을 감소시킨다. [2]

또한 threshold voltage를 높여 leakage current를 줄이는 방법이 있다. 보통 dual  $V_{TH}$ 를 사용한 방법 (DTCMOS)을 많이 사용한다[10]. 그림 2는 Dual  $V_{TH}$ 를 사용한 예이다.

회로가 idle 상태일 때에는 input vector를 최적화하여 leakage current를 최소화하는 방법이 있다. MOS가 stack구조를 이루면  $V_{DS}$ 가 감소하게 된다. 이로 인해 source와 drain간의 energy barrier는 낮아져, leakage

current가 감소한다. 이를 Drain Induced Barrier Lowering (DIBL) effect라 한다.[8] 그림 3에서와 같이 MOS의 stacking effect를 이용하면, input combination의 변경을 통해 leakage current를 줄일 수 있다. [5, 11]

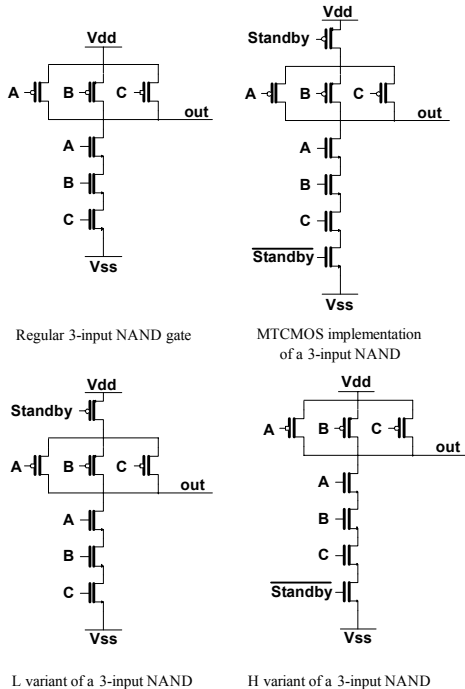
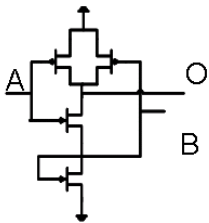


그림 2. Leakage current를 줄이기 위한 3-input NAND gate의 다양한 형태



input vector	leakage current(pA)
00	6.5
01	34.1
10	32.0
11	39.7

그림 3. NAND gate에서 input vector에 따른 leakage의 변화

Input vector를 최적화하여 leakage current를 최소화하는 방법으로, 모든 input pattern에 대해 simulation하여 Minimum Leakage Vector (MLV)를 찾는 방법이 있다. 이는 상당히 정확하지만, large circuit에선 최적의 답을 찾는데 시간이 너무 오래 걸려 그리 유용하지 못하다.[1]

또한 요구하는 정확도를 만족하는 범위 내에서 확률적 방법에 의해 MLV를 찾음으로 simulation의 횟수를

줄이는 방법이 있다.[7] 이 방법은 sleep period 길이에 따라 이 방법의 유용성이 달라진다.

본 논문에서는 회로가 idle 상태에 있을 때 input vector를 최적화하여 leakage current를 최소화하는 방법을 기술한다. 또한 위에서 제시한 문제들을 해결하기 위해 다음의 Leakage minimization by Input vector Control (LMIC) 알고리즘을 제안한다. 제안하는 알고리즘은 gate 단위의 최적화와 효과적인 탐색을 이용하여 leakage를 최소화하는 input vector를 효율적으로 찾을 수 있다. 또한 logic의 leakage 크기가 큰 gate부터 최적화하여, logic에서 minimal leakage vector를 찾는데 불필요한 input vector를 검색하는 시간을 최소한으로 줄일 수 있다.

## II. Leakage minimization by Input vector Control (LMIC)

본 장에서 minimal leakage vector를 찾기 위하여 initial input vector를 인가하고, leakage current에 따른 최적화 순서 결정하며, logic value를 전파하는 과정에 대해 설명한다. 또한 기존의 combinational 회로만이 아니라 sequential 회로에서 minimal leakage vector를 찾는 방법에 대해 제안한다.

### 2.1 Initial input vector의 인가

본 논문에서 MLV를 찾는 과정은 initial input vector를 사용한다는 점에서 기존의 방법과 다르다. 기존의 방법은 복잡도가 높아 회로(gate수)가 커지게 될 경우, 연산량이 지수적으로 증가하며, 큰 회로에서 MLV를 찾기가 현실적으로 어렵다.

초기의 initial input vector를 정하여 logic 전체의 값을 정하고, leakage를 계산한다. 다음으로 회로의 gate 중에서 leakage current 증가에 큰 영향을 미치는 gate부터 최적화할 수 있으며, 이를 최적화하여 효율적으로 leakage current를 줄일 수 있다.

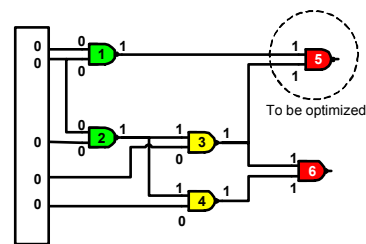


그림 4. gate 5 선택

그림 4는 ISCAS85 C17 예제에 initial input vector {00000}을 인가한 것으로, 입력신호를 알면 leakage current가 회로 전체에 어떻게 분포하는지 계산할 수 있다. 2 input NAND gate의 경우, 그림 3에서 보인 바와 같이 11이 leakage current가 가장 크고 00이 가장 적으며, 전체gate의 논리값을 아는 것으로 leakage current의 분포를 쉽게 알 수 있다.

2.2 Leakage current에 따른 최적화

초기의 input vector로부터 각 gate의 leakage current를 계산하면 이를 바탕으로 최적화 순서를 결정한다.

Leakage가 큰 gate부터 최적화를 수행하며, leakage가 같은 경우 임의로 순서를 정한다. 그림 4에서는 gate 5, 6번이 leakage가 가장 크므로 처음 최적화 gate로 5번을 정하게 된다. 5번 gate를 최적화하기 위해, 5번 gate의 input vector를 바꾸게 된다. leakage는 Hamming distance가 1인 vector부터 검색해 나가며, 그 중 leakage가 가장 적은 vector부터 탐색한다.

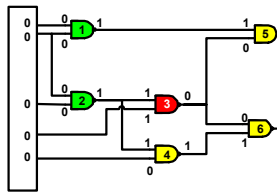


그림 5. Input vector from {11} to {10} of gate 5 has been changed

그림 5에서는 gate 5번의 input vector를 {11}에서 {10}으로 바꾼 결과를 보여준다.

2.3 Logic value의 전파

한 gate의 input vector를 변경하기 위해서는 그 gate의 input과 output의 값에 맞도록 바뀐 값을 전파해야 한다. 그림 5에서 gate 5의 input이 바뀜으로 인해 gate 3의 출력이 바뀌며, gate 3의 입력은 gate 3의 출력이 가능한 input set중에서 leakage가 가장 적고, Hamming distance가 가장 적은 input vector로 바뀌게 된다. 그림 5에서는 {10}이 {11}로 바뀐 것을 알 수 있다.

신호의 변경이 논리식의 모순 등의 이유로 불가능할 경우 신호의 변경을 되돌리고 다른 변경신호를 택하게 된다.

이 모든 과정이 모든 gate에 대해 leakage current가 더 이상 줄어들지 않을 때 까지 반복된다.

알고리즘의 전체 과정을 도식화하면 다음과 같다.

1. Choose an initial vector
2. For input vector  $w$  of gate  $k$ , and for each input bit  $I$  of  $w$ , calculate the potential leakage reduction,
 
$$priority = |Lav_g^1(k, w) - Lav_g^0(k, w)|$$
3. Put each  $w$  (with  $i$  and  $k$ ) in a priority queue
4. Until the priority queue is empty.
  - 4.1. Pop a new  $w(i, k)$  off the queue.
  - 4.2. Propagate the logic value change of the input  $w(i, k)$ .
  - 4.3. If propagation is not possible, undo and propagate to alternative paths, if any.
    - 4.3.1. If propagation is not possible, goto 4-1

4.4. Else if propagate is completed & leakage is not reduced, goto 4-1

4.5. Else (leakage reduced), update the input vector & goto step 2

5. When priority queue is empty, program finishes.

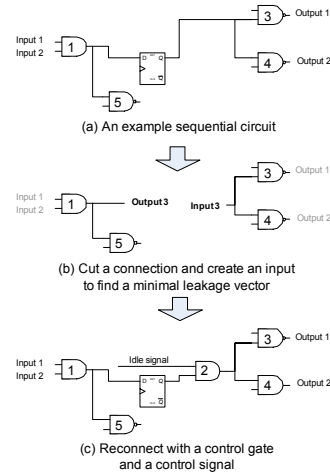


그림 7. New Input Vector Control for sequential circuits

2.4 Sequential 회로에서 leakage current

Sequential 회로에서는 현재 input state가 바로 전 입력의 영향을 받는 구조이므로 minimal leakage vector를 찾기가 어렵다. 본 논문에선 control gate를 삽입하는 방법으로 sequential 회로에서 minimal leakage vector를 검색한다.

그림 6에서 DFF(D-FlipFlop)을 1개 사용한 간단한 예제 회로를 볼 수 있다. 이 회로에서 gate 3과 gate 4는 NAND gate이므로 DFF은 leakage를 줄이기 위해 {1}을 출력해야한다. 따라서 DFF의 값에 관계없이 idle 상태일 때 {1}을 출력하기 위해 control gate를 삽입한다.

III. Experimental Results

다음의 표 1은 ISCAS85 예제에 대한 NIVC 결과이다.

표 1. LMIC 알고리즘으로 줄어든 leakage current (TSMC 0.18 um 공정)

Example	# gates	leakage current (pA)		Reduction (%)	CPU time [sec]
		worst	LMIC		
c432	160	7559	5042	33.30	1
c499	202	21092	12358	41.4	1
c880	383	18985	14327	24.5	1
c1355	546	20440	16569	18.9	1
c1908	880	36272	31288	13.7	3
c2670	1193	56837	42326	25.5	3
c3540	1669	78676	61488	21.9	6
c5315	2307	114295	93407	18.3	7
c7552	3512	161724	125548	22.4	20
Sum	10852	515885	402353	22.0	43

Leakage current 값은 TSMC 0.18um 공정값을 사용하여 H-Spice로 계산하였다. LMIC 연산은 Sun Ultra-80을 사용하였다. Input vector 최적화에 따라 leakage current가 평균 22% 줄어든 것을 볼 수 있다.

표 2. gate 10000개 이상의 random 예제에 대한 결과 (TSMC 0.18 um 공정)

Example	# gates	leakage current (pA)		Reduction (%)	CPU time [sec]
		worst	LMIC		
c10000	15015	774374	648353	16.3	2017
c20000	22855	1085651	908320	16.3	4982
c30000	33834	1638785	1391971	15.1	8654

10000개 이상의 gate에 대해서도 15.7%의 leakage reduction을 보인다.

표 3. ISCAS 89 sequential 회로에 대한 결과 (TSMC 0.18 um 공정)

Example	# gates	leakage current (pA)		Reduction (%)	CPU time [sec]
		worst	LMIC		
S27	10	499	582	14.36	0
S208.1	104	4334	4960	12.62	0
S298	119	4870	5528	11.92	0
S382	158	6854	7589	9.68	0
S386	159	6011	6955	13.57	0
S344	160	6289	7250	13.27	0
S349	161	6592	7595	13.21	0
S400	164	6579	7877	16.48	0
S444	181	7737	8447	8.40	0
S526	193	8083	8968	9.87	0
S526n	194	7767	9035	14.03	0
S510	211	8024	9086	11.69	0
S420.1	218	8727	9608	9.17	0
S832	287	10392	12192	14.76	0
S820	289	11063	11585	4.50	0
S641	379	14278	16916	15.60	0
S713	393	15904	17228	7.69	2
S953	395	15339	17226	10.95	2
S838.1	446	16856	20676	18.47	3
S1238	508	20261	22245	8.92	3
S1196	529	19345	22119	12.54	4
S5378	2779	105196	120811	12.92	32
S9234.1	5597	204268	249615	18.17	140
S9234	5597	208341	236375	11.86	168
S13207.1	7951	309427	349209	11.39	1224
S15850	9772	342993	410284	16.40	1994
S35932	16065	640678	778005	17.65	2244
total	62280	2016707	2377966	15.19	7374

sequential 회로에 대해서도 15%의 leakage reduction을 보인다.

#### IV. Conclusions

본 논문에서 제안한 NIVC 알고리즘은 gate 단위의 최적화를 통해 효과적인 탐색으로 leakage를 최소화하는 input vector를 효율적으로 찾을 수 있다. 회로의 gate 중에서 leakage 크기가 큰 gate부터 최적화하여,

logic에서 MLV를 찾는데 불필요한 input vector를 검색하는 시간을 줄이고, 최적으로 가까운 결과값을 얻을 수 있다.

#### V. Acknowledgements

H-SPICE를 포함한 CAD tool을 IDEC으로부터 제공 받았다.

#### 참고문헌

- [1] A. Abdollahi, F. Fallah, P. Massoud, "Runtime mechanisms for leakage current reduction in CMOS VLSI circuits", IEEE Proceedings of the 2002 International Symposium on Low Power Electronics and Design, 12-14, pp. 213-218, Aug. 2002.
- [2] A. Chandrakasan, W. Bowhill, F. Fox, "Design of High Performance Microprocessor Circuits", IEEE Press. 2000.
- [3] B. Chatterjee, M. Sachdev, S. Hsu, R. Krishnamurthy, and S. Borkar, "Effectiveness and Scaling Trends of Leakage Control Techniques for Sub-130nm CMOS Technology," ISLPED 03 August 25-27, 2003, Seoul, Korea
- [4] B. J. Sheu, et al., "BSIM : Berkeley Short-Channel IGFET model for MOS Transistors", IEEE Journal of Solid-State Circuits, vol.22, pp. 558-566, Aug. 1987.
- [5] C. Zhanping, M. Johnson, W. Liqiong, and W. Roy, "Estimation of standby leakage power in CMOS circuit considering accurate modeling of transistor stacks," IEEE Proceedings International Symposium on Low Power Electronics and Design, pp. 239-244, 10-12 Aug. 1998
- [6] F. Gao, and J.P. Hayes, "Exact and heuristic approaches to input vector control for leakage power reduction" Computer Aided Design, 2004. ICCAD-2004. IEEE/ACM International Conference, pp. 527 - 532, 7-11, Nov. 2004
- [7] J. Halter and F. Najm, "A Gate-Level Leakage Power Reduction Method for Ultra Low Power CMOS Circuits", IEEE Custom Integrated Circuits Conference, pp 475-478, 1997
- [8] J. Wenjie, V. Tiwari, E. Iglesia, A. Sinha, "Topological analysis for leakage prediction of digital circuits," Design Automation Conference, 2002. Proceedings of ASP-DAC 2002. Proceedings 7th Asia and South Pacific and the 15th International Conference on VLSI Design, pp. 39-44, 7-11 Jan. 2002
- [9] K. Chopra, B. Sarma, and K. Vrudhula, "Implicit Pseudo Boolean Enumeration Algorithms for Input Vector Control," Design Automation Conference 2004, 47-2, 7-11, Jun 2004
- [10] L. Wei, Z. Chan, M. Johnson, K. Roy and V. De, "Design and Optimization of Low Voltage High Performance Dual Threshold CMOS Circuits", Proceedings of the 35th Design Automation Conference(DAC), pp. 489-494, 1998.
- [11] M. Johnson, D. Somasekhar, and K. Roy, "Models and Algorithms for bounds in CMOS Circuits", IEEE Transactions on CAD of Integrated Circuits and Systems, Vol. 18, NO. 6, pp. 714-725, June 1999.