

이중 부스팅 회로를 이용한 저전압 SRAM

정상훈*, 엄윤주, 정연배
경북대학교 공과대학 전자공학과

A low voltage SRAM using double boosting scheme

Sang-Hoon Jung*, Yoon-Joo Eom, Yeonbae Chung
Department of Electronic Engineering
Kyungpook National University
E-mail : *shjung@ee.knu.ac.kr

Abstract

In this paper, a low voltage SRAM using double boosting scheme is described. A low supply voltage deteriorates the static noise margin (SNM) and the cell read-out current. For read/write operation, a selected word line and cell V_{DD} bias are boosted in a different level using double boosting scheme. This increases not only the static noise margin but also the cell read-out current at a low supply voltage. A low voltage SRAM with $32K \times 8bit$ implemented in a $0.18\mu m$ CMOS technology shows an access time of 26.1ns at 0.8V supply voltage.

I. 서론

PMP(Portable Multimedia Player), PDA(Personal Digital Assistance)와 같은 휴대용 멀티미디어 기기의 보급에 따라 고속이면서 전력 소모가 적은 메모리에 대한 수요가 급격하게 늘어나고 있다. 특히, SRAM 은 SoC (System on a Chip)와 같은 고집적 시스템에서 중요한 IP(Intellectual Property)블록이며, 전체 칩 면적에서 많은 부분을 차지한다. 또한 전체 전력 소모에서도 상당한 부분을 차지하기 때문에 SRAM 의 전력 소모를 줄이기

위한 다양한 기법들이 제안되었다[1].

전력 소모를 줄이기 위한 가장 효과적인 방법은 동작 전압 V_{DD} 을 줄이는 것이다. 그러나 동작 전압이 감소할수록 SRAM 셀의 SNM(Static Noise Margin)과 cell read-out current 가 감소하는 문제점이 발생한다. 이 문제점을 해결하기 위하여 몇 가지 기법들이 제안되었다[2][3]. 읽기 및 쓰기 동작 시에 워드라인의 전압을 부스팅함으로써 SRAM 의 cell read-out current 를 증가시키는 기법이 제안되었다. 그러나 이 기법은 부스팅된 워드라인 전압에 의해서 SRAM 셀의 SNM 이 감소하는 단점이 있다.

본 논문은 낮은 동작 전압에서 SRAM 셀의 SNM 과 cell read-out current 를 개선하기 위하여 이중 부스팅 회로를 이용한 저전압 SRAM(a low voltage SRAM using double boosting scheme: DBS-SRAM)을 제안한다. DBS-SRAM 은 읽기 및 쓰기 동작 시에 이중 부스팅 회로를 이용하여 선택된 워드라인과 셀 V_{DD} 바이어스 전압을 서로 다른 레벨로 동시에 부스팅함으로써 SRAM 셀의 SNM 과 cell read-out current 을 증가시킨다. 또한 대기 상태(standby mode)에서 SRAM 의 전력 소모를 줄이기 위해서 읽기 및 쓰기 동작 시에만 부스팅 전압을 발생하는 이중 부스팅 회로를 제안한다.

본 논문의 구성은 다음과 같다. II 장에서는 제안하

본 연구는 정보통신부 IT 기초기술연구지원사업(과제: B1220-0501-0122)과 IDEC CAD Tool 지원에 의해 수행되었음.

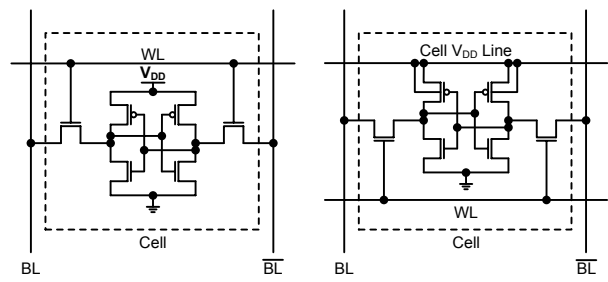
는 DBS-SRAM 구조를 설명하고, III 장에서는 이중 부스팅 회로를 설명한다. IV 장에서는 설계한 DBS-SRAM의 모의실험 결과를 보여준다. 마지막으로 V 장에서는 결론을 맺는다.

II. DBS-SRAM 의 구조

그림 1 은 기존 SRAM 셀과 제안하는 DBS-SRAM 셀의 구조이다. 기존 SRAM 셀의 pull-up PMOS 트랜지스터들은 V_{DD} 에 연결되어 있는 반면에, DBS-SRAM 셀에서는 cell V_{DD} line 에 연결되어 있다.

그림 2 는 읽기 및 쓰기 동작 파형을 보여준다. 낮은 동작 전압에 의해서 감소된 cell read-out current 를 증가시키기 위하여 읽기 동작 시에 선택된 워드라인 전압은 GND 에서 $1.5V_{DD}$ 로 부스팅된다. 부스팅된 워드라인 전압은 access 트랜지스터의 채널 컨덕턴스(channel conductance)를 증가시키고, 이로 인하여 cell read-out current 가 증가된다. 그러나 증가된 cell read-out current 에 의해서 SRAM 셀의 SNM 은 감소하게 된다. 이를 개선하기 위하여 이중 부스팅 회로를 이용하여 선택된 셀의 V_{DD} 바이어스 전압을 V_{DD} 에서 $2V_{DD}$ 로 부스팅한다. 부스팅된 셀의 V_{DD} 바이어스 전압은 pull-down NMOS 트랜지스터의 채널 컨덕턴스를 증가시키고, 이 NMOS 트랜지스터로 흐르는 전류가 증가하기 때문에 부스팅된 워드라인 전압에 의해서 감소된 셀의 SNM 을 증가시킨다. 쓰기 동작 시에 선택된 워드라인은 컬럼 디코더(column decoder)에 의해서 선택된 셀뿐 아니라 선택되지 않은 셀에도 연결되어 있다. 그래서 컬럼 디코더에 의해 선택된 셀은 새로운 데이터를 저장하지만 선택되지 않은 셀은 읽기 동작 상태에 있게 된다. 이때 선택되지 않은 셀의 SNM 은 감소하게 되고 외부 노이즈에 의해서 셀에 저장된 데이터가 뒤바뀔 위험이 있다. 그러므로 DBS-SRAM 은 쓰기 동작 시에 컬럼 디코더에 의해 선택되지 않은 셀의 SNM 을 확보하기 위해서 셀의 V_{DD} 바이어스 전압을 부스팅한다.

그림 3 은 DBS-SRAM 셀의 SNM 을 보여준다. 읽기 동작 시에 선택된 워드라인과 셀의 V_{DD} 바이어스 전압을 각각 $1.5V_{DD}$ 와 $2V_{DD}$ 로 동시에 부스팅함으로써, SRAM 셀의 SNM 은 $152mV$ 에서 $358mV$ 로 증가되는 것을 볼 수 있다. 또한 DBS-SRAM 은 증가된 cell read-out current 에 의해서 비트라인 지연시간이 기존 SRAM 에 비해 30% 정도 감소하기 때문에 액세스 시간(access



(a) 기존 SRAM 셀 (b) DBS-SRAM 셀

그림 1. 메모리 셀

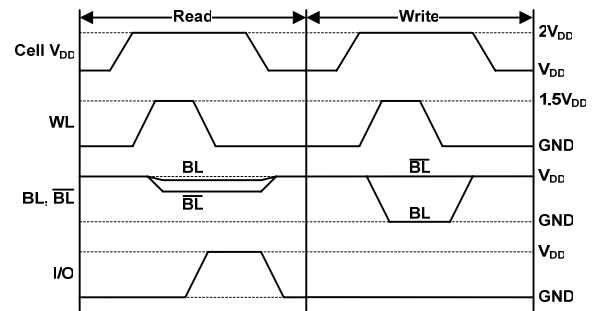
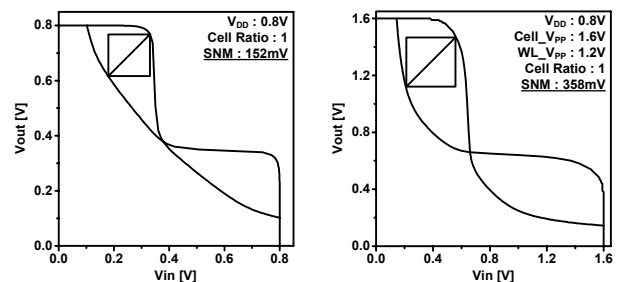


그림 2. 읽기 및 쓰기 동작에서의 파형들



(a) Before boosting

(b) After boosting

그림 3. DBS-SRAM 의 SNM

time)이 줄어든다.

그림 4 와 5 는 DBS-SRAM 의 간단한 회로와 전체 구조를 보여준다. DBS-SRAM 은 8 개의 셀 어레이 블록으로 구성되어 있으며, 각 셀 어레이 블록은 512 개의 워드라인과 64 개의 비트라인 쌍으로 구성되어 있다. 읽기 및 쓰기 동작 시에 더블 부스팅 회로(double boosting circuit)와 싱글 부스팅 회로(single boosting circuit)는 컨트롤 회로(control unit)의 제어 신호에 의해서 각각 $2V_{DD}$ 와 $1.5V_{DD}$ 의 부스팅 전압을 발생한다. VPP 스위치 회로(SW)는 프리디코더(predecoder)신호에 의해서 부스팅 전압을 선택된 셀 어레이 블록에만 출력함으로써, 출력단의 커패시턴스 증가에 의한 부스팅 효율의 저하를 방

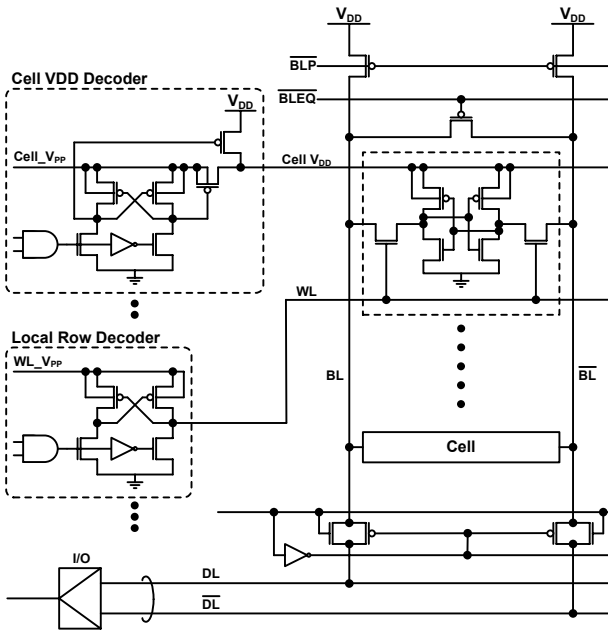


그림 4. DBS-SRAM의 간단한 회로

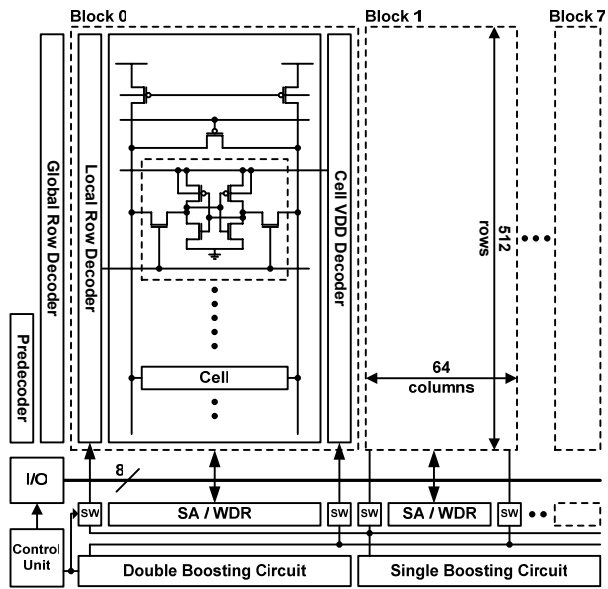


그림 5. DBS-SRAM의 전체 구조

지하고, 이에 따라 증가되는 면적을 최소화한다

III. 이중 부스팅 회로

동작 전압 V_{DD} 보다 높은 레벨의 부스팅 전압을 발생하기 위한 많은 온-칩 전하 펌프 회로(on-chip charge-pump circuit)들이 제안되었다[4][5]. 그러나 이러한 회로들은 대기 상태에서 높은 레벨의 부스팅 전압을 유지하기 위하여 전력 소모가 발생하기 때문에 배터리(battery)

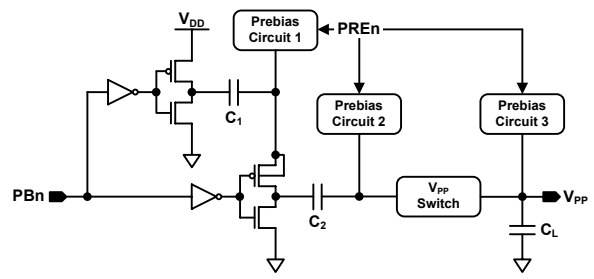
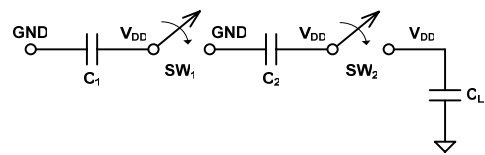
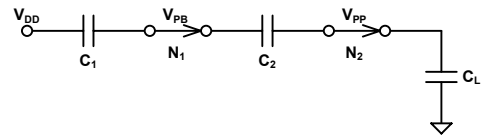


그림 6. 이중 부스팅 회로의 구조



(a) 프리차지 동작



(b) 부스팅 동작

그림 7. 이중 부스팅 회로의 동작 개념

로 동작하는 SRAM에는 적합하지 않다. 따라서 대기 상태에서 전력 소모를 줄이기 위하여 읽기 또는 쓰기 동작 시에만 부스팅 전압을 발생하는 새로운 이중 부스팅 회로를 제안한다.

그림 6은 제안하는 이중 부스팅 회로의 구조를 보여준다. 이중 부스팅 회로는 직렬로 연결된 2단의 부스팅 회로로 구성되어 있으며, 각 단의 부스팅 회로는 프리차지(precharge) 회로, 커패시터 그리고 스위치 회로로 구성되어 있다. 프리차지 회로는 프리차지 신호(PREn)에 의해서 각 단의 부스팅 회로의 출력 노드를 V_{DD} 전압으로 충전한다. 스위치 회로는 부스팅 신호(PBn)에 의해서 앞 단의 부스팅 전압을 다음 단의 부스팅 회로의 입력 단으로 전달한다.

그림 7은 이중 부스팅 회로의 동작 개념을 보여준다. 이중 부스팅 회로는 컨트롤 회로의 제어 신호에 의해서 프리차지 동작과 부스팅 동작을 수행하게 된다. 먼저, 커패시터 C_1 , C_2 그리고 C_L 은 프리차지 회로에 의해서 V_{DD} 전압으로 충전된 후 floating 된다. 부스팅 신호에 의해서 커패시터 C_1 의 한 단자는 GND에서 V_{DD} 전압으로 천이되고, 이에 따라 커패시터 C_1 의 타 단자에 연결된 출력 노드(N_1)는 커패시터 커플링(capacitor

coupling)효과에 의해 V_{DD} 전압에서 부스팅 전압(V_{PB})으로 부스팅된다. 그 다음에, 스위치 SW_1 과 SW_2 는 커패시터(C_1, C_2, C_L)을 직렬로 연결한다. 이때, 커패시터 C_2 의 한 단자는 GND 에서 부스팅 전압(V_{PB})으로 천이되고, 이에 따라 커패시터 C_2 의 타 단자에 연결된 최종 출력 노드(N_2)는 V_{DD} 전압에서 최종 부스팅 전압(V_{PP})으로 부스팅된다. 커패시터 C_1 과 C_2 사이의 전하량 관계와 커패시터 C_2 와 C_L 사이의 전하량 관계는 아래의 식 (3.1)과 식 (3.2)에 나타나 있다.

$$C_1(V_{DD}-0)+C_2(0-V_{DD}) = C_1(V_{PB}-V_{DD})+C_2(V_{PB}-V_{PP}) \quad (3.1)$$

$$C_2(V_{DD}-0)+C_L(V_{DD}-0) = C_2(V_{PP}-V_{PB})+C_L(V_{PP}-0) \quad (3.2)$$

여기서, V_{PB} 은 N(node)1 의 전압이고, V_{PP} 는 N(node)2 의 전압이다. 위의 식 (3.1)과 식(3.2)에서 최종 부스팅 전압이 계산된다. 그리고 읽기 및 쓰기 동작이 완료된 후에 이중 부스팅 회로는 다시 프리차지 동작을 수행하게 된다. 본 논문에서 제안하는 이중 부스팅 회로는 직렬로 연결된 2 단의 부스팅 회로가 동시에 부스팅 동작을 수행함으로써, 빠른 속도로 요구되는 부스팅 전압을 발생 하는 장점이 있다.

IV. 모의실험 결과

제안한 DBS-SRAM 은 0.18um CMOS 공정을 이용하여 설계하였으며, HSPICE 모델 파라미터 (model parameter)을 사용하여 모의실험을 수행하였다. 그림 8 은 0.8V, 25°C 에서 읽기 동작의 모의실험 파형을 나타내었다. 더블 부스팅 회로와 싱글 부스팅 회로는 0.8V 동작 전압에서 각각 1.6V 와 1.2V 의 부스팅 전압을 발생한다. DBS-SRAM 의 액세스 시간은 26.1ns 이고, 최대 동작 주파수는 33MHz 이며, 읽기와 쓰기 동작에서 각각 2.59mW 와 1.98mW 의 전력을 소모한다.

V. 결론

본 논문에서는 낮은 동작 전압에 의해서 감소된 SRAM 셀의 SNM 과 cell read-out current 을 개선하기 위하여 이중 부스팅 회로를 이용한 저전압 SRAM 을 제안하였다. 읽기 및 쓰기 동작 시에 이중 부스팅 회로를 이용하여 선택된 워드라인과 셀 V_{DD} 바이어스 전압을 각각 $1.5V_{DD}$ 와 $2V_{DD}$ 로 동시에 부스팅함으로써 SRAM

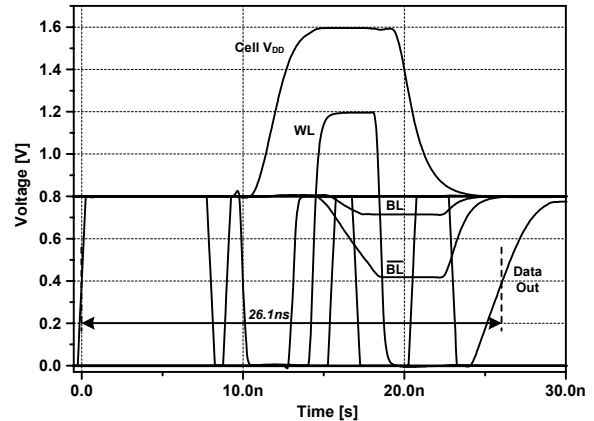


그림 8. 읽기 동작의 모의실험 파형 ($V_{DD}=0.8V, T=25^\circ C$)

셀의 SNM 과 cell read-out current 을 개선하였다. 0.8V, 256-Kb DBS-SRAM 은 0.18um CMOS 공정을 이용하여 설계하였으며, 모의실험을 통해서 그 동작을 검증하였다. 본 논문에서 제안한 DBS-SRAM 은 동작속도가 고속이면서 전력 소모가 적은 메모리를 요구하는 휴대용 멀티미디어 기기에서 유용하게 사용될 수 있다.

참고문헌

- [1] K. Itoh, K. Sasaki, and Y. Nakagome, "Trends in low-power RAM circuit technologies," Proc. IEEE, vol. 83, pp524-543, Apr. 1995.
- [2] K. Ishibashi, K. Takasugi, T. Hashimoto, and K. Sasaki, "A 1-V TFT-load SRAM using two-step word-voltage method," IEEE J. Solid-State Circuits, vol. 27, pp. 1519-1524, Nov. 1992.
- [3] H. Morimura and N. Shibata, "A step-down boosted-wordline scheme for 1-V battery-operated fast SRAM's," IEEE J. Solid-State Circuits, vol. 33, pp. 1220-1227, Aug. 1998.
- [4] D. Lee, Y. Seok, D. Chio, J. Lee, Y. Kim, H. Kim, D. Jun, and O. Kwon, "A 35ns 64Mb DRAM using on-chip boosted power supply," in Symp. VLSI Circuits Dig. Tech. Papers, pp. 64-65, June 1992.
- [5] R. C. Foss, G. Allan, P. Gillingham, F. Larochelle, V. Lines, and G. Shimokura, "Application of a high-voltage pumped supply for low-power DRAM," in Symp. VLSI Circuits Dig. Tech. Papers, pp. 106-107, June 1992.