

나노급 CMOSFET을 위한 SOI 기판에서의 Ni/Co 증착 두께에 따른 Nickel silicide 특성 분석

정순연, 염주호, 장홍국, 김선용, 신창우, 오순영, 윤장근, 김용진, 이원재, 왕진석, 이희덕
충남대학교 전자공학과

A Study of Nickel Silicide Formed on SOI Substrate with Different Deposited Ni/Co Thicknesses for Nanoscale CMOSFET

Soon-Yen Jung, Ju -Ho Yum, Houn-g-Kuk Jang, Sun-Yong Kim, Chang-Woo Shin, Soon-Young Oh, Jang-Gn
Yun, Yong-Jin Kim, Won-Jae Lee, Jin-Suk Wang, and Hi-Deok Lee
Dept. of Electronics Engineering, Chungnam National University
E-mail :jsy3228@cnu.ac.kr, hdlee@cnu.ac.kr

Abstract

본 논문에서는 서로 다른 Si 두께 ($T_{Si} = 27, 50 \text{ nm}$)를 갖는 SOI (Silicon On Insulator) 기판 위에 다양한 두께의 Ni/Co를 순차적으로 증착한 후 Bulk-Si과의 비교를 통해 Silicide의 형성 특성에 대하여 분석하였다. 우선 급속 열처리 (RTP, Rapid Thermal Processing)를 통하여 Silicide를 형성한 후 측정결과 Si두께에 따라 Silicide의 특성이 달라짐을 확인하였다. 두꺼운 두께의 Si-film을 갖는 SOI 기판을 사용한 경우 증착된 금속의 두께에 따라 Bulk-Si와 비슷한 면저항 특성을 보였으나, 얇은 두께의 Si-film을 갖는 SOI기판을 사용한 경우에는 제한된 Si의 공급으로 인한 Silicide의 비저항 증가로 인하여 증착된 금속의 두께에 따라 면저항이 감소하다가 다시 증가하는 'V' 자형 곡선을 나타내었다.

I. 서론

CMOSFET 소자는 ULSI (Ultra Large Scale Integration)

본 논문은 한국과학재단 기초과학연구사업 (과제 : R05 -2003-000-10215-0)의 지원 하에 이루어졌음.

본 연구에 사용된 SOI wafer는 SUMCO사에서 공동연구의 일환으로 제공한 것임.

공정이 발전함에 따라 소자의 크기가 급격히 감소하고 있으며, 최근에는 100 nm 이하의 나노 영역에서 소자 제작 공정 기술에 대한 연구가 매우 활발히 진행되고 있다. 하지만, 이와 함께 게이트 누설 전류, 단채널 효과, Source/Drain 접합 누설 전류 등의 문제점들이 함께 나타나고 있어 그 해결책이 매우 필요한 상황에 있으며 [1], 이러한 문제점들을 기존의 Bulk-Si를 SOI 기판으로 대체함으로써 개선이 가능하다고 여겨지고 있다 [2].

특히 매몰 산화층 위에 형성된 Si의 두께를 줄임으로써 (Si-film의 두께 < 50 nm) [3], 게이트 구동에 따라 Si-film 부분이 완전 공핍 (Fully depleted) 되며, 게이트의 구동력이 높아져 단채널 효과가 감소하고 또한 높은 구동 전류를 얻을 수 있는 장점이 있다. 하지만, 완전 공핍된 MOSFET을 위한 얇은 Si-film 두께로 인하여 Source/Drain 부분에 기생 저항 성분이 증가하게 된다 [4]. 이의 해결을 위하여 Source/Drain 부분을 완전히 Silicide 화하는 것 (Fully Silicided Source/Drain)이 불가피하다고 할 수 있다 [2],[5]. 하지만 얇은 Si-film 층에서는 제한된 Si의 양으로 인하여 증착되는 금속의 두께에 따라 서로 다른 비저항을 갖는 Silicide 상 (Phase)이 형성되게 되므로 Si-film의 두께에 따라 증착되는 금속의 두께를 조절하는 것이 매우 필요하다 [2],[4],[6].

따라서, 본 논문에서는 증착 되는 금속 (Ni/Co) 의 두께에 따른 Silicide 형성 특성을 서로 다른 Si-film 두께를 갖는 SOI 기판에서 연구하였다. XRD (X-ray Diffraction)를 사용하여 상 (Phase) 변이를 관찰하였으며, FE-SEM (Field Emission Scanning Electron Microscopy, 한국 기초 과학 지원 연구원 전주 분소, 모델명 S-4700)을 통하여 증착된 Ni/Co의 두께 및 Silicide의 두께 그리고, 소모된 Si의 양을 측정하였다.

II. 실험 방법

본 실험을 위하여 서로 다른 Si-film 두께 (27, 50 nm) 를 갖는 SOI 기판을 사용하였다. 금속 박막을 증착하기 전에 DI water으로 희석시킨 HF 용액(HF : DI = 1 : 100) 에서 30초간 자연 산화막을 식각 하였다. RF magnetron sputter를 사용하여 기본 진공도 (base pressure) 및 증착 진공도 (working pressure) 를 각각 5×10^{-7} 및 3×10^{-3} Torr 에서 Ni/Co (3/1, 9/3, 15/5, 21/7, 27/9 nm) 을 순차적으로 증착 하였다. 증착 전에 충분한 pre-sputter로 오염을 방지하였으며, 증착하는 동안 wafer holder 를 회전시켜 증착의 균일도를 높였다. Ni/Co Silicide형성을 위해 금속 열처리를 기본 진공도 3×10^{-2} Torr에서 60초간 실시하였으며, Silicide 형성 후 반응하지 않은 금속은 $H_2SO_4 : H_2O_2$ (4 : 1) 용액에서 선택적으로 식각 하였다. 열 안정성 분석 실험을 위하여 고순도 질소 (N_2 , 99.99 %) 분위기에서 고온 열처리 (Furnace Anneal) 로 650 °C 에서 30 분간 열처리하였으며, FPP (Four-Point Probe)를 이용하여 증착된 금속의 두께 및 금속 열처리 온도에 따른 Silicide의 면저항을 측정하였다. 형성된 Silicide의 증착된 금속의 두께에 따른 상변이 특성 분석을 위하여 XRD를 이용하였으며, Silicide의 단면특성과 두께 확인을 위해 FE-SEM을 사용하였다.

III. 실험 결과

그림 1 은 Si-film 의 두께가 각각 27 nm와 50 nm에 증착된 Ni/Co의 두께를 변화시키며 Silicide를 형성 한 후의 면저항 특성이다. Si-film의 두께가 비교적 두꺼운 경우 (-●-, SOI_50 nm) Bulk-Si 와 마찬가지로 증착된 금속에 비례적으로 silicide의 면저항이 감소하였다. 하지만, Si-film 의 두께가 얇은 경우 (-○-, SOI_27 nm) 에는 Ni/Co의 두께가 15/5 nm 를 넘어서면서부터

면저항이 오히려 증가하는 특성을 보이게 되며 전체적인 면저항의 곡선이 ‘V’ 자 형이 됨을 알 수 있다.

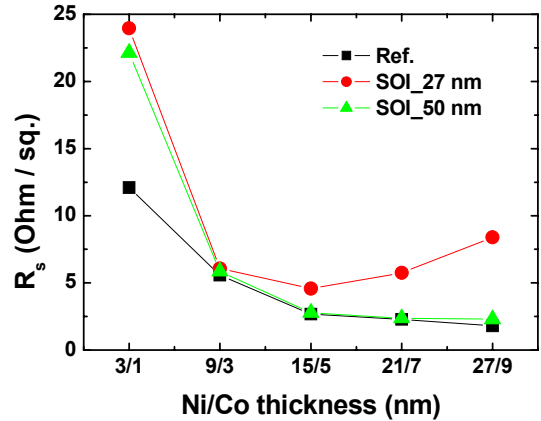


그림 1. SOI기판에 Ni/Co 를 적용한 Ni Silicide의 금속 열처리 550°C, 60's, Ni/Co두께에 따른 면 저항 특성.

27 nm 의 Si-film 을 갖는 SOI 에서의 증착된 Ni/Co 두께에 따른 XRD 분석 결과를 그림 2에 나타내었다. 본 실험에서는 사용된 Ni의 양이 Co보다 많기 x-축에서 Silicide의 peak이 형성된 위치가 Ni Silicide에서와 같다고 가정하였다. 27 nm 의 Si-film 을 갖는 SOI 기판에서는 Ni/Co의 두께가 15/5 nm 이후부터 면저항이 증가하였는데, 그림 2 의 XRD 분석 결과를 보면 이 두께 이후부터 metal-rich silicide peak이 많아지고 있음을 볼 수 있다. 따라서 Ni_2Si 의 형성으로 인해 면저항이 증가하였음을 예상할 수 있다.

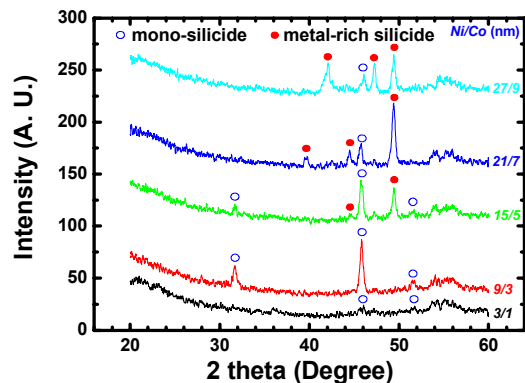


그림 2. XRD 에 의한 SOI 27 nm 에서의 Ni/Co 두께에 따른 상 변이 분석.

그림 3은 Bulk-Si 기판 위에 각각의 두께의 Ni/Co를 증착한 후 550℃ 에서 60 초간 급속열처리 한 후 Silicide의 단면을 FE-SEM으로 관찰한 것이다. 증착된 Ni/Co의 두께가 증가할수록 더 두꺼운 Silicide가 형성되었으며 이에 따라 그림 1 에서와 같이 면저항이 감소함을 알 수 있다.

그림 4는 27 nm 의 Si-film 을 갖는 SOI 기판 위에서 서로 다른 두께의 Ni/Co 를 증착한 후 Bulk-Si 와 같은 조건에서 급속 열처리 한 후의 FE-SEM 단면이다. 증착된 Ni/Co의 두께가 얇은 경우에는 그림 4(a) 에서와 같이 Si-film 이 완전히 반응하지 않고 Silicide 아래에 남아 있음을 알 수 있다. 증착한 두께가 두꺼워 짐에 따라 모든 Si-film 이 완전히 반응하였다. 하지만, 그림 3(d) 와 그림 4(d) 를 비교해 볼 때, 얇은 두께의 Si-film 을 갖는 SOI 기판에서는 Bulk-Si 에서 보다 약간 얇은 Silicide 층이 형성됨을 볼 수 있다. 따라서, 두께가 얇은 Si-film을 갖는 SOI 기판에서는 제한된 Si-film의 두께로 인하여 비저항 증가뿐 만 아니라 Silicide 두께 또한 감소하고, 이로 인하여 면저항의 증가를 야기 시킬 수 있음을 알 수 있다.

Ni/Co가 21/7 nm 증착된 50 nm의 Si-film 을 갖는 SOI 기판에서 고온 열처리 전, 후 FE-SEM 단면을 그림 5에 나타내었다. 특이한 점은 급속 농후 상 (Metal-rich phase)을 갖을 것으로 예상되는 Silicide가 Silicide/BOX 계면에 모여 있는 것이다. 이는 고온 열처리로 인하여 금속들이 Silicide 내에서 빠르게 확산하여 아래쪽으로 모여 들고 있음을 나타낸다.

그림 6에서는 고온 열처리 후의 면저항 변화를 나타내었다. Ni/Co 가 21/7 nm 증착된 50 nm 의 Si-film 을 갖는 SOI 기판의 면저항이 여전히 낮은 것으로 보아 Silicide 층은 여전히 남아 있으며, 불안정하게 위치해 있던 금속들만이 확산하여 아래쪽에 모여 있음을 알 수 있다.

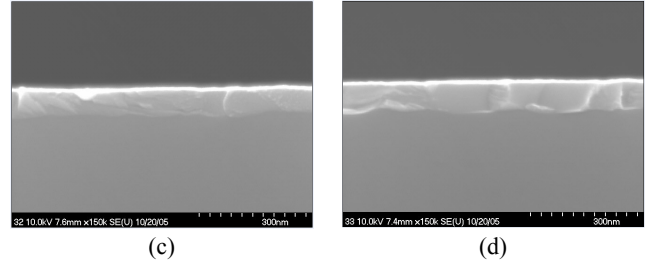
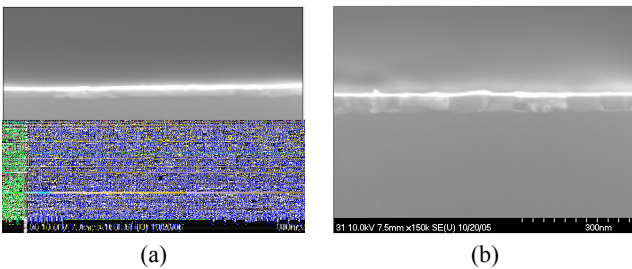


그림 3. Bulk-Si 기판 위에서 서로 다른 두께의 Ni/Co를 증착한 후 550℃ 에서 60초간 급속 열처리 한 뒤 FE-SEM 이미지. (a) Ni/Co (9/3 nm), (b) Ni/Co (15/5 nm), (c) Ni/Co (21/7 nm), (d) Ni/Co (27/9 nm).

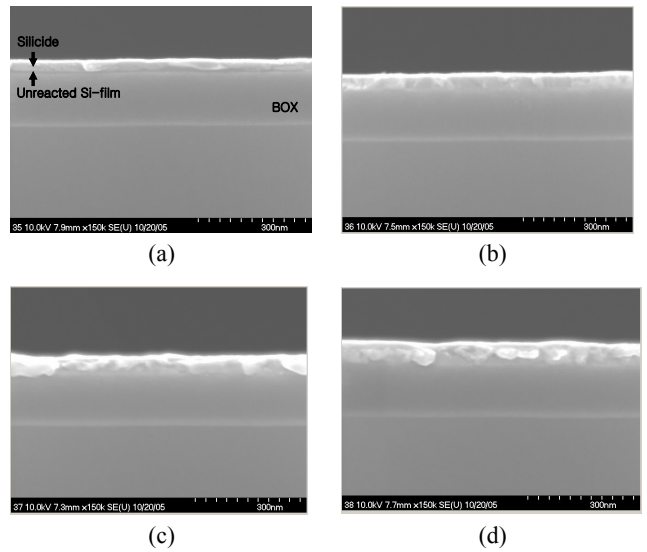


그림 4. 27 nm 의 Si-film 을 갖는 SOI 기판 위에서 서로 다른 두께의 Ni/Co를 증착한 후 550℃ 에서 60초간 급속 열처리 한 뒤 FE-SEM 이미지. (a) Ni/Co (9/3 nm), (b) Ni/Co (15/5 nm), (c) Ni/Co (21/7 nm), (d) Ni/Co (27/9 nm).

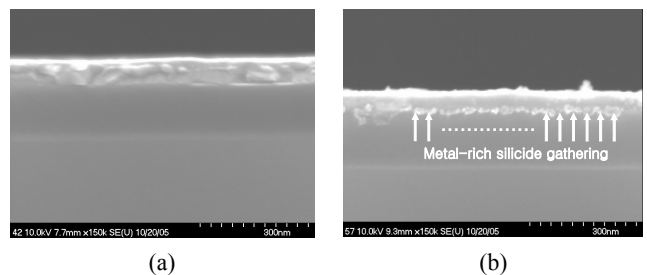


그림 5. Ni/Co (21/7 nm) 이 증착된 50 nm 의 Si-film 을 갖는 SOI 기판에서의 고온 열처리 (650 °C, 30분) (a) 전, (b) 후 FE-SEM 단면.

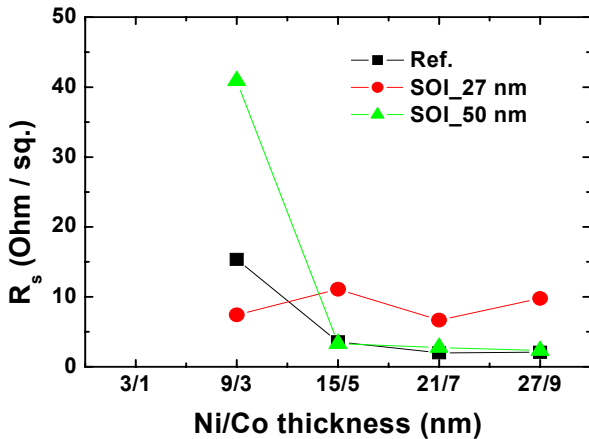


그림 6. 고온 열처리 (650 °C, 30 분) 후 면저항 변화.

50nm의 Si-film 을 갖는 SOI 기판에서 두꺼운 두께의 Ni/Co 가 증착된 경우 (Ni/Co = 15/5, 21/7, 27/9 nm) 고온 열처리 전과 비교하였을 때 면저항 차이가 거의 나타나지 않았다. 하지만, 얇은 두께의 Ni/Co 가 증착된 경우 (Ni/Co = 3/1 nm) 에는 면저항이 측정되지 않을 만큼 급격한 증가를 보였다. 또한 비교적 두께가 얇은 (Ni/Co = 9/3 nm) 를 증착한 경우에는 Bulk-Si 와 50 nm 의 Si-film 을 갖는 SOI 에서는 금속이 확산할 수 있는 여분의 Si-film 이 존재하기 때문에 면저항이 상당히 증가한 반면, 두께가 얇은 Si-film 을 갖는 SOI 기판 (27 nm) 에서는 면저항 변화가 거의 없는 것으로 나타났다.

V. 결론

본 논문에서는 서로 다른 Si-film 두께를 갖는 SOI 기판 위에 증착된 Ni/Co 두께변화에 따른 Silicide 형성 특성에 관하여 연구하였다. 두께가 얇은 Si-film 을 갖는 SOI 기판에서는 한정된 Si 의 공급으로 인한 비저항 증가 및 Silicide 두께 제한으로 인하여 증착된 Ni/Co 의 두께에 따라 면저항이 감소하다가 증가하는 ‘V’ 형 곡선을 나타내었다. 고온 열처리 후 증착된 Ni/Co 이 두께가 두꺼운 경우에는 금속 농후 상을 갖는 Silicide 가 Silicide/BOX 계면에 모임을 FE-SEM 분석을 통하여 확인하였다. 또한 두께가 두꺼운 Silicide 는 열 안정성 면에서 뛰어난 특성을 보였으며, Si-film 의 두께가 얇을 경우에는 얇은 Silicide 가 형성된 경우에도 고온 열처리

후 면저항의 변화가 적은 것으로 나타났다.

References

[1] Jang-Gn Yun, Soon-Young Oh, Bin-Feng Huang, Hee-Hwan Ji, Yong-Goo Kim, Seong-Hyung Park, Heui-Seung Lee, Dae-Byung Kim, Ui-Sik Kim, Han-Seob Cha, Sang-Bum Hu, Jeong-Gun Lee, Sung-Kweon Baek, Hyun-Sang Hwang, and Hi-Deok Lee, “Highly Thermal Robust NiSi for Nanoscale MOSFETs Utilizing a Novel Hydrogen Plasma Immersion Ion Implantation and Ni-Co-TiN Tri-Layer”, IEE ELECTRON DEVICE LETTERS. , Vol. 26, No. 2, pp. 90-92, 2005.

[2] Tommy C. Hsiao, Ping Liu, and Jason C. S. Woo, “An Advanced Ge Preamorphization Salicide Technology for Ultra-Thin-Film SOI CMOS Devices”, IEE ELECTRON DEVICE LETTERS. , Vol. 18, No. 7, pp. 309-311, 1997.

[3] Jer-Shen Maa, Bruce Ulrich, Sheng Teng Hsu, and Greg Stecker, “Selective Deposition of TiSi₂ on Ultra-Thin Silicon-On Insulator (SOI)”, Thin Solid Films, Vol. 332, pp. 412-417, 1998.

[4] Lisa T. Su, Melanie J. Sherony, Hang Hu, James E. Chung, and Dimitri A. Antoniadis, Fellow, “Optimization of Series Resistance in Sub-0.2 μm SOI MOSFET ´s”, IEE ELECTRON DEVICE LETTERS. , Vol. 15, No. 9, pp. 363-365, 1994.

[5] Jian Chen, Jean-Pierre Colinge, “Study on Titanium Salicide Process for Thin-Film SOI Devices”, Microelectronic Engineering, Vol. 33, pp. 189-194, 1997.

[6] A. Alberti, B. Catra, C. Bongiorno, G. Mannino, V. Privitera, T. Kammler, and T. Feudel, “Thin Nickel Silicide Layer Formation on Silicide on Insulator Material”, Materials Science and Engineering B 114-115, pp.42-45, 2004.