

Shallow S/D Junction에 적용 가능한 NiSi를 형성하기 위한 Ni-Pd 합금의 특성 연구

이원재, 오순영, 아그츠바야르 투야, 윤장근, 김용진, 장잉잉, 종준, 김도우,
*차한섭, *허상범, 왕진석, 이희덕
충남대학교 전자공학과, *매그너칩반도체 연구소

The Study of Ni-Pd Alloy Characteristics to Form a NiSi for Shallow S/D Junction

Won-Jae Lee, Soon-Young Oh, Tuya Agchbayar, Jang-Gn Yun, Yong-Jin Kim, Ying-Ying Zhang, Zhun
Zhong, Do-Woo Kim, Han-Seob Cha*, Sang-Bum Heo*, Jin-Suk Wang and Hi-Deok Lee
Dept. of Electronics Engineering, Chungnam National University
*R&D Division, MagnaChip Semiconductor
E-mail : id2when@cnu.ac.kr, hdlee@cnu.ac.kr

Abstract

In this paper, the formation and thermal stability of Ni-silicide using Ni-Pd alloys is studied for ultra shallow S/D junction of nano-scale CMOSFETs. There are no different effects when Ni-Pd is used in single structure and TiN capping structure. But, in case of Cobalt interlayer structure, it was found that Pure Ni had lower sheet resistance than Ni-Pd, because of a thick silicide. Also, Ni-Pd has merits that surface of silicide and interface between silicide and silicon have a good morphology characteristics. As a result, Ni-Pd is an optimal candidate for shallow S/D junction when cobalt is used for thermal stability.

I. 서론

반도체 소자의 집적기술은 지속적으로 발전하여 최근에는 게이트 길이가 나노크기를 갖는 소자로 발전하였다. 그러나 게이트 선폭이 작아지면서 소스-

드레인 간의 간격이 가까워져 SCE(Short Channel Effect)가 증가하게 되었으며, 이러한 SCE를 억제하면서 고성능 소자를 구현하기 위해서는 크게 몇 가지의 기술 개발이 이루어져 하는데 기존 게이트 산화막의 High-k로의 대체, Shallow Junction 구현 및 이에 적합한 Silicide 구현, Low-k IMD/Cu interconnection을 통한 delay 감소 등을 주요한 개발 과제로 들 수 있다. 이 중에서 silicided shallow junction 형성기술은 소자의 SCE, RC delay, off-state power를 결정한다는 점에서 매우 중요하다. 게이트 크기가 100nm 미만으로 구현되면 SCE가 커지게 되는 데 이를 억제하기 위해서는 접합깊이를 최대한 낮추어야 하고 이러한 Shallow junction이 급격한 형태로(abrupt) 형성됨에 따라 누설전류가 커지게 된다. 더욱이 여기에 High-Speed 구현을 위해서 실리사이드를 형성시켜야 하는데 실리사이드 두께가 두꺼워지면 누설전류가 급격히 증가하여 Off-state Power가 증가하게 되고, 너무 얇게 되면 Gate Poly 및 Source/Drain의 면저항이 증가하여 소자의 속도를 떨어뜨리게 된다. Silicide 물질로는 현재 $CoSi_2$ 가 가장 널리 사용되고 있지만, Co-Silicide는 Si

소모율이 커서 Nano-scale CMOS를 위한 ultra shallow junction에는 적합하지 않은 것으로 판단되어 Ni-silicide를 새로운 대체물질로 고려하여 많은 연구가 진행되고 있다. Ni-Silicide는 Co-Silicide의 Si 소모율, 면저항, 접촉저항 등 모든 면에서 우수한 특성을 보이고 있어 앞으로의 Nano CMOS 개발에 꼭 필요한 기술이라 할 수 있다.[1]-[2] 하지만 Ni-Silicide technology를 CMOS에 적용하기 위해서는 후속공정에 대한 열 안정성이 확보되어야 하는데 NiSi는 고온의 열처리에 대해서는 매우 취약하여 고온공정에 의해 쉽게 비저항이 높은 NiSi₂로의 상변이가 일어나고 응집이 발생하여 면저항이 급격히 증가하여 소자의 속도를 저하시킨다. 이러한 열 안정성 개선을 위해서 Pd, Pt, Ta, Co와 같은 층(layer)을 interlayer로 증착하는 연구가 보고되고 있다.[3]-[5]

본 논문에서는 Ni-Pd 합금을 이용한 silicide의 열안정성과 shallow Junction에 맞는 실리사이드의 형성에 대해 연구하였다. 특히, 실리사이드 형성 시 합금의 영향에 대해 주안점을 두었으며, 합금 구조에서의 Ni-silicide 형성 특성을 조사하기 위해 급속 열처리 온도를 달리하여 최적의 열처리를 얻었으며 열안정성 평가를 위한 후속 고온 열처리를 550~700 °C에서 30분간 적용하였다.

II. 본론

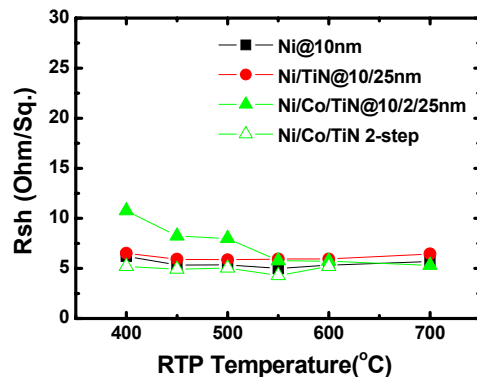
1. 실험 방법

P-type Si 기판에 순수 Ni과 5 at%의 Pd를 갖는 Ni-Pd 합금을 사용하였다. 기판의 자연 산화막을 1% HF 용액에서 식각하였으며, Ion beam sputter를 이용하여 각각의 단일 구조와(Ni, Ni-Pd : 10nm) TiN capping 구조(Ni/TiN, Ni-Pd/TiN : 10/25nm), Co (2nm)와 TiN (25nm)을 inter와 capping layer로 사용한 구조로 (Ni/Co/TiN, Ni-Pd/Co/TiN) 각각 증착하였다. 그리고, Ni silicide를 형성하기 위한 최적의 온도를 찾기 위해 30 mTorr 이하의 진공에서 급속열처리 (RTP)를 400 ~ 700 °C의 온도로 변화시키면서 30초간 실시하였으며 Cobalt interlayer 구조에 한하여 2-Step RTP(500, 700°C)를 실시하였다.[4]-[5] Ni-silicide 형성 후 반

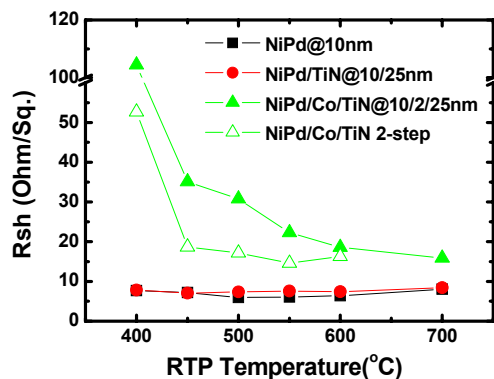
응하지 않은 금속 및 TiN capping층은 H₂SO₄:H₂O₂ (4 : 1)용액에서 선택적으로 식각하였다. 최종적으로, 열안정성 실험을 위해 전기로 (Furnace)에서 650 °C전후로 30분간 고온 열처리를 하였다. 분석장비로는 면저항을 측정하기 위한 Four-Point Probe(FPP)와 형성된 silicide의 두께와 Uniformity 측정을 위해 FE-SEM(Field Emission Scanning Electron Microscopy, 한국 기초 과학 지원 연구원 전주 분소, 모델명 S-4700)을 이용하였다.

2. 실험 결과

그림 1은 급속열처리 후 형성된 silicide의 면저항을 측정한 결과이다. 순수 Ni (a)와 Pd 합금 (b) 모두 500 °C에서 가장 낮고 안정된 면저항을 확보할 수 있었으며 단일 구조와 TiN Capping 구조에서는 합금으로 인한 특성 변화는 나타나지 않았다.



(a)



(b)

그림 1. Ni Silicide 형성 후 면저항 특성, (a) Ni, (b) Ni-Pd. Ni-Pd인 경우에는 Co/TiN을 적용하였을 때 오히려 면저항이 증가하였음.

오히려 같은 증착 두께의 Co interlayer 구조에서 Ni-Pd를 이용하여 형성시킨 실리사이드가 높은 면저항 특성을 나타내었다.

면저항은 실리사이드의 두께와 밀접한 관계가 있기 때문에 정확한 형성두께를 확인하기 위해 FE-SEM으로 확인한 이미지를 그림 2에 나타내었다. SEM 분석 결과 단일구조와 TiN capping 구조에 있어서는 그림 2(a) ~ (d)와 같이 균일한 실리사이드가 형성되었음을 확인할 수 있었다. 그러나 Cobalt interlayer가 들어간 구조에 있어서는 그림 2(e)와 같이 순수 Ni의 경우 실리사이드 두께가 두꺼워져서 낮은 면저항이 나왔음을 알 수 있었다. 또한 실리사이드와 실리콘의 계면상태와 실리사이드의 표면 모두 급속열처리 후 열화 되어있음을 확인할 수 있었다. 반면 Ni-Pd는 그림 3(f)와 같이 균일하고 얇은 두께의 실리사이드를 2-step RTP후 형성시킬 수 있었으며 또한 20ohm/sq 이하의 낮은 면저항을 확보할 수 있었다.

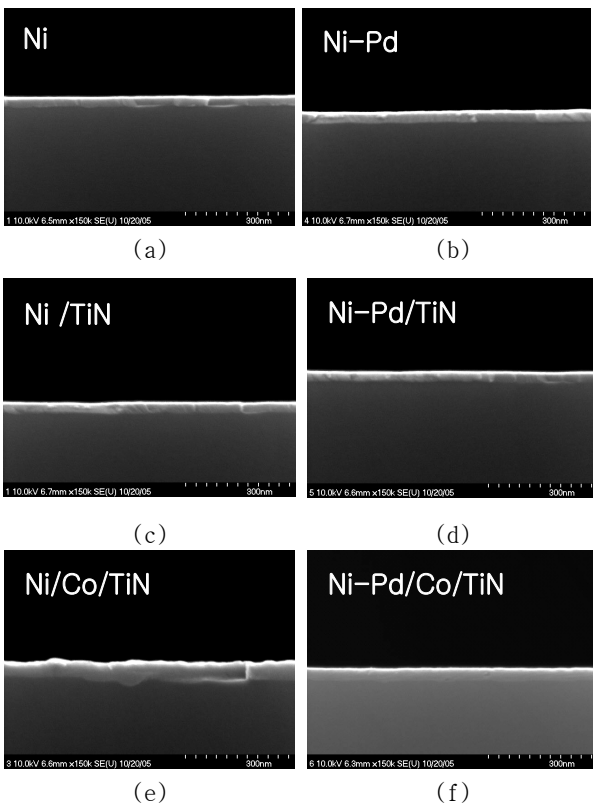


그림 2. RTP 후 Ni silicide의 FE-SEM 단면 특성. (a)~ (d) 1 step RTP : 500 °C, 30초, (e), (f) 2-step RTP : 500 °C, 30초 + 700 °C, 30초.

최종적으로 형성된 실리사이드의 열안정성 평가를 위한 고온열처리 실험 후 면저항 데이터를 그림 3에 나타내었다. Cobalt interlayer 구조의 순수 Ni와 Ni-Pd 모두 650, 700°C까지 안정하고 낮은 면저항 특성을 보이고 있다.

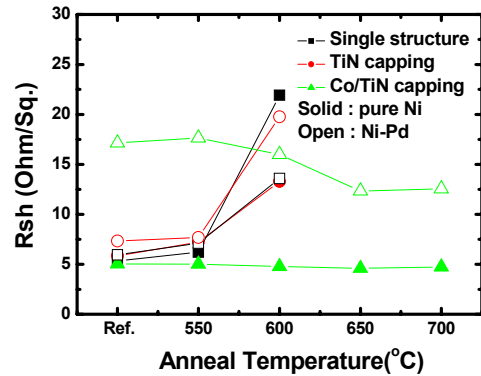


그림 3. 고온 열처리 후 Ni silicide의 면저항 특성

또한 고온 열처리 후 단면 특성을 그림 4에 나타내었는데 여기서 Cobalt interlayer 구조의 경우 장시간에 걸친 열처리로 급속열처리 동안 반응하지 않은 성분의 반응으로 실리사이드 두께가 증가하면서 면저항이 낮아지는 원인이 되었다. 또한 순수 Ni의 경우 고온 열처리 후에도 실리사이드의 계면특성에 변화가 없이 열화되어 있음을 확인할 수 있다. 반면에 Ni-Pd인 경우에는 두께 및 단면 Profile의 변화가 거의 없음을 보여주고 있다. 따라서 Ni-Pd의 경우 열안정성이 매우 뛰어나서 실리사이드 형성 후 후속 고온 열처리 공정에 바람직할 뿐 만 아니라 nano-scale CMOS shallow S/D junction에도 알맞은 특성을 보이고 있음을 알 수 있다.

III. 결론

본 논문에서는 순수 Ni과 Ni-Pd합금과의 비교를 통하여 Ni silicide의 얇은 형성특성과 열안정성에 대하여 연구하였다. 특히 단일구조와 TiN Capping 구조에서는 개선점이나 합금으로 인한 특성을 볼수 없었으나 Cobalt가 들어간 구조에서 열안정성이 크게 개선됨을 확인 할 수 있었고 특히 Ni-Pd합금구조에서

순수 Ni에 반하여 고른 계면특성과 얇은 두께의 실리사이드를 형성 시킬 수 있었으며 고른 계면 특성은 누설전류와 밀접한 관계가 있기 때문에 S/D junction에 알맞은 특성이라 할 수 있다.

감사의 글

본 연구는 과학기술부에서 추진하는 21세기 프론티어 사업 중 테라급나노소자개발사업단 지원으로 수행되었음.

참고문헌

- [1] H.Iwai, T. Ohguro and S.I. Ohmi, "NiSi salicide technology for scaled CMOS", *Microelectron. Eng.*, vol. 60, pp. 157-169(2000)
- [2] Tsung-Hsi Yang, Guangli Luo, Edward Yi Chang, "Study of Nickel silicide contact on Si/Si_{1-x}Ge_x" *IEEE Electron Device Letters*, Vol. 4, No. 9, p.544, (2003)
- [3] Dongwon Lee, Kihoon Do, Daehong Ko, Siyoung Choi, Jahum Ku, Cheolwoong Yang, "The effects of Ta on the formation of Ni-silicide in Ni_{0.95x}Ta_{x0.05}/Si systems" *Materials science & engineering B* 114-115(2004)
- [4] Jang-Gn Yun, et. al., "Highly Thermal Robust NiSi for Nanoscale MOSFETs Utilizing a Novel Hydrogen Plasma Immersion Ion Implantation and Ni-Co-TiN Tri-Layer. *Electron Device Letter*, 741-3106 (2005)
- [5] 윤장근, 오순영, 황빈봉, 김용진, 지희환, 김용구, 차한섭, 허상범, 이종근, 왕진석, 이희덕, "NiPt/Co/TiN을 이용한 Ni Germanosilicide의 열안정성 향상 및 Ge 비율(x)에 따른 특성 분석" *대한전자공학회논문지 제27권 제1호* pp. 391-394, (2004)

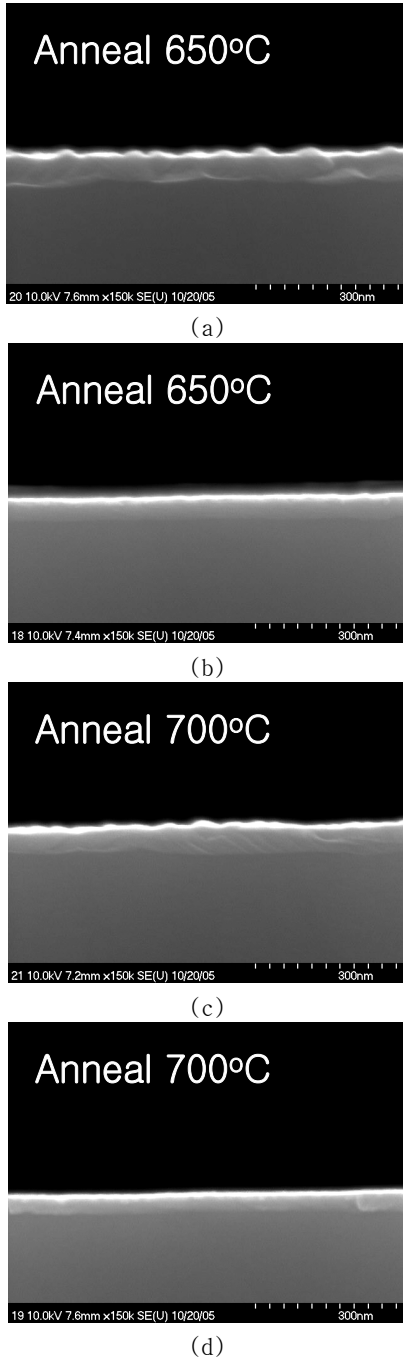


그림 4. 고온 열처리 후 Ni silicide의 FE-SEM 단면 특성. (a), (c) Ni/Co/TiN, (b), (d) NiPd/Co/TiN.