# 인식거리 향상을 위한 UHF 대역 RFID 태그용 전압체배기 설계

*이 종 욱, 이 범 선
경희대학교 전자정보공학부 전파통신전공
e-mail : jwlee@khu.ac.kr, bomson@khu.ac.kr

# Design Consideration of the Voltage Multiplier of UHF RFID Tag for Increased Reading Range

*Jong-Wook Lee, Bom-Son Lee
School of Electronics and Information
Kyung Hee University

## Abstract

We investigated the input impedance characteristics of UHF-band RFID tag chip for increased reading range. A voltage multiplier designed using 0.4 μm zero-$V_T$ MOSFET showed that DC output voltage of 2 V can be obtained using standard CMOS process. The input impedance of the voltage multiplier was examined to achieve impedance level for maximum reading distance using analytical and numerical approaches. The input impedance of the voltage multiplier could be varied in a wide range by selecting the size of MOSFET and the number of multiplying stages of the voltage multiplier, and thus, the impedance level required for the tag antenna can be obtained in presence of other tag circuit blocks.

## I. 서론

RFID 시스템은 미래 IT 시장을 선도할 수 있는 높은 성장 잠재력과 파급효과를 가진 기반 기술로 인식되어 전 세계적으로 현재 다양한 주파수 대역에서 개발되고 있다.

우리나라에서 최근 주파수가 할당된 UHF 대역 900 MHz RFID 시스템은 기존의 13.56MHz 대역의 자기유도방식보다 비교적 먼 거리에서 인식을 할 수 있는 비접촉식, 그리고 고속 태그 인식 등의 장점을 지니고 있어 향후 다양한 서비스에 적용될 것으로 전망된다[1]. 이러한 UHF 대역 RFID 시스템은 높은 수요 전망에도 불구하고 현재 상용화된 시스템은 실제 인식거리가 작은 문제점을 지니고 있다. 또한, 저가격으로 국제표준규격을 만족할 수 있는 신뢰성이 확보된 태그 개발 등을 앞으로 해결해야 할 과제로 들 수 있다[2].

본 논문에서는 900 MHz 대역 RFID 개발에서 중요한 이슈인 태그의 인식거리를 향상시키기 위해 태그 안테나와 태그 칩 간의 임피던스 특성에 대해 살펴보았다. 태그 안테나와 태그 칩의 등가회로 모델을 이용하여 태그 칩에 공급할 수 있는 최대 전압을 안테나와 칩이 공핵 정합되는 조건 외에 태그 칩의 quality factor이 미치는 영향을 살펴보았다. 태그 칩에서 최대 인식거리를 결정하는 주요 블록인 전압체배기를 standard CMOS 공정으로 설계하고 체배기의 입력 임피던스를 여러 설계 파라미터들에 의한 영향을 분석하였다. 설계된 전압 체배기는 각 체배단을 구성하는 zero-$V_T$ MOSFET의 크기와 체배단의 단수를 설계 파라미터로 하여 입력 임피던스의 실수부와 허수부를 넓은 범위에서 가변시킬 수 있어 RFID 태그 칩 내의 변/복조기 등 다른 회로 블록과 병렬로 연결되더라도 태그 안테나에 적합한 임피던스를 제공할 수 있을 것으로 사료된다.

## II. RFID 수동 태그 인식거리 분석

UHF 대역 RFID 수동 태그는 backscatter 통신 방식을 사용하기 위한 태그 안테나와 칩으로 구성되며, 칩 내의 블록 다이어그램을 그림 1에 나타내었다. 태그 칩 내부는 태그 안테나에서 수신한 RF 전력의 일부을 DC 전압로 변환하여 칩 내부 회로 구동에 공급하는 RF-DC 변환기, 리더에서의 전파를 디지털 데이터로 인식하는 복조기, 리더와 태그 간의 산란되는 전파의 크기를 변화시켜주는 변조기, 그리고 디지털화된 상품정보를 저장하는 메모리와 디지털 제어 회로 블록 등으로 구성된다[3-5]. 별도의 전원이 없는 수동형 RFID 태그의 경우 리더에서의 전력을 수신하여 태그 내부 회로를 구동하기 때문에 태그 안테나에서 수신한 전압이 태그 내부 회로, 특히, RF-DC converter를 구동하기 위한 문턱전압(threshold voltage) 이상이 되는 거리로 인식거리가 제한된다. 또한 태그에서 backscatter한 전력에 대한 수신기의 감도도 인식거리에 제한적 요소가 될 수 있다.

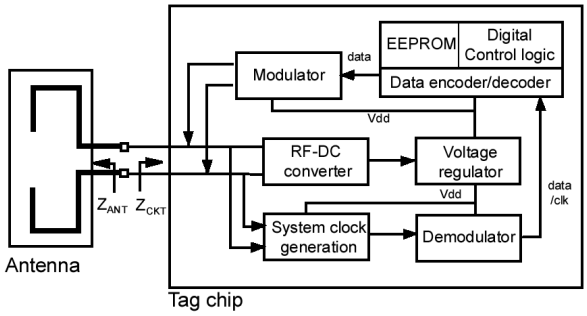


그림 1. 안테나와 IC 칩으로 구성되는 UHF 대역 수동형 RFID 태그.

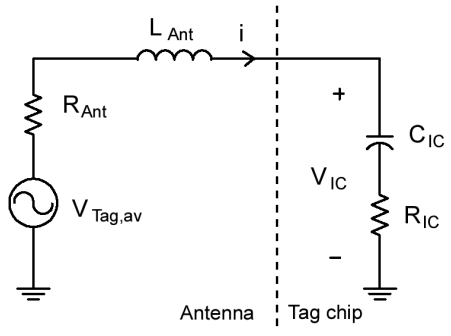


그림 2. 안테나와 IC 칩으로 구성되는 UHF 대역 수동형 RFID 태그의 등가회로.

그림 2에 태그 안테나와 직렬 RC 회로로 모델된 RFID 태그의 등가회로를 나타내었다. 여기서 $V_{Tag,av}$는 안테나에 유기되는 전압, $R_{ANT}$는 안테나의 방사 저항과 손실 저항 성분, 그리고 $L_{ANT}$는 안테나의 리액턴스 성분을 나타낸다. RC 직렬회로 양단의 전압, $V_{IC}$ 는 태그 칩 내부 회로를 구동하기 위한 전압으로 최대 인식거리에서 RF-DC converter 구동에 필요한 문턱전압(threshold voltage), $V_{TH}$보다 커야한다. 리더로부터의 출력을 4 W EIRP (Equivalent Isotropic Radiated Power)을 사용하고 태그 안테나의 이득 $G_{Tag}$와 리더로부터의 거리 r 을 알고 있을 때 태그로의 입력전력, $P_{Tag,av}$는 다음 식에서 구할 수 있다.

$$P_{Tag,av} = EIRP \times G_{Tag} \times \left(\frac{\lambda}{4\pi r}\right)^2 \quad (1)$$

이 때 태그 안테나에 유기되는 전압 $V_{Tag,av}$는 다음과 같다.

$$V_{Tag,av} = \sqrt{8 R_{ANT} P_{Tag,av}} \quad (2)$$

RF-DC 변환기로 많이 사용되는 전압 체배기로의 입력전압은 최대 인식거리에서 문턱전압 이상이어야 하고, 또한 다이오드의 순방향 turn-on 전압 강하에 의해 전압체배기의 효율은 입력 전압의 크기에 비례한다[3]. 그러므로 태그 안테나와 칩은 제한된 리더의 출력을 이용하여 $V_{IC}$를 최대로 하는 것이 인식거리 향상 면에서 유리하다.

그림 2에 나타낸 태그의 등가회로에서 전류 $i$는 공진조건, $C_{IC} = (\omega^2 L_{ANT})^{-1}$ 에서 최대가 되고 이 때 $V_{IC}$는 다음과 같이 얻을 수 있다.

$$|V_{IC}| = \frac{R_{IC}}{R_{ANT}+R_{IC}} |V_{Tag,av}| \sqrt{1+Q_{IC}^2} \quad (3)$$

식(3)을 이용하면 태그 칩과 안테나가 공핵 정합(conjugate match)되었을 때는 $V_{IC}$의 최대값은 다음 식과 같이 얻을 수 있다.

$$|V_{IC}| = \frac{|V_{Tag,av}|}{2} \sqrt{1+Q_{IC}^2} \quad (4)$$

또한, 식 (3)은 $V_{Tag,av}$가 주어질 때 공진 조건에서 다음 식 (5)로 쓸 수 있고, 이 식에서 $V_{IC}$는 주어진 두 개의 파라미터, $Q_{IC}$ 와 $Q_{ANT}$ 에 의존함을 알 수 있다.

$$|V_{IC}| = \frac{Q_{ANT}}{Q_{ANT}+Q_{IC}} |V_{Tag,av}| \sqrt{1+Q_{IC}^2} \quad (5)$$

여기서 $Q_{IC}$는 안테나와 태그 칩으로 이루어진 공진회로의 quality factor로 $Q_{IC}=(\omega . R_{IC} . C_{IC})^{-1}$이고,$Q_{ANT}=(\omega . L_{ANT})/R_{ANT}$ 이다.

위 식 (4)과 (5)에서 알 수 있듯이 태그 칩에서 사용할 수 있는 최대 전압은 태그 칩의 quality factor의 함수임을 알 수 있고, 안테나와 칩이 최대 전력 전달될 수 있도록 공핵 정합될 경우는 $Q_{IC}$ 에 비례하게 된다. 인식거리를 향상시키기 위해서는 RFID용으로 할당된 주파수 대역폭을 만족시킬 수 있는 범위 내에서 높은 quality factor를 가지도록 태그 칩을 설계하는 것을 고려할 수 있다. 이상의 분석에서 볼 때 태그 안테나 뿐만 아니라 태그 칩의 입력 임피던스, 특히, RF-DC 변환기의 설계 파라미터에 따른 임피던스 추출이 필요하다.

RF-DC 변환기는 태그 안테나에서 수신한 전력이 매우 작기 때문에 회로 구동에 필요한 전압으로 증가시키기 위해 전압체배기를 이용한다. 전압체배기로 많이 사용되는 Dickson voltage multiplier에 대한 효율 최적화, 소모 전력

최적화에 대한 고찰은 여러 연구자에 의해 행해졌으나[6], RFID 태그용 설계를 위해서는 전압체배기의 설계 파라미터에 따른 입력 임피던스에 대한 고려가 필요하다.

그림 3(a)에 다이오드를 이용한 N개의 체배단을 가진 전압체배기의 회로도를 나타내었다 [7]. 각 다이오드를 그림 3(b)에 나타낸 바와 같이 기생 저항 $R_S$ 와 다이오드 접합 저항 $R_D$와 캐패시터 $C_D$가 병렬 연결된 등가회로로 나타낼 수 있다. 전압체배기의 입력 측에서 바라보았을 때는 RF 주파수가 입력되므로 출력 전압의 ripple이 무시할 수 있을 정도로 작아 DC 전압으로 가정할 경우, 출력 측의 각 커패시터 $C_{2N}$ 양단의 전압은 RF 입력에 대해서는 AC short로 볼 수 있다 [8].

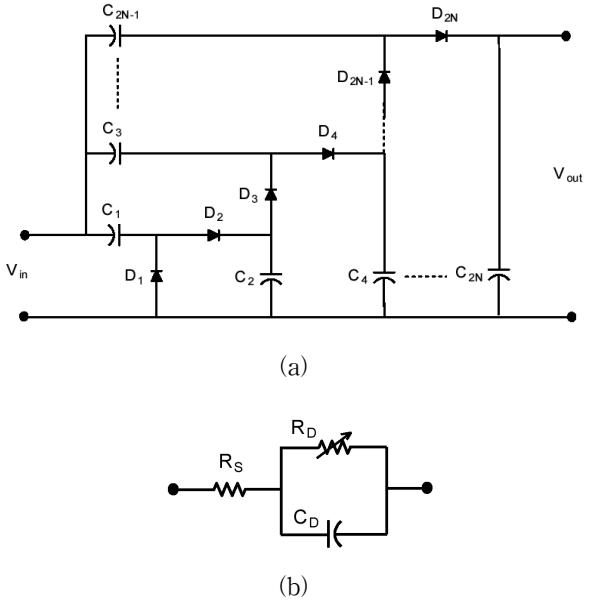


그림 3. (a) Dickson voltage multiplier의 회로도. (b) 다이오드의 등가회로 모델. 여기서 $R_S$는 기생 저항, $R_D$는 다이오드의 접합 저항, 그리고 $C_D$는 다이오드 접합 커패시턴스.

그러므로 각 체배단은 커패시터 $C_{2N-1}$과 병렬 연결된 두 개의 다이오드 쌍, $D_{2N}$ 와 $D_{2N-1}$로 이루어지고 입력 측에서 바라보았을 때 N 개의 체배단이 병렬로 연결된 회로로 볼 수 있다. 그러므로 각 체배단의 커패시터 값이 같을 경우 ($C_{2N-1} = C_{2N} = C$), N개의 체배단을 가진 전압체배기의 입력 임피던스 ($Z_{in} = R_{in} + j\,X_{in}$) 의 실수부와 허수부는 다음과 같이 쓸 수 있다.

$$Re[Z_{in}] = \frac{1}{2N}\left[R_S + \frac{R_D}{1+(\omega R_D C_D)^2}\right] \quad (6)$$

$$Im[Z_{in}] = -\left[\frac{1}{N}\frac{1}{\omega C} + \frac{1}{2N}\frac{\omega R_D^2 C_D}{1+(\omega R_D C_D)^2}\right] \quad (7)$$

위 식에서 볼 수 있듯이 입력 임피던스는 체배기의 단수에 반비례해서 작아짐을 알 수 있다. 또한 다이오드의 area에 따라 $R_S$ , $R_D$, 그리고 $C_D$ 가 scale되므로 체배단의 단수와 다이오드의 area가 주요한 설계 파라미터가 된다.

Standard CMOS 공정을 이용하여 다이오드를 구현하기 위해 MagnaChip사의 zero-$V_T$ nMOSFET의 gate와 drain을 연결하여 사용하고, Agilent Advanced Design System (ADS)의 BSIM3v3 MOSFET 모델을 사용하였다[9]. 0.25 μm CMOS process에서 standard MOSFET은 0.5 V 정도의 문턱전압을 나타내는데 비해, zero-$V_T$ MOSFET은 소자 너비(width)가 10 μm일 때 0.01 V의 문턱전압을 나타내었다. 그림 4에 16 단 전압체배기의 출력특성을 나타내었다. 각 단은 $L_G$ = 0.4μm와 W = 100μm (5μm x 20 finger)를 가진 zero-$V_T$ nMOSFET을 사용하였고, 커패시턴스 C = 5 pF이다. 최종 출력 측에는 100 pF의 커패시터를 사용하여 전압의 ripple을 줄이도록 했다. 입력으로 최대 전압 0.15 V, 주기 6.25 μs (1 Tari) [10], 그리고 90 % AM 변조지수를 가지는 910 MHz 캐리어를 사용하였을 때, 출력전압으로 2 V 의 전압을 얻을 수 있다.

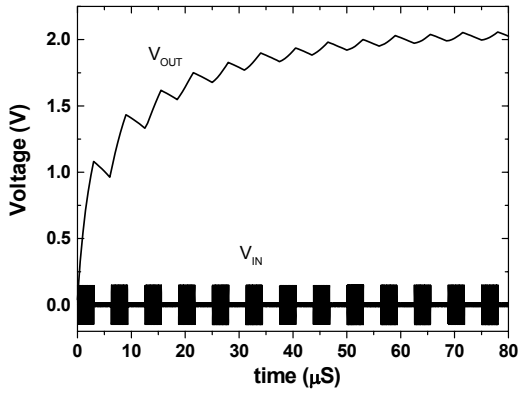


그림 4. $L_G$ = 0.4 μm, W = 100 μm diode-connected zero-$V_T$ MOSFET를 이용한 전압체배기의 출력특성.

## Ⅲ. 전압체배기 입력 임피던스 분석

RF-DC 변환기의 입력 임피던스를 구하기 위하여 Agilent ADS를 이용하여 입력 포트에서의 대신호 S-parameter 특성 (Large signal S-parameter, LSSP)을 구하였다. LSSP는 기존의 소신호 S-parameter가 한 동작점에서 선형화된 회로의 특성을 보는 반면, LSSP는 입력에 일정한 레벨의 전력을 가한 상태에서 회로의 비선형 특성에 따른 입출력 전압에서 계산되므로 리더에서의 거리에 따라 태그 칩에 다른 전력이 공급될 때 입력 임피던스를 얻을 수 있다.

앞의 식 (6), (7) 에서 볼 수 있듯이 입력 임피던스는 체배단의 단수에 반비례하고, 또한 태그 안테나에서 수신된 전력이 주어질 때 DC 출력전압의 요구조건으로부터 체배단의 단수를 결정할 수 있으므로 안테나에 정합될 수 있는 전압 체배기의 입력 임피던스를 각 단의 소자의 크기를 조절하여 얻

을 수 있다.

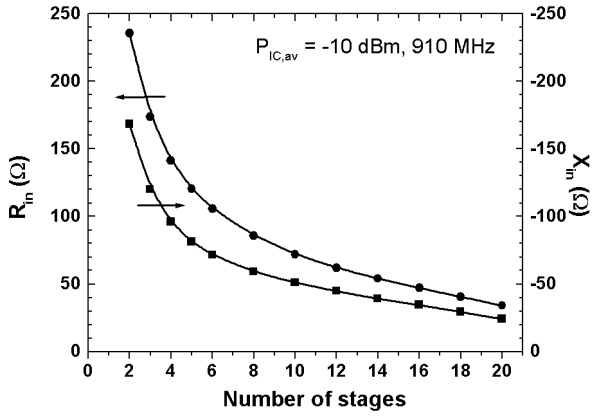


그림 5. 전압체배기의 체배단 수에 따른 입력 임피던스.

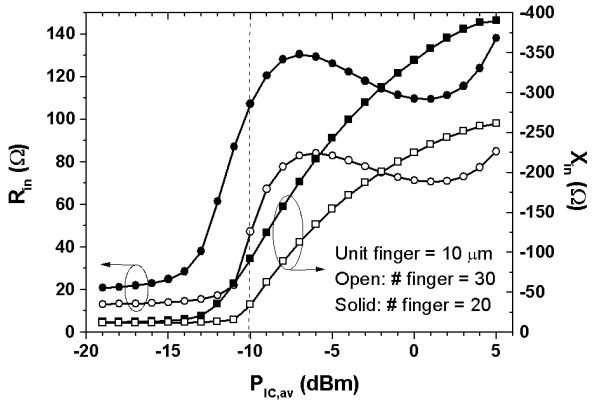


그림 6. 16단 전압 체배기의 태그에서 받는 입력 전력에 따른 입력 임피던스.

그림 5에 전압체배기의 단수에 따른 입력 임피던스 특성을 나타내었다. 각 단은 $L_G$ = 0.4 μm와 W = 300 μm (10 μm × 30 finger) MOSFET, 그리고 C = 2 pF를 사용하였고, 태그 칩에서 사용가능한 전력, $P_{IC,av}$는 -10 dBm 으로 하였다. 체배기의 단수에 반비례해서 임피던스는 작아지는 특성이 식 (6), (7)과 일치함을 알 수 있다. 그림 6에 설계된 체배기의 입력 임피던스를 리더에서의 거리에 따라 태그 칩에서 사용가능한 전력의 함수로 나타내었다. 리더에서의 거리에 따라 입력 전력이 감소하고 이에 따라 전압체배기를 구성하는 MOSFET의 비선형성에 따라 입력 임피던스도 변하게 된다. 중심주파수는 910 MHz, 체배단은 16 단을 사용하고, C = 2 pF, 소자 너비는 200 μm (10 μm × 20 finger)와 300 μm (10 μm × 30 finger)의 두 경우로 하였다. 입력전력이 커질수록 용량성 리액턴스는 증가하고 실수부는 -10 dBm에서 각각 110 Ω과 50 Ω 을 나타내었다. 태그가 리더에 가까이 있을 때는 리더로부터 충분한 전력을 공급받을 수 있으므로 최대 인식가능 거리에서 태그 안테나의 임피던스를 고려하여 태그 칩에 최대 전압이 인가되도록 MOSFET의 크기와 체배단의 단수를 선택한다.

## IV. 결 론

본 논문에서는 UHF 대역 RFID 시스템의 인식거리를 높이기 위해 태그 안테나와 태그 칩 간의 임피던스 특성에 대해 등가회로 모델을 이용하여 분석하였다. 또한, standard CMOS 공정을 이용하여 RFID 태그 칩을 구현할 수 있는 장점을 가진 diode-connected zero-$V_T$ MOSFET을 사용하여 전압체배기를 설계하였고, 태그 안테나에 적합한 임피던스 레벨을 구현하기 위한 설계 파라미터를 살펴보았다.

* 본 논문은 과학재단 특정기초연구 지원 (과제번호 R01-2005-000-11056-0)에 의하여 연구되었음.

## 참고문헌

[1] 표철식, 채종석, 김창주, “RFID 시스템 기술”, 한국전자파학회지 전자파기술, 제15권 2호, 2004년 4월.

[2] 박경환, “Passive RFID Tag Chip", ETRI 세미나 자료, 2005년 9월.

[3] The Palomar Project, “Passive Long Distance Multiple Access UHF RFID System,” European Commission, Public Report, Project Number IST1999-10339, Nov. 2002.

[4] U. Karthaus and M. Fischer, "Fully integrated passive UHF RFID tansponder IC with 16.7-uW minimum RF input power", IEEE J. Solid-State. Circuits, Vol. 38, pp.1602-1608, Oct. 2003.

[5] R. Glideen, C. Bockorick, S. Cooper, C. Diorio, and M. Thomas, "Design of ultra-low-cost UHF RFID tags for supply chain applications," IEEE Communication Magazine, Aug. 2004, pp. 140-151.

[6] G. Palumbo, D. Pappalardo, and M. Gaibotti, "Charge pump circuits: power consumption optimization," IEEE Tran. Circuits and Systems magazine, Vol. 29, no. 11, pp. 1535-1542, Nov. 2002.

[7] J. F. Dickson, "On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique," IEEE J. Solid-State Circuits, Vol. 11, no. 3, Jun. 1976, pp. 374 - 378.

[8] G. D. Vita and G. Iannaccone, "Design criteria for the RF section of UHF and microwave passive RFID transponders", IEEE Tran. Microwave Theory and Tech., Vo. 53, no. 9, Sept., pp. 2978-2990, 2005.

[9] Agilent Technologies, Advanced Design System, 2001.

[10] EPCglobal, "EPC radio-frequency identity protocols Class-1 Generation-2 UHF RFID air interface Ver. 1.0.9", 2005.